

TECHNICKÁ UNIVERZITA V LIBERCI

Fakulta mechatroniky a mezioborových inženýrských studií



**ANALÝZA ZKRATOVÉHO PROUDU A JEHO
TEPELNÉHO ÚČINKU V MALÝCH
ASYNCHRONNÍCH MOTORECH**

2007

LEOŠ BERAN

Analýza zkratového proudu a jeho tepelného účinku v malých asynchronních motorech

Dizertační práce v oboru Technická kybernetika

Ing. Leoš Beran

Technická univerzita v Liberci

Fakulta mechatroniky

duben 2007

Téma dizertační práce: Analýza zkratového proudu a jeho tepelného účinku v malých asynchronních motorech

Dizertant: Ing. Leoš Beran

Studijní program: 2612V Elektrotechnika a informatika

Studijní obor: 2612V045 Technická kybernetika

Pracoviště: Ústav mechatroniky a technické informatiky
Fakulta mechatroniky a mezioborových
inženýrských studií
Technická univerzita v Liberci

Školitel: Prof. Ing. Aleš Richter, CSc.

Sazba provedena autorem v systému L^AT_EX 2_ε

© Ing. Leoš Beran, 2007

Prohlášení

Byl jsem seznámen s tím, že na mou dizertační práci se plně vztahuje zákon č. 121/2000 o právu autorském, zejména § 60 (školní dílo).

Beru na vědomí, že TUL má právo na uzavření licenční smlouvy o užití mé DP, a prohlašuji, že **souhlasím** s případným užitím mé dizertační práce (prodej, zapůjčení apod.).

Jsem si vědom toho, že užít své dizertační práce či poskytnout licenci k jejímu využití mohu jen se souhlasem TUL, která má právo ode mne požadovat přiměřený příspěvek na úhradu nákladů, vynaložených univerzitou na vytvoření díla (až do jejich skutečné výše).

Dizertační práci jsem vypracoval samostatně s použitím uvedené literatury a na základě konzultací s vedoucím dizertační práce.

Datum:

Podpis:

Anotace

Analýza zkratového proudu a jeho tepelného účinku v malých asynchronních motorech

Ing. Leoš Beran

Práce se zabývá analýzou zkratového proudu ve statorovém vinutí malých asynchronních motorů. Vznik zkratového proudu je důsledkem selhání některé části izolačního systému statorového vinutí. Selhání může být způsobeno materiálovými vadami, špatným návrhem pohonu, klimatickými podmínkami nebo provozními podmínkami (krátkodobé nebo dlouhodobé přepětí, neharmonické průběhy napájecího napětí). Statorové vinutí ztratí část aktivních závitů a klesne jeho indukčnost. Zkratový proud zahřívá svými tepelnými účinky okolní vinutí v místě zkratu. Tím dochází k další degradaci okolního izolačního materiálu v místě zkratu.

V úvodu práce je provedena analýza všech dostupných metod, které jsou publikovány v odborné literatuře. Dále je provedena rešerše metod analýzy malých AM v patentové databázi. Ta ukazuje, že neexistuje metoda, která by spolehlivě identifikovala zkrat ve statorovém vinutí malých AM. Jsou zhodnoceny metody, které se používají pro diagnostiku velkých asynchronních motorů a je posouzena jejich vhodnost použití pro malé AM.

Pro analýzu zkratového proudu byly sestaveny dva modely simulující různé kombinace zkratů, které mohou ve statorovém vinutí vzniknout. Jedná se o jednofázový lineární model a o numerický model v prostředí SimPowerSystem.

Hlavním přínosem dizertační práce je analýza zkratového proudu. V druhé kapitole je proveden rozbor tepelného působení na jednotlivé části izolačního systému. Tepelné účinky jsou ověřeny na sestaveném modelu, který se skládá ze speciálně navrženého motoru a monitoringu teploty v drážkách statoru. Výsledky práce budou použity pro návrh nové metody diagnostiky malých asynchronních motorů.

Klíčová slova: diagnostika, asynchronní motor, teplotní zatížení, zkratový proud, model zkratu

Annotation

The analyse of short-circuit current and it's thermal incidence in low power induction motors

Leoš Beran, MSc.

The thesis deals with the analyse of short-circuit current in stator winding of low power induction motors. The occurrence of short-circuit arises when some parts of the insulation system of stator winding fail. The failure can be caused by material defects, wrong design of drive, climatic or operating conditions (short-term or long-term overvoltage, non-harmonic processes of supply voltage). Stator winding loses a part of active coils and its inductivity decreases. The short circuit current warms up the surrounding winding with its heat effect at point of the short-circuit.

The introduction of the thesis deals with the analyse of all available methods published in specialized literature and also with the background research of analyse methods in small IM in patent database. This analyse proves that there is not any method capable of identifying reliably the short-circuit in stator winding of IM. Methods used for big induction motors diagnose are reviewed and their convenience in little induction motors are considered.

Two models simulating different short-circuits that can occur in stator winding have been designed. It is a single-phase linear model and numerical model in SymPowerSystem software.

The main benefit of this doctoral thesis is the analyse of short-circuit. Second chapter analyses thermal activity on separate parts of the insulation system. Thermal effects were verified on a set up model which consists of a specially designed motor with the temperature monitoring in slots of the stator. The results of my thesis will be used for a new diagnostic method project in little induction motors.

Key Words: diagnostic, induction motor, thermal load, short circuit current, short circuit model

Annotation¹

L'analyse d'un courant en court-circuit et de son effet thermique dans les petites moteurs tournantes à induction

Leoš Beran, MSc.

Cette thèse concerne del'analyse des courant en court-circuits dans les stators des moteurs tournantes à induction. Le court-circuit survient quand des parties du système d'isolation du stator défaillent. Les défaillances peuvent être causées par des défauts de matériel, de mauvaise design de la force-motrice, par les conditions climatiques ou par les conditions de disfonctionnement (courte ou longue surtension, instabilité du processus de distribution de la tension). Pendant court-circuits, le stator perd une partie de la bobinage active et sa induction diminue. Le courant en court-circuit chauffe la bobine autour du lieu de court-circuit et la dégradation de la isolation continue rapidement.

L'introduction de cette thèse présente l'analyse de toutes les méthodes disponibles publiées dans les magazines spécialisées, mais aussi dans les travaux de la recherche (ou bases de données des brevets) déjà réalisées, en utilisant des méthodes d'analyse des petites moteurs à induction. Cette analyse prouve qu'il n'y a pas de la méthode permettant d'identifier de manière fiable les courant en court-circuit dans les stator du petit moteur à induction. Les méthodes utilisées pour diagnostiquer des grands moteurs à induction ont été revisitées pour les considérer avec les petits moteurs à l'induction.

Deux modèles de la simulation des différents court-circuits, qui peuvent se produire dans le stator, ont été assemblés. Il s'agit d'un modèle linéaire monophasé et d'un modèle numérique, en utilisant logiciel SymPowerSystem.

Le thème principal de cette thèse de doctorat est l'analyse du court-circuit. Donc le second chapitre analyse l'activité thermique et sa influence aux parties séparées du système d'isolation. Les effets thermiques sont vérifiés par un modèle physique, qui consiste d'un design spécial du moteur et du système de moniteur de la température contrôlée en stator encoché. Les résultats de la thèse seront utilisés pour un projet concernant nouvelle méthode de la diagnostique des petits moteur tournantes à induction.

Mots clef: diagnostique, moteur à induction, charge thermique,
courant en court-circuit, modèle de court-circuit

¹Překlad: Bc. Kateřina Nývltová. Jazyková korektura: Prof. Ing. Jaroslav Nosek, CSc.

Obsah

Anotace	V
Annotation	VI
Annotation	VII
Obsah	IX
Předmluva	XIII
Poděkování	XIV
Seznam použitých symbolů	XVI
Seznam zkratk a značek	XVIII
1 Úvod	19
1.1 Současný stav problematiky	21
1.2 Cíle dizertační práce	23
1.3 Členění práce	23
2 Vznik zkratu	25
2.1 Materiálové vady	25
2.2 Výrobní vady	25
2.3 Vady způsobené okolním prostředím	25
2.4 Mechanické vlastnosti izolačních materiálů	26
2.4.1 Lak na vodičích – smalt	26
2.4.2 Impregnační lak	28
2.4.3 Drážková izolace	30
2.4.4 Mezifázová izolace	31
2.4.5 Shrnutí získaných závěrů při tepelném namáhání	32
2.5 Elektrické vlastnosti izolačních materiálů	33
3 Izolační materiály v malých asynchronních motorech	35
3.1 Stárnutí izolačních materiálů vlivem teploty	36
3.2 Stárnutí izolačních materiálů vlivem pulzního namáhání	36
3.3 Modely stárnutí izolačních materiálů	38
3.3.1 Teplotní modely životnosti	41
4 Zkratový proud ve statorovém vinutí	45
4.1 Rozbor momentu vadného motoru	45
4.2 Tepelné účinky zkratového proudu	50
4.3 Zkratový proud mezi závitů jedné fáze	52

4.3.1	Sestavení náhradního obvodu	53
4.3.2	Řešení náhradního obvodu	55
4.4	Zkratový proud mezi závity různých fází	64
4.4.1	Řešení náhradního obvodu	64
4.5	Zkratový proud mezi vinutím a kostrou motoru	65
4.5.1	Sestavení modelu	69
4.6	Verifikace modelů	70
5	Pracoviště pro experimentální diagnostiku	73
5.1	Motor pro experimentální diagnostiku	74
5.1.1	Realizace statorového vinutí	76
5.2	Měřicí jednotka TEMP_12	79
5.2.1	Hardware měřicí jednotky	79
5.2.2	Software měřicí jednotky	80
5.2.3	Komunikace TEMP_12 a PC	81
5.2.4	Softwarové vybavení ThermoGear	82
5.2.5	Výkresová dokumentace TEMP_12	83
5.3	Zátěž pro EM	86
5.3.1	Softwarové vybavení ControlPanel	86
5.3.2	Technické parametry synchronního pohonu	88
6	Měření parametrů motoru EM	89
6.1	Měření odporu cívek statorového vinutí	89
6.1.1	Použité přístroje	89
6.1.2	Výsledky a závěry	89
6.2	Měření indukčnosti statorového vinutí	91
6.2.1	Použité přístroje	91
6.2.2	Výsledky a závěry	91
7	Měření tepelných účinků zkratového proudu	95
7.1	Identifikační měření – bez zkratu	95
7.2	Rozdělení měřených míst do skupin	96
7.3	Identifikační měření – zkrat	97
7.4	Měření teplotního pole	99
7.4.1	Zkrat ve fázi W	99
7.4.2	Zkrat ve fázi V	100
7.4.3	Zkrat mezi fázemi V a W	101
7.4.4	Zkrat fáze W na kostru motoru	102
7.5	Shrnutí výsledků	104
8	Výsledky analýzy a doporučení	107
9	Závěr	111

	OBSAH
Literatura	113
Přílohy	118
A1Návrh EM 2. generace	118

Předmluva

Tato dizertační práce je výsledkem mého doktorského studia na katedře elektrotechniky Fakulty mechatroniky a mezipředmětových inženýrských studií Technické univerzity v Liberci. Doktorské studium jsem zahájil v roce 2002 po absolvování magisterského studia na výše uvedené fakultě.

Původní zaměření mého studia bylo spojeno s problematikou diagnostiky asynchronních motorů obecně. Po určité době svého působení na katedře elektrotechniky a studia problému jsem získal určitý náhled na možnosti řešení zmíněné problematiky. Rozhodl jsem se specializovat na diagnostiku malých asynchronních motorů. Mojí snahou bylo najít nový způsob diagnostiky malých asynchronních motorů o výkonech mezi 1 kW a 10 kW. Jedná se o skupinu nepoužívanějších elektromotorů.

V druhém roce mého studia se objevila nabídka stáže ve francouzské laboratoři Laboratoire de Génie Electrique de Toulouse na univerzitě Université Paul-Sabatier, Toulouse III. Laboratoř se zabývá studiem izolačních materiálů při různých podmínkách prostředí, ve kterém se nachází. Při své stáži jsem poznával metody měření elektrických i neelektrických parametrů izolačních materiálů. Nemalým přínosem pobytu v těchto laboratořích jsou pro mne získané praktické zkušenosti z měření a kontakty. Obojí jsem využil při řešení této dizertační práce.

Ze stáže ve Francii jsem si přivezl teoretické poznatky podepřené měřeními a pro další práci jsem potřeboval nalézt partnera, který by mi mohl poskytnout více technického zázemí pro řešení úkolu (izolační materiály, technologické informace, informace o kvalitě aj.) Proto jsem navázal spolupráci mezi TUL a vývojovým střediskem firmy SIEMENS ELEKTROMOTORY, spol. s r. o.

Díky vstřícnému přístupu vedoucího vývojového oddělení Ing. Miloše Pěničky jsem měl přístup ke všem potřebným technologickým informacím. Teprve po shromáždění teoretických předpokladů a materiálů jak z Francie, tak z vývojového střediska firmy SIEMENS ELEKTROMOTORY, spol. s r. o., bylo vytvořeno úplné zadání mé dizertační práce.

Postupem času jsem zjistil, že problematika diagnostiky malých asynchronních motorů není dostatečně rozpracovaná. Z mého pohledu je tato problematika neméně důležitá jako diagnostika velkých asynchronních motorů. Zejména je zajímavá pro uživatele, kteří provozují drahé technologické linky a jejich spolehlivost je významně ovlivněna spolehlivostí asynchronních motorů.

Poděkování

V dnešní době je vše nové v technických vědách výsledkem týmové spolupráce, bez které žádná osobnost ani dílo nevznikne. Moje poděkování směřuje ke všem těm, kteří mi pomohli při řešení úkolu a to jak po stránce odborné, organizační, administrativní, ale i po stránce morální podpory. Bez zázemí fakulty a rodiny by nikdy tato práce nevznikla. Celá práce vznikla za finanční podpory Výzkumného centra textil I a II.

Mnoho díky patří také spolupracujícím institucím a laboratořím, které mi nejen radou, ale i technickým vybavením, pomohly při řešení této práce.

Opomenout nemohu ani celý kolektiv naší katedry elektrotechniky. Především Ing. Karla Wenera, CSc., který mi dal první podnět k měření teploty přímo ve vinutí motoru.

Speciální dík patří Ing. Martinu Diblíkovi a Ing. Petru Přivratskému, kteří mě seznámili s výrobky firmy SIEMENS.

Nakonec bych rád poděkoval své rodině za finanční i duševní podporu. Děkuji své manželce za trpělivost, starostlivost a nekonečné hodiny čtení mé dizertační práce.

V Liberci, duben 2007.

Seznam použitých symbolů

Elektrické

B_c	S	kapacitní susceptibilita
D	C/m ²	elektrická indukce
E_p	V/m	intenzita el. pole při průrazném napětí
f	Hz	frekvence
I	A	efektivní hodnota proudu
I_{vc}	A	fázový proud při zkratu na vinutí
I_{2c}	A	rozdílový proud zkratované části vinutí
I_{3c}	A	proud protékající vlastním zkratem
i_1, i_2	A	smyčkový proud parciálního řešení
L_c	H	indukčnost statorového vinutí jedné fáze
L_u, L_v, L_w	H	indukčnost statorového vinutí fáze u, v, w
L_{zb}	H	indukčnost nezkratované části vinutí
L_{zn}	H	indukčnost zkratované části vinutí o N_z závitů
M_{xy}	H	vzájemná indukčnost vinutí x, y
n_u, n_v, n_w, n_f		počet závitů statorového vinutí fáze U, V, W, obecné fáze f
n_{zmax}		maximální počet zkratovaných závitů najednou
N_z		počet zkratovaných závitů
p_z		poměr počtu zkratovaných závitů
P	W	činný výkon
P_N	W	jmenovitý výkon EM
P_1	W	činný výkon na odporu R_{zb}
P_2	W	činný výkon na odporu R_{zn}
P_3	W	činný výkon na odporu R_{zk}
P_z	W	celkový ztrátový výkon
R	Ω	odpor
R_{Z1}	Ω	průměrná hodnota odporu jednoho závitu
R_c	Ω	odpor statorového vinutí jedné fáze
R_{FZ1}	Ω	odpor jednoho závitu dané fáze F
R_{zb}	Ω	odpor nezkratované části vinutí
R_{zn}	Ω	odpor zkratované části vinutí o N závitů
R_{zk}	Ω	odpor vlastního zkratu
$\tan \delta$		ztrátový činitel dielektrika
T	s	perioda harmonického signálu
U	V	napětí
U_{gnd}	V	napětí středu vinutí vůči kostře motoru
U_o	V	fázové napětí
U_{inz}	V	indukované napětí na zkratované části vinutí
U_{r2}	V	zpětné indukované napětí na zkratované části vinutí od rotoru

U_{r1}	V	zpětné indukované napětí na nezkratované části vinutí od rotoru
U_p	V/m	elektrická pevnost
W, W_a, W_z	J	energie, energie akumulovaná, energie ztrátová
Z_1	Ω	celková impedance nezkratované části vinutí
Z_2	Ω	celková impedance zkratované části vinutí
Z_3	Ω	celková impedance vlastního zkratu
κ		činitel vazby vzájemně vázaných indukčností

Mechanické

$2p$		počet pólů statorového vinutí
a		počet paralelních větví
d	m	vzdálenost elektrod kondenzátoru
D_w	mm	průměr drátu
k_{adg}	V/°C	konstanta pro výpočet teploty
l_v	mm	tloušťka vzduchové mezery mezi rotorem a statorem
l_s	mm	délka střední magnetické siločáry
m		počet fází statorového vinutí
Q_s		počet drážek statoru
q		počet drážek jednoho pólu v jedné fázi (počet pramenů)
r		rozteč začátků vinutí
S	m ²	plocha
s		skluz
y		cívkový krok statorového vinutí
z		závit indukčnosti

Ostatní

G	h	aktivační energie při procesu stárnutí
h	J s	Planckova konstanta $6,62607 \cdot 10^{-34}$ J s
O		stárnutí
k	J K ⁻¹	Boltzmanova konstanta $1,38 \cdot 10^{-23}$ J K ⁻¹
L, L_0	h	životnost, životnost při teplotě T_0
p		sledovaný parametr stárnutí
S		zatížení (tepelné, napěťové, mechanické aj.)
t	h	čas
T	K	termodynamická teplota
T_0	K	termodynamická teplota, pod kterou je teplotní zatížení zanedbatelné
ϑ	°C	teplota
ϑ_{the}	°C	teplota měřená termočlánkem

Seznam zkratk a značek

3D	trojrozměrný
1f	jednofázové(á)
3f	třífázové(á)
A	ampérmetr
AD	analogově - číslicový
AM	asynchronní motor
b/s	bitů za sekundu
C	kondenzátor
CD-ROM	nepřepisovatelný kompaktní disk
Cu	měď
ČV	částečné výboje
ČO	čidlo otáček
DP	dolní propust
DPS	deska plošných spojů
EM	motor pro experimentální diagnostiku
Fe	železo
FM	frekvenční měnič
GND	zemnicí vodič
IO	integrovaný obvod
IGBT	bipolární tranzistor s izolovaným hradlem
KEL	Katedra elektrotechniky
MKP	metoda konečných prvků
NN	nízké napětí
PA	polyamid
PC	osobní počítač
PE	ochranný vodič
PEN	polyetylen-naftalen
PES	polyesterová rohož
PET	polyetylen-tereftalát
PWM	pulzně šířková modulace
R	rezistor
RS232	sériová komunikace - rozhraní
RS485	sériová komunikace - rozhraní
TEMP_12	měřicí ústředna teploty - 12 kanálů
TTL	tranzistorově tranzistorová logika
USS	protokol univerzálního sériového rozhraní
VISA	systémová architektura virtuálních zařízení
VN	vysoké napětí
V	voltmetr
X:	označení obecné diskové jednotky

1 Úvod

V dnešní době nikdo nepochybuje o nutnosti diagnostiky pracovních strojů. Každou technologickou linku je možné rozčlenit na několik funkčních pracovních celků. Můžeme je rozdělit na klíčové a pomocné. Klíčové pracovní stroje jsou takové, bez kterých je zařízení nepoužitelné a nefunkční. Pomocné pracovní stroje nejsou využívány po celou dobu běhu zařízení, a proto je možné je vyměňovat i během provozu.

Takovým klíčovým celkem může být i elektrický motor. V praxi existuje celá řada výrobních linek, která využívá k pohonu jednotlivých částí elektrický motor. Z hlediska jednoduchosti a ceny se používají asynchronní motory (dále jen AM). Dříve byly napájeny pouze harmonickým napětím. S rozvojem elektroniky se pro napájení a řízení AM používají frekvenční měniče (dále jen FM), které umožnily aplikovat AM motory v technické kybernetice.

V závislosti na zvoleném napájení AM, vystavujeme motor a jeho izolační systém různému zatížení. Při harmonickém napájení není přepětí tak časté. Přepětí vzniká většinou při přechodových stavech zapnutí/vypnutí. To znamená, že přepětí při harmonickém napájení je spíše náhodné a není tak vysoké jako při napájení z FM. U harmonického namáhání izolace lze sledovat degradaci izolačního materiálu hlavně z hlediska jeho struktury (pojiva).

Při napájení motoru z FM dochází k naprosto odlišnému namáhání izolace vlivem strmého nárůstu a poklesu napětí, které jde ruku v ruce se stálým zlepšováním polovodičových spínacích součástek. Následkem změny způsobu napájení AM dochází ke zrychlené degradaci izolačních materiálů v motoru. Také rostou dielektrické ztráty, které ohřívají celý systém a představují další faktor, který urychluje stárnutí izolačních materiálů. Pulzní namáhání způsobuje degradaci materiálu. To znamená, že se vytváří plynové prostory, které jsou hlavní příčinou částečných výbojů (dále jen ČV).

Vzhledem k závěrům učiněným v práci [10] je zřejmé, že přepětí překračuje zapalovací napětí i u nízkonapěťových pohonů. Proto je nutné se tímto problémem zabývat. V práci [9] je provedeno zajímavé srovnání působení harmonického a pulzního namáhání na izolační systém. Doba životnosti zkoumaného materiálu Porofol firmy Isovolta s lakem H 62C se zkrátila dvacetkrát při zvýšení provozního napětí nad hranici zapalovacího napětí částečných výbojů.

Zničení izolačního materiálu ve většině případů způsobí zkrat ve statorovém vinutí. Mohou vzniknout různé varianty zkratů (mezizávitové, mezifázové, na kostru). Takto vzniklým zkratem teče zkratový proud, který dále vyhřívá svými tepelnými účinky své okolí. Tím dochází k dalšímu poškození izolačního materiálu vlivem tepla. Pokud bychom byli schopni na základě tepelných účinků rozeznat zkratové proudy, můžeme předpovědět úplné zničení statorového vinutí motoru.

Protože není problematika tepelných účinků zkratového proudu pro malé

AM rozpracována, rozhodl jsem se ji řešit ve své dizertační práci. Nejdříve jsem se začal zabývat otázkou, proč v dostupné literatuře nejsou popsána teoretická ani praktická řešení problému. Odpovědí mi byla otázka. Z jakého důvodu diagnostikovat malý AM? Jeho cena je zpravidla zanedbatelná vůči zařízení, které pohání. Nevyplatí se vynakládat úsilí a zjišťovat jeho aktuální technický stav. To je pravděpodobně odpověď na mnou položenou otázku ohledně „diagnostiky“ pro AM napájené FM.

To je však jen jeden pohled na předkládanou problematiku, který zvažuje pouze vlastní cenu AM a nebere v úvahu jeho technologickou důležitost jako klíčového funkčního celku. V případě výpadku klíčového funkčního celku obecné technologické linky (v našem případě AM+FM), může dojít k podstatně větším ekonomickým ztrátám. Tyto ztráty mohou být v porovnání s cenou motoru mnohonásobné. Takovým procesem může být např. dopravník taženiny ve sklárnách, dopravníky v automobilovém průmyslu, ovládací prvky spaloven aj. V těchto konkrétních případech má význam se diagnostikou malých asynchronních motorů zabývat.

Na začátku mých úvah jsem se snažil nalézt současné možnosti a metody diagnostiky el. strojů. Ve většině publikací jsem se setkal převážně s metodami (vibračními, akustickými, částečnými výboji, analýza proudových spekter - Parkovými vektory zejména u VN motorů), které lze (vzhledem k jejich ceně) použít pouze u velkých motorů [1], [6], [11]. U těchto motorů se většinou vyplatí vyvinout diagnostický systém, který zjišťuje technický stav online nebo offline. Došel jsem proto k závěru, že je nutné navrhnout metodu, která nebude finančně náročná a bude možné ji pro diagnostiku malých AM napájených z FM použít.

Čím více jsem tuto problematiku rozkrýval, tím více mne motivovala. Nechal jsem si udělat patentovou rešerši, která potvrdila mé předpoklady. Od roku 1976 nebyly nalezeny žádné patenty popisující metody diagnostikování malých AM napájených z FM nebo bez něho. To byl pro mne rozhodující impuls k řešení tohoto problému.

AM motor je sestaven z mnoha částí. Ve svých publikacích [40], [41] jsem označil jako klíčový celek statorové vinutí a jeho izolační systém. Tento předpoklad je potvrzen i z údajů firmy SIEMENS ELEKTROMOTORY, spol. s r. o., se kterou jsem navázal úzkou spoluprací.

Po získání relevantních podkladů přímo z výroby, které potvrdily moje předpoklady, jsem se rozhodl, že správným směrem diagnostiky bude právě statorové vinutí a jeho izolační soustava. Tento závěr lze podepřít teorií Paretoovy analýzy vad. Tato analýza je použita v práci [12] a říká, že při odstranění 20 % příčin dosáhneme snížení chybovosti o 80 %. To je statisticky velmi významné číslo s ohledem na fakta získaná od výrobce.

Z toho plyne, že sledováním technického stavu statorového vinutí (20 %

příčin) je možné odstranit 80 % funkčně důležitých problémů, kvůli kterým dochází k poruchám malých AM.

1.1 Současný stav problematiky

Problematika diagnostiky malých asynchronních motorů je v dostupné literatuře nedostatečně rozpracována. Z patentové rešerše vyplynulo, že neexistuje žádné praktické řešení. Pro rešerši byly použity databáze ESPACE EP, ESPACE WO a ESPACE ACCESS, které evidují všechny patenty od roku 1976. V současné době se vědecká veřejnost věnuje převážně diagnostice velkých el. strojů. Publikace v tomto oboru jsou velmi podrobné a popisují i konkrétní technická řešení. Pro přesné zmapování současného stavu byly prostudovány odborné publikace z článků periodik, odborných konferencí a úzce zaměřených monografií.

Jednou z možností jak diagnostikovat vady AM je měření proudových spekter. V poslední době se tato metoda rozšířila do celého světa. Hardwarové a softwarové prostředky jsou neodmyslitelnou součástí špičkových analyzátorů. Analýzou proudových spekter je možné odhalit zlomené nebo přerušené rotorové tyče, statickou a dynamickou excentricitu, poruchy v magnetických obvodech, zkratované plechy statorového svazku, zkratované statorové vinutí aj. Ucelený přehled možností analýzy proudových spekter malých AM je rozpracován v [3]. Tato monografie se věnuje diagnostice malých AM napájených z distribuční el. sítě (harmonickým napětím). Poměrně přesně a výstižně popisuje, jak se jednotlivé vady (rotorové i statorové) projevují ve frekvenčním spektru napájecích proudů. Tato práce ověřila, že je možné aplikovat stejné algoritmy a teorie pro diagnostiku malých i velkých AM. Bohužel není zohledněno samotné technické řešení, které by umožnilo přímé nasazení v průmyslu (ekonomické i technické důvody). Dále neřeší problém současných pohonů s AM, které jsou ve většině případů napájeny z FM. Metodou analýzy frekvenčních spekter se zabývá mnoho dalších autorů např. práce [5], [7], [1] a [4].

Další velice rozšířenou metodou je měření částečných výbojů (ČV). Již od roku 1951 je možné on-line měření ČV pro zjišťování izolačních vad statorového vinutí v generátorech a turbogenerátorech [8]. Tato metodika prošla od svého vzniku velkým vývojem díky rozvoji výpočetní techniky, databázových systémů, aplikaci neuronových sítí aj. V monografii [11] jsou přehledně zpracovány současné možnosti metodiky částečných výbojů, které se s velkou spolehlivostí využívají pro zjišťování stavu izolačního systému statorového vinutí. Výsledky měření jsou ve většině případů zpracovávány expertními systémy, které s velkou pravděpodobností určí mezi jakými částmi stroje dochází k výbojové činnosti. Základní sestava komerčních měřičů ČV stojí cca 1-1,5 mil. Kč. Výrobci těchto expertních systémů jsou Bidle, Tettex aj. Ve spojení s akustickou sondou je možné poškozená místa izolačního systému přesně lokalizovat. Tato metoda

se používá zejména u strojů na VN (např. 6,3 kV). Vzhledem k moderním napájecím jednotkám jako jsou FM se mohou objevovat ČV i v motorech napájených napětím, jejichž efektivní hodnota odpovídá napětí v rozvodné síti (230 V). Časy spínacích prvků se zkracují a dochází k rychlým změnám směru proudu v cívkách. Tím se indukují na statorových cívkách velká napětí. Tuto problematiku popisuje práce [10]. Při vhodné konstrukci FM, volbě připojovacího kabelu a předřazení filtru lze tyto napěťové špičky snížit na bezpečnou mez.

Vibrace a hluk (akustické pole) představují další zdroj informací o stavu sledovaného systému (v tomto případě AM). Hluk a vibrace spolu úzce souvisí, proto jsou zde uvedeny jako společná metoda, kterou je možné použít převážně u velkých elektrických strojů.

Pro zjišťování vad u malých AM není ale tato metoda vhodná. Důvodem je malý odstup okolního průmyslového hluku (vibrací), od hluku (vibrací) malého stroje, při zkratu několika málo závitů. Pokud dojde ke zkratu velkého počtu závitů ($N_z > \frac{1}{6} \cdot n$) tak, aby byly projevy vibrací měřitelné, je statorové vinutí vystaveno velkému zkratovému proudu. Tento proud svými tepelnými účinky zničí izolační materiál. Je to jeden z mnoha případů zkratu, který způsobí velmi rychlou tepelnou destrukci statorového vinutí. Zároveň je nutné si uvědomit, že nelze jednoduše měřit mechanické projevy pouze jedné části stroje. Hluk a vibrace jsou projevem více funkčních celků dohromady (převodovka, rám aj.).

Pokud chceme měřit vibrace přímo na motoru, musíme použít velice přesná čidla zrychlení. Jejich cena se pohybuje řádově okolo 40 000 Kč. Cena jednotky pro vyhodnocení vibračních spekter je cca 1 mil. Kč. Z těchto důvodů je tato metoda pro malé motory nepoužitelná.

Velká pozornost je věnována stárnutí používaných izolačních materiálů při výrobě statorového vinutí. První snahy o jednoduché modely započal Montsinger (r. 1930). Systematicky vyšetřoval dobu života papírové izolace vodiče v olejových transformátorech. Byl to konkrétně zaměřený model, který nebylo možné zobecnit. Pozdější práce jiných autorů vedly k obecnějšímu popisu stárnutí izolačních materiálů [22].

Existuje mnoho laboratorních metod jak určit elektrické vlastnosti izolačních materiálů (odpor, průrazné napětí, ztrátový činitel $\tan \delta$, permitivita aj.) Tyto metody jsou vhodné zejména pro vytvoření modelu samotného materiálu. Vlastnosti izolačních materiálů závisí na mnoha faktorech (teplo, vlhkost, ionizační záření, pulzní namáhání, mechanické namáhání aj.). Z toho vyplývá, že vytvoření komplexního modelu není jednoduché.

Vždy se musí zvolit jeden ze sledovaných faktorů, který je pro dané použití nejdůležitější. Např. v běžně používaných motorech je to teplota, která způsobuje nevratné změny a zhoršuje elektrické parametry izolačních materiálů. U motorů napájených FM je nutné sledovat i pulzní namáhání, které se významnou měrou podílí na stárnutí materiálu. Problematika pulzního namáhání

je dobře popsána a zdokumentována s praktickými výsledky v [9].

Tímto byl uveden přehled nejznámějších přístupů technické diagnostiky v oblasti el. pohonů. Existují i další specializované metody pro jiné části AM (diagnostika ložisek, nevyvážené rotory, unikající proudy aj.), které zde vzhledem k rozsahu této práce nebudou popisovány.

1.2 Cíle dizertační práce

Předkládaná dizertační práce vychází z konkrétních požadavků technické praxe. Jedná se o problémy spojené s provozem a spolehlivostí asynchronního motoru napájeného z FM. Tyto pohony se v dnešní době prosazují ve všech průmyslových oborech. S rozvojem automatizace výroby v minulých letech nacházejí uplatnění v mnoha aplikacích. AM ve spojení s FM nahradily pohony se stejnosměrnými motory a neřízené pohony s AM.

Dizertační práce se zaměřuje hlavně na statorové vady, které jsou z hlediska životnosti motoru považovány za kritické. Zkrat ve statorovém vinutí je jednou z nejčastějších závad u malých AM, proto je nutné podrobit jeho účinky na celý systém podrobné analýze. Je třeba určit jak vzniká, jaké parametry jej ovlivňují a jak jej spolehlivě detekovat.

Matematické modelování reálných systémů urychluje analýzu řešených problémů a hledání správného praktického řešení. Bude sestaven matematický model jako nástroj pro analýzu zkratového proudu, který bude přizpůsoben k řešení zkoumané problematiky. Dále bude proveden návrh experimentálního motoru, na kterém bude možné simulovat různé statorové zkraty. K motoru se realizuje měřicí soustava, která bude sbírat a vyhodnocovat měřená data.

Získané výsledky budou porovnány s experimentálním měřením. Z výsledků by měl vzejít návrh nové metody pro diagnostiku malých AM, který by měl vyplnit dosud neprozkoumanou mezeru vědecké veřejnosti v oblasti technické diagnostiky pohonů.

1.3 Členění práce

Práce je rozdělena do dvou hlavních částí. První část se věnuje teoretickému rozboru vzniku zkratu a tepelným účinkům zkratového proudu – kapitola 2 až 4. Druhá část je věnována praktickému řešení: sestavení pracoviště, měření a vyhodnocení výsledků – kapitola 5 až 7.

V úvodu práce je provedena analýza problému a popis současného stavu problematiky. Řešení vlastní práce začíná kapitolou 2, kde je uveden přehled izolačních materiálů, které se v současné době používají v izolačních systémech malých AM. Kapitola popisuje vliv teploty na jejich mechanické vlastnosti. Všechny používané materiály jsou podrobeny tepelnému přetížení. Na konci je shrnutí, jak se jednotlivé materiály změnily po tepelném přetížení.

Teoretická kapitola 3 popisuje možnosti modelování stárnutí izolačních materiálů. Zabývá se zejména jednoduchým zatížením. Jednoduché zatížení se týká jen jednoho zátěžného faktoru (např. teploty).

Kapitola 4 podrobně popisuje různé konfigurace zkratů, které mohou za běžného provozu malého AM vzniknout. Je proveden podrobný teoretický rozbor zkratového proudu. Dále jsou vyhodnoceny výsledky vypočtené z navržených modelů.

První kapitolou týkající se experimentální části této práce je kapitola 5. V této kapitole je podrobně popsáno experimentální pracoviště, na kterém byly provedeny všechny uvedené experimenty.

Kapitola 7 se věnuje analýze a zpracování výsledků, které byly získány při měření teplotního pole EM.

V závěru této práce jsou v kapitole 9 uvedeny nejdůležitější závěry a přínosy této dizertační práce. Také jsou zmíněny směry výzkumu v této oblasti do budoucna.

2 Vznik zkratu

V této kapitole se krátce zamyslíme nad příčinami vznikajících zkratů a na závěr definujeme ideální izolační materiál.

Prozkoumáme-li makroskopické vlastnosti jednotlivých izolačních materiálů, používaných v AM, dospějeme k závěru, že vznik zkratu je téměř nemožný s ohledem na provozní podmínky malých AM, zejména nízké provozní napětí. Naproti tomu je z praxe známo, že ke zkratu ve statorovém vinutí dochází i za běžných provozních podmínek. Je to dáno tím, že materiály používané při výrobě nejsou ideální a bezchybné. To znamená, že nezáleží pouze na makroskopických vlastnostech materiálu, ale i na vlastnostech mikroskopických. Vady nebo rizikové faktory, které mohou být příčinou zkratu mohou být vady materiálové, vady výrobní, působení okolního prostředí, působení el. napětí (zejména přepětí).

2.1 Materiálové vady

Neexistuje homogenní a celistvý materiál. Vždy se v něm vyskytují určité nečistoty nebo prázdná místa, která lokálně mění vlastnosti izolačních materiálů. Tyto nehomogenity mohou mít pro tenkou vrstvu izolačního materiálu destruktivní následky. Příměsi mohou zvyšovat vodivost. Volná místa (plynové kapsy) zmenšují elektrickou pevnost. V těchto místech dochází k takzvaným částečným výbojům, které významně přispívají k destrukci izolačního materiálu. Jsou-li v materiálu taková místa, zcela jistě dříve nebo později dojde vlivem vnějšího působení k jejich zničení.

2.2 Výrobní vady

Lidský faktor vzniku zkratu představuje neodborná manipulace při výrobě a údržbě motoru (lokální poškození). Může dojít k poškrábání laku na vodiči statorového vinutí (velmi hrubou silou), vynechání nebo protržení drážkové izolace a proložky mezifázové izolace. V součinnosti mnoha pracovních úkonů, které se při výrobě motoru dělají, může k takovým situacím dojít. Při výstupní kontrole, kdy jsou měřeny pouze základní jmenovité hodnoty motoru, není možné tyto vady efektivně odhalovat. Ty jsou většinou ke smůle zákazníka odhaleny až po uvedení do provozu.

2.3 Vady způsobené okolním prostředím

Okolní prostředí ovlivňuje zejména rychlost stárnutí polymerů, ze kterých jsou nejčastěji vyrobeny izolační materiály. Jedná se o vlhkost, radiační záření, působení chemických látek, teplo aj. Modelování a ověřování těchto vlivů je

nesnadné. Jedná se mnohdy o mravenčí práci, kterou není jednotlivec schopen zajistit. Této problematice se věnuje mnoho pracovišť se svými týmy po celém světě. Existuje několik různých přístupů a experimentů k modelování vlivů prostředí na vlastnosti izolačního materiálu. Podrobněji jsou popsány v kapitole 3.

2.4 Mechanické vlastnosti izolačních materiálů

Mechanické vlastnosti izolačních materiálů jsou také velmi důležitým hlediskem při jeho výběru. Ideální materiál by měl být odolný proti oděru, proti mechanickému namáhání (tah, tlak, krut a ohyb) a proti tepelnému namáhání. Měl by být dobře tvárný, aby jej bylo možné vytvarovat do požadovaného tvaru. Všechny tyto vlastnosti by měl mít izolační materiál při zachování uvedených vlastností v odstavci 2.5. Tyto požadavky zcela jistě splňuje vakuum. V praxi je izolační systém z vakua statorového vinutí AM nemožný. Proto musíme používat jiné materiály, které se svými vlastnostmi blíží k ideálnímu izolačnímu materiálu.

V další části této kapitoly se zaměříme na vliv zvýšené pracovní teploty jednotlivých částí izolační soustavy statorového vinutí. Teplota má nejvýraznější podíl na destrukci izolačního materiálu, jak je uvedeno v práci [17], ve srovnání s ostatními vlivy uvedenými v odstavci 2.3. Se změnou mechanických vlastností se mění i elektrické vlastnosti izolačních materiálů.

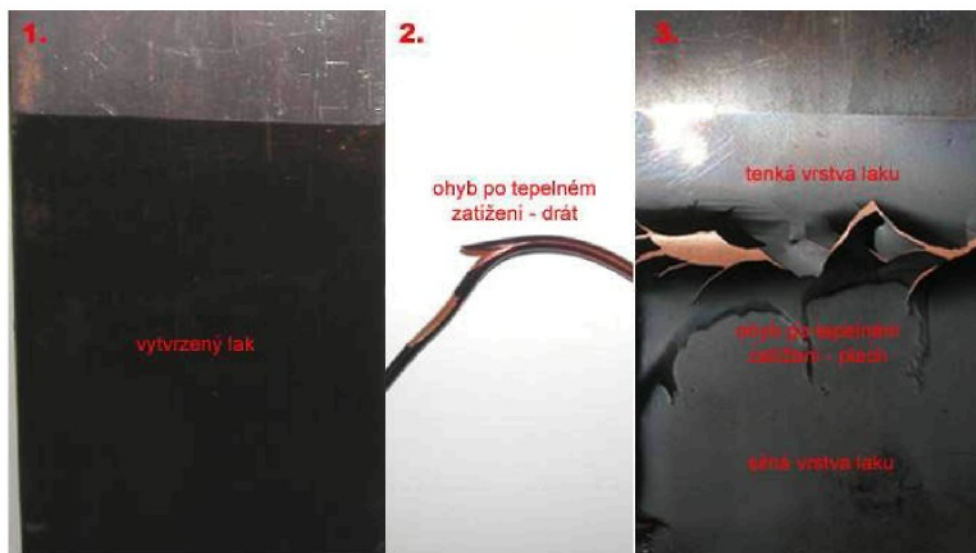
Jednoduchými pokusy byly ověřeny nebo vyvráceny představy autora o mechanických vlastnostech izolačních materiálů. Při prvním pohledu na jednotlivé materiály je jejich zranitelnost naprosto nezřetelná. Jejich odolnost při ohybu a oděru je velká. To platí pouze za předpokladu, že je izolační materiál provozován v teplotním rozsahu, který uvádí výrobce. K těmto pokusům bylo nutné sehnat všechny v současné době používané materiály. To se podařilo díky úzké spolupráci s výrobcem motorů.

Pokud dojde k tepelnému přetížení, třeba jen o 12 °C, výrazně se změní mechanické vlastnosti izolačního materiálu. Změna vlastností se projeví poměrně po krátkém čase. V následujících odstavcích jsou všechny materiály, které se používají v izolačním systému malých AM, podrobeny tepelnému přetížení.

Níže uvedené pokusy nebyly provedeny dle příslušných norem, protože se jedná pouze o ucelení autorova názoru vzhledem k mechanickým vlastnostem izolačního materiálu po tepelném zatížení. Všechny pokusy předpokládají, že v motoru již zkrat vznikl (není podstatný způsob vzniku) a zkratový proud zahřívá celý izolační systém svými tepelnými účinky.

2.4.1 Lak na vodičích – smalt

K pokusu byl použit lak s teplotní třídou F–H (155/180 °C). Vzorek tohoto laku byl získán na základě spolupráce se společností SIEMENS ELEKTRO-



Obrázek 2.1: Testování pružnosti laku na vodiče – 1. vytvrzený lak na podkladním plechu, 2. destrukce laku přímo na vodiči, 3. zničená vrstva laku po ohybu

MOTORY, spol. s r. o., závod Mohelnice od společnosti ALTANA Electrical Insulation. Označení laku je PAI WIRE ENAMEL I720/38 SCH. V technické dokumentaci nebyl uvedený postup pro vytvrzení laku. Proto byl použit následující postup. Na měděný plech o tloušťce 0,5 mm byla smočením nanесena vrstva laku, která měla tloušťku cca 30 μm . Po vytvrzení v tepelné komoře při 140 °C a následném vychladnutí byl proveden pokus ohybem kolmo k podélné ose plechu. Lak je po vytvrzení velice hladký, aby měl malý koeficient tření pro rychlo-navíjení. Není možné jej lehce poškrábat.

Pružnost získaného laku byla ověřena při pokusu „ohybem“. Lak kopíroval tvar plechu i při několikanásobném ohybu. Ohýbání bylo opakováno do prasknutí plechu. Lak zůstal celistvý i po tomto „destruktivním“ pokusu. Z toho je vidět, jak je lak na vodičích odolný vůči mechanickému zacházení.

Pokus byl zopakován pro odlišné pracovní podmínky laku. Výroba tenké vrstvy laku byla zopakovaná stejně jako v předchozím případě. Po standardním vytvrzení byl vzorek opět vložen do tepelné komory a přetížen teplotou 200 °C po dobu 2 h. Po vyjmutí a vychladnutí byl pokus ohybem zopakován. Již při prvním pokusu došlo k prasknutí laku. Část prasklého laku se vylomila. Na jejím místě zůstala čistá vodivá plocha měděného plechu. Z pokusu je patrné, že malé zvýšení teploty nad provozní teplotu laku, má výrazný dopad na mechanické vlastnosti materiálu.

Dále bylo zkoumáno chování izolačního laku přímo na vodičích. Byl vytvořen mechanický model, který představoval dva závity statorového vinutí. Měděné vodiče izolované smaltem byly staženy stahovacím páskem z PA. Vo-



Obrázek 2.2: Změna struktury izolačního materiálu vlivem tepelného působení v uspořádání drát – drát – 1. vzorek, 2. po tepelném zatížení, 3. výboj v poškozeném místě při napětí 500 V

diče byly smočeny do impregnačního laku a poté byl lak vytvrzen. Realizace je zobrazena na obrázku 2.2. Vodiče byly tepelně zatíženy při 200 °C po dobu 1 h.

Smalt na vodičích výrazně ztmavěl, tím se změnila jeho mechanické i elektrické vlastnosti. Impregnační lak zkřehl a vydrolil se z míst, kde byla větší mezera mezi vodiči. Fixační stahovací páska popraskala a v místech styku s vodičem strhla smalt, jak ukazuje obrázek 2.2.

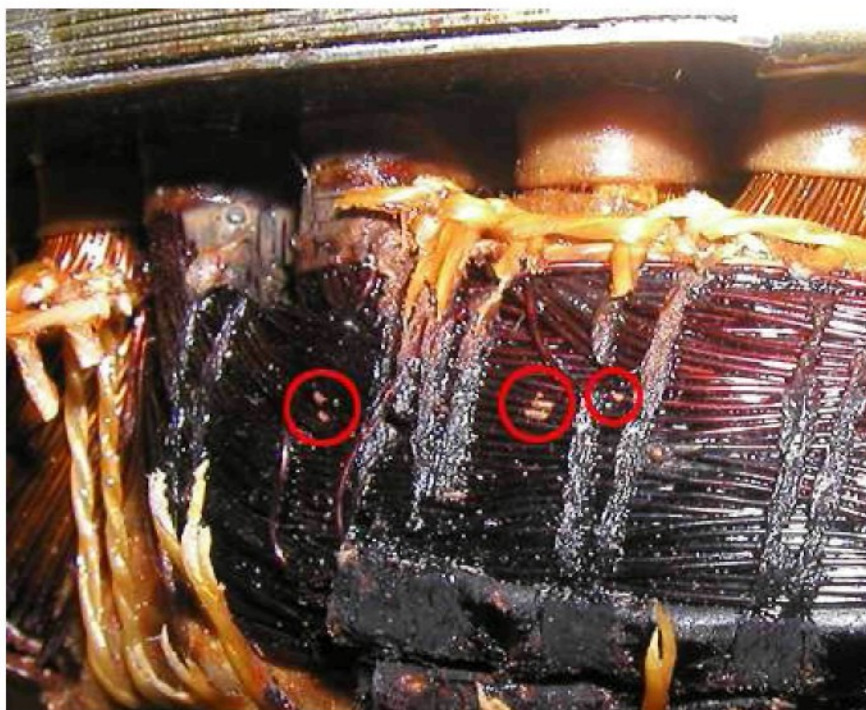
Strhnutí smaltu je způsobeno rozdílnou teplotní roztažností obou materiálů. To znamená, že používaná bandáž čel vinutí vytrhává smalt z drátu. To vytváří lokálně odizolované místo, ve kterém vzniká výboj a později zkrat. Taková místa na motoru ukazuje obrázek 2.3. Vodičové spojení vzniká teplotním působením na izolační materiál. Vzniká „uhlíkový most“, který vede zkratový proud. Uhlík je obsažen v benzenových molekulách, které tvoří izolační materiál (viz obrázek 3.1).

2.4.2 Impregnační lak

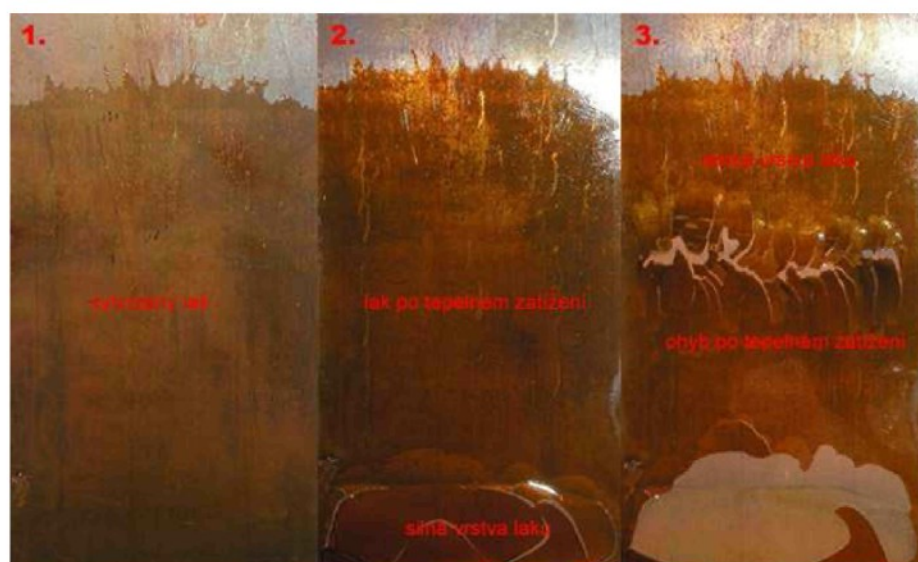
Impregnační lak, který byl k dispozici, odpovídal také teplotní třídě F–H (155/180 °C). Tento vzorek dodala slovenská firma VUKI a.s. Jedná se o jednosložkový impregnant NH91 TP: VUKI-0207197. Lak se vytvrzuje při teplotě 140° po dobu 2 h. Vzorek pro testování byl připraven na měděný podkladní plech stejným postupem jako v kapitole 2.4.1.

Impregnační lak není zdaleka tak odolný proti mechanickému poškrábání v porovnání s izolačním lakem, který je nanesen na měděných drátech. Opět byl proveden pokus „ohybem“. Podmínky, při kterých docházelo k vytvrzení a poté k tepelnému zatížení, jsou shodné jako v odstavci 2.4.1.

Impregnační lak po tepelném zatížení změnil svoji pružnost stejně jako lak na vodiče. Po mírném prohnutí nosného plechu došlo k okamžitému prasknutí (obrázek 2.4 část 3). Úhel prohnutí byl cca 20°. To je v porovnání s cca 70° pro lak na vodiče podstatný rozdíl. Z toho vyplývá, že impregnační lak má po



Obrázek 2.3: Odtržený smalt na čele statorového vinutí po destrukci bandáže



Obrázek 2.4: Testování pružnosti impregnačního laku – 1. vytvrzený lak na podkladním plechu, 2. praskání laku, 3. zničená vrstva laku po ohybu



Obrázek 2.5: Změna mechanických vlastností drážkové izolace vlivem tepelného působení – 1. bez tepelného zatížení, 2. tepelné zatížení 1 h, 3. tepelné zatížení 2 h, 4. ohyb a lom

tepelném zatížení výrazně horší mechanické vlastnosti. V místech, kde byl lak nanesen ve větší vrstvě, došlo k popraskání již při samotném tepelném namáhání bez jakéhokoliv ohybu (obrázek 2.4 část 2). Lak na vodiče bez působení ohybu nepopraskal ani v místech, kde byl nanesen ve větší vrstvě.

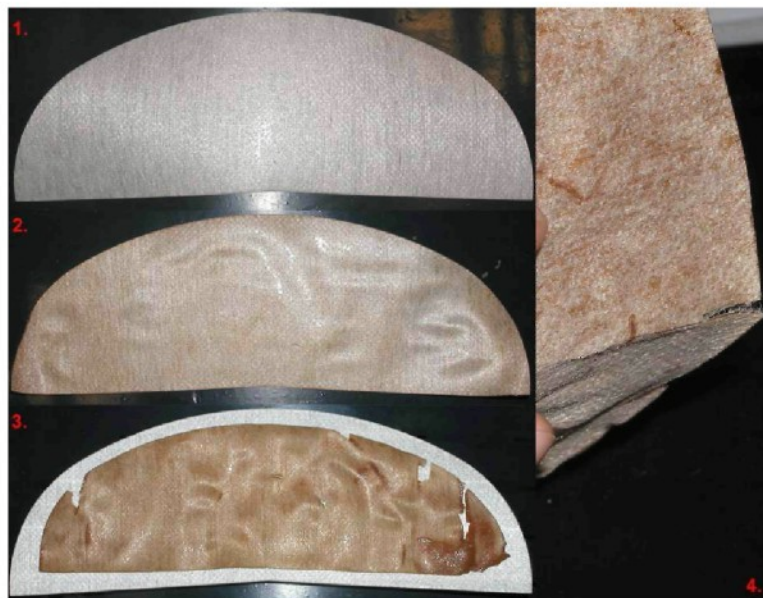
2.4.3 Drážková izolace

Drážková izolace je kompozitní materiál. Skládá se ze dvou vrstev. Někdy bývá i třívrstvá. Nosná vrstva je z PET, která je z jedné, resp. obou stran, opatřena aramidovým¹ papírem P-PAA. I tento izolační materiál se vyrábí v kombinaci teplotní třídy F–H (155/180 °C). Použité vzorky materiálu jsou od italské firmy Polifibra s.p.a.

Drážková izolace se při výrobě motorů tepelně neupravuje. V případě navlhnutí se doporučuje vysušit po dobu 30 min při teplotě 150 °C. Jediná technologická úprava při použití ve výrobě je nastříhání a naohýbání do požadovaných rozměrů a tvarů statorové drážky.

Stejně tak jako v předchozích případech byla drážková izolace podrobena tepelnému zatížení. Vzorky byly tepelně namáhány po dobu 1 h a 2 h při teplotě 200 °C. Po tepelném zatížení byl proveden ohyb. Výsledky pokusu ukazuje obrázek 2.5. Část 1 zobrazuje drážkovou izolaci v původním neporušeném stavu. Část 2 ukazuje deformace a změnu struktury po 1 h tepelného zatížení. Po dvou hodinách tepelného zatížení se vzorek více zdeformoval a zatmavila se vrstva PET (část 3).

¹Aramid je pevný žáruvzdorný syntetický materiál, který v roce 1961 vyvinula Američanka Stephanie Kwolek. Používá se v leteckém průmyslu a v armádě na výrobu neprůstřelných vest a jako náhražka azbestu.



Obrázek 2.6: Změna mechanických vlastností mezifázové izolace vlivem tepelného působení – 1. bez tepelného zatížení, 2. tepelné zatížení 1 h, 3. tepelné zatížení 2 h, 4. ohyb a lom

Při pokusu ohybem po 1 h vzorek odolával ohybům ve všech směrech. Po 2 h zatížení materiál zkřehl natolik, že při podélném ohybu praskl, jak je vidět v části 4 na obrázku 2.5. Vzhledem k tomu, že je drážková izolace v drážce podélně ohnuta, hrozí při tepelném přetížení velká pravděpodobnost zkratu statorového vinutí na kostru motoru.

2.4.4 Mezifázová izolace

Mezifázová izolace je kompozitní materiál stejně tak jako drážková izolace. Rozdíl je v počtu vrstev a v použitém krycím materiálu. Mezifázová izolace se skládá ze tří vrstev. Její značení je PES-VVL. Tři vrstvy jsou tvořeny materiály PES-PET-PES. Základní materiál PET je tedy stejný jako u drážkové izolace. PES je polyesterová rohož, která chrání vrstvu PET před poškrábáním.

Vrstva PES je méně kvalitní než aramidová vrstva. Jedním z důvodů je menší tepelné namáhání, které je na čelech statorového vinutí. Další důvody jsou zřejmě ekonomické. Izolační vlastnosti tohoto kompozitu jsou pro izolaci dvou fází v součinnosti s impregnačním lakem za normálních provozních podmínek dostačující a vyhovující.

Při tepelném přetížení se objevily podobné účinky jako v případě drážkové izolace. Vzhledem k tomu, že je použita jiná krycí vrstva, vykazuje základní materiál jiné mechanické vlastnosti. Výsledek můžeme vidět na obrázku 2.6.

Hlavní a na první pohled viditelný rozdíl je ve změně rozměrů mezifázové

izolace, který je patrný z obrázku 2.6 část 3. Došlo k poměrně výraznému smrštění. Možnou příčinou může být odlišnost obou PET vrstev nebo rozdílnými vlastnostmi aramidové vrstvy a PES vrstvy při tepelném namáhání. Aramid je materiál s velkou tepelnou odolností. To znamená, že pomáhá zachovat tvar i velikost vrstvy PET. Na druhou stranu polyesterová rohož má malou tepelnou odolnost okolo 170–190 °C. Z toho vyplývá, že vrstva PET nemá žádnou podporu, která by bránila změně tvaru a velikosti.

Při pokusu ohybem se materiál opět zlomil stejně jako v případě drážkové izolace.

2.4.5 Shrnutí získaných závěrů při tepelném namáhání

Z provedených pokusů je patrné, že všechny izolační materiály používané pro izolaci statorového vinutí po tepelném přetížení výrazně mění své mechanické vlastnosti. Změna mechanických vlastností je příčinou změny elektroizolačních vlastností používaných materiálů. Stav tepelného přetížení nastává až v okamžiku vzniku prvního zkratu ve statorovém vinutí. Za normálních provozních podmínek doporučených výrobcem k tepelnému přetěžování nedochází. V případě, že dojde k tepelnému přetížení bez poruchy motoru, jedná se o chybu v návrhu pohonu.

Při porovnání mechanických vlastností izolačních materiálů po tepelném zatížení v AM se ukazuje, že nejméně odolný je impregnační lak, který rychle křehne a v místech s větší vrstvou se „vydrolí“. Jeho zničení tepelným přetížením nemá velký vliv na izolační systém statoru. Následky zničení jsou spíše mechanické. Dojde k rozvolnění závitů statorového vinutí, na které působí síly vyvolané procházejícím proudem. Tyto síly jsou zřejmě příčinou následného poškrábání laku na vodičích, které může po určitém čase vyústit ve zkrat.

Lak na vodičích má ve srovnání s impregnačním lakem dobré mechanické vlastnosti, ale i jeho životnost je výrazně ovlivněna tepelným působením. Po tepelném zatížení lak křehne, ale nedrolí se, a zůstává na drátu statorového vinutí. Tím je schopen po určitou dobu zajistit izolační stav. Později dojde k elektrickému průrazu vlivem výbojové činnosti.

Drážková izolace je velmi důležitá při ochraně statorového vinutí vůči plechům statorového vinutí. Chrání lak na vodičích proti poškrábání o hrany plechů, hlavně pak na výstupu z drážky. Po tepelném přetížení vrstva PET změni barvu a deformuje se. Aramidová vrstva zůstává teplem nedotčená, protože teplota degradace tohoto polymeru je okolo 500 °C. Tato vrstva se pouze tvarově přizpůsobí vrstvě z PET. Při pokusu ohybem došlo k podélnému prasknutí PET vrstvy. Aramidová vrstva zůstala nepoškozená. To znamená, že dojde k porušení izolačních vlastností drážkové izolace. Aramidová vrstva zajišťuje pouze ochranu proti oděru.

Mezifázová izolace je velmi podobná drážkové izolaci. Jsou na ni kladeny

menší nároky z hlediska tepelného zatížení, proto je povrchová vrstva vyrobena z PES. Materiál PES má menší tepelnou odolnost než aramid. To je příčina velkých rozměrových deformací. Při této deformaci může dojít ke stažení (zmenšení) izolované plochy v mezifázovém prostoru. To znamená, že se k sobě přiblíží dráty různých fází.

Tato kapitola naznačila, co se děje s izolačním systémem a jednotlivými izolačními materiály při tepelném přetížení. Otázkou zůstává, jak vlastně vzniká první zkrat, který je příčinou tepelného přetěžování. Tuto otázku se autor ne snaží zodpovědět. Nalézt odpověď není díky širokému spektru možností snadné. Autor vychází z praxe, která jasně ukazuje, že zkraty vznikají a jejich následné tepelné přetížení dále rozšiřuje zkrat. Ten postupně vyvolává větší zkratový proud a tím i více tepla. Následně se zničí hlavní části izolačního systému statoru.

Pro zodpovězení otázky vzniku prvního zkratu zbývají ostatní vlivy, které byly uvedeny v úvodu této kapitoly. Vznik takového zkratu je pozvolný a závisí na mnoha faktorech a velmi špatně se zjišťuje. Jednou z hlavních příčin vzniku prvotního zkratu jsou v dnešní době přepětí, která mohou být kromě jiného vyvolaná frekvenčními měniči. Přepětí a napěťové pulzy několikanásobně zrychlují stárnutí izolačních materiálů [9].

2.5 Elektrické vlastnosti izolačních materiálů

Z hlediska elektrických vlastností by měl být ideální izolační materiál používaný pro izolační systémy statorových vinutí zcela nevodivý, měl by mít nekonečnou elektrickou pevnost, permitivitu rovnou permitivitě vakua $\epsilon_0 = 8,854 \cdot 10^{-12} \text{ F/m}$ a nulový ztrátový úhel $\tan \delta$. V praxi má každý materiál volné elektrony, které se mohou podílet na vedení elektrického proudu.

Množství elektronů v jednotce objemu rozděluje materiály na vodiče a izolanty. Počet volných elektronů je v případě izolačních materiálů tak malý, že neovlivní funkci vlastního zařízení.

Elektrická pevnost udává velikost maximálního napětí, které je izolační materiál schopen od sebe oddělovat (spolehlivě izolovat). Například pro drážkovou izolaci u malých AM $U_p = 9 \text{ kV}$. Tento údaj výrobci stanovují podle normy IEC 60243, ve které jsou popsány podmínky měření. Hodnota E_p je při měření přepočítaná na tloušťku izolantu podle vztahu 2.1 pro elektrickou intenzitu.

$$E_p = \frac{U_p}{h} \quad (2.1)$$

Relativní permitivita všech materiálů je větší než 1. Udává, kolikrát se zvětší elektrická indukce v určitém materiálu proti elektrické indukci ve vakuu,

nezmění-li se intenzita pole E_0 . To vyjadřuje vztah 2.2.

$$D = \varepsilon_0 \varepsilon_r E \quad (2.2)$$

Čím je větší ε_r , tím roste schopnost materiálu udržet elektrický náboj. To znamená, že roste i kapacita izolačního systému, která je v případě statorového vinutí parazitní vlastností. Při každé změně napětí dochází k vybití a nabití, této kapacity. Susceptibilita pro střídavé napětí je úměrná permitivitě $B_c \sim \varepsilon_r$ podle rovnice 2.3.

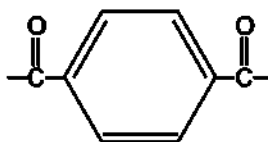
$$B_c = \frac{2\pi f \varepsilon_0 \varepsilon_r S}{d} \quad (2.3)$$

Shrneme-li výše uvedené vlastnosti materiálu, dospějeme k závěru, že nejvhodnějším izolačním „materiálem“ je ideální vakuum. Nemá žádné volné nosiče elektrického náboje, má nekonečnou elektrickou pevnost a kapacitu úměrnou ε_0 .

3 Izolační materiály v malých asynchronních motorech

V dnešní době se pro izolační materiály malých (levných) AM používají převážně organické materiály. Pro malé motory se používá zejména PET (polyetylen-tereftalát), který svými vlastnostmi splňuje požadované normy a zároveň je cenově velmi zajímavý. Další moderní polymer, který je možno využít pro výrobu izolátorů a izolantů je PEN (polyetylen-naftalen). Užité vlastnosti tohoto materiálu jsou lepší než u materiálu PET. Vzhledem k jeho ceně se využívá v náročnějších aplikacích, kde není výrobce limitován cenou konečného výrobku. Výše zmíněné polymery jsou velmi vhodné pro izolační systémy, protože jsou chemicky stabilní, mají dobré mechanické vlastnosti a velkou tepelnou odolnost oproti ostatním polyesterům.

Materiál PET je vyráběn v různých stupních krystalové struktury. Standardně se poměr krystalické části vůči amorfní části pohybuje mezi 30 – 35 %. Čím je tento poměr větší, tím jsou lepší elektrické vlastnosti izolačního materiálu. Hlavně se zvyšuje jejich izolační odpor, jak uvádí [18]. Je to způsobeno tím, že volné elektrony na krajích makromolekul jsou vázány do krystalické struktury polymeru. Elektrony potřebují více aktivační energie, aby se mohly podílet na vedení elektrického proudu. Proto se mohou jen těžko podílet na vedení elektrického proudu v izolačním materiálu.



Obrázek 3.1: Základní molekula tereftalátu podle [19]

Tato práce je zaměřena na standardní AM malého výkonu, které jsou vyráběny v teplotní třídě F (150 °C). Na izolaci během provozu motoru působí různé vlivy jako je teplota, vlhko, světlo, ionizační záření, chemické produkty, rychlá změna napětí, procházející proud aj. Všechny zmíněné vlivy se podílí na postupném stárnutí izolace. Každý z nich jiným způsobem. Dostupná literatura uvádí, že ze všech negativních vlivů má největší podíl na destrukci izolantu teplota [17].

Vzhledem ke stáří uvedeného pramene je nutné informaci dále doplnit. S masovým nasazováním FM v průmyslu se zkoumá vliv rychlých napěťových změn na izolační systém celého motoru. Tato problematika je velmi dobře zpracovaná v práci [9]. Výsledky práce jasně ukazují, že dnešní izolační materiály musí odolávat dalšímu přídatnému faktoru, který **podstatně** zkracuje dobu života celého izolačního systému. Při pulzním namáhání dochází v průměru

k desetinásobnému zkrácení doby života izolačního materiálu.

3.1 Stárnutí izolačních materiálů vlivem teploty

Nevratné fyzikálně chemické procesy, které při stárnutí probíhají, jsou projevem řady chemických reakcí jako: oxidace, polymerace a polykondenzace, zesíťování makromolekul, depolymerace a rozklad některých složek materiálů. Tyto reakce probíhají při všech teplotách, dokonce i při teplotě pokojové. S rostoucí teplotou jejich rychlost vzrůstá. Přitom pro rychlost stárnutí není rozhodující množství přivedené tepelné energie, ale výše teploty, která na izolační materiál působí.

U řady materiálů se na prvním místě uplatňuje pomalá oxidace vzdušným kyslíkem, jejíž účinek závisí na druhu materiálu, na teplotě a přístupu kyslíku k izolantu. Oxidace vede jak ke strukturálním změnám, tak ke vzniku polárních zplodin, které zvyšují elektrickou vodivost a ztrátový činitel [17]. U organických polymerů se oxidací trhají makromolekuly, klesá mechanická pevnost a často se zhoršují elektrické vlastnosti. S rostoucí teplotou vzrůstá rychlost oxidace těchto polymerních látek.

Při zkoumání jejich odolnosti proti oxidaci při vyšších teplotách proto mluvíme o termooxidační stabilitě. Polymerace, popřípadě polykondenzace, se vyskytuje tehdy, jsou-li přítomny volné funkční skupiny, které pak umožní reakce, jejichž výsledkem je vznik trojrozměrných zesíťovaných struktur.

Zesíťování makromolekul může nastat i oxidací. Stárnutí bývá provázeno poklesem podílu změkčovadel v syntetických látkách. Následkem zesíťování a větvení řetězců makromolekul vznikají v organických látkách strukturální změny. Tím materiál tvrdne, později křehne, ztrácí ohebnost, zhoršují se jeho elektrické vlastnosti, roste navlhavost apod.

Depolymerace, která je provázena rozpadem řetězců makromolekul při zvýšených teplotách, se vyskytuje u všech polymerů včetně buničiny, a to i bez přístupu kyslíku. I když v normálních podmínkách probíhá mnohem pomaleji než oxidace, stává se význačným činitelem při vyšších teplotách. Kromě těchto reakcí mohou spolupůsobit i další jevy podmíněné např. elektrolýzou nebo hydrolyzou. Může se uplatňovat katalytický vliv přítomných kovů aj. S ohledem na tepelné stárnutí byl zaveden pojem trvalé tepelné odolnosti izolantů vyjádřené mezní teplotou [17].

3.2 Stárnutí izolačních materiálů vlivem pulzního namáhání

Izolační materiály jsou při napájení motorů z FM zatěžovány pulzním napětím, které je způsobeno spínáním střídače FM, přívodním kabelem a vlastním vinutím motoru (indukčnost, kapacita). Vzhledem k rozdílným impedancím

napájecího kabelu a vinutí motoru dochází k odrazům napěťových pulzů, které se skládají. Tyto pulzy negativně ovlivňují životnost izolace.

Zajímavé srovnání napájení motoru harmonickým napětím a napájením z FM je publikováno v práci [14]. Výsledky práce jsou uvedeny v tabulce 3.1.

	50 Hz AC		PWM	
	U [V]	E [kV/mm]	U [V]	E [kV/mm]
fáze-fáze	813	18,4	1200	27
fáze-zem	574	13,5	700	16
závit-závit	5,7	1,1	550	110

Tabulka 3.1: Porovnání intenzity el. pole působící na izolační systém při napájení harmonickým napětím a při napájení z FM

Z uvedené tabulky je vidět, že napětí mezi fázemi vzroste cca o 50 %, mezi fází a zemí o 20 %. Protože je izolační systém vinutí několikanásobně předimenzován, není navýšení napětí nebezpečné. V případě mezi-závitového napětí dojde ke stonásobnému navýšení. Toto navýšení představuje reálné nebezpečí pro izolační systém statorového vinutí.

Pulzní zatížení je svým charakterem naprosto odlišné od zatížení harmonickým napětím. Za stejnou jednotku času musí dojít při pulzním namáhání k rychlé polarizaci a depolarizaci dielektrika. Tím se jeho životnost značně zkracuje. Lze to přirovnat k ohýbání plechu např. o 90° tam a zpět. Doba lomu nezáleží na rychlosti ohýbání za daný čas, ale na počtu ohybů.

Pro dielektrika platí podobný mechanismus. Jednotlivé části makromolekul se polarizují. Některé části lépe a jiné hůře, proto dochází k rozpadu polymerní makromolekuly. Tím vzroste počet volných elektronů a zhorší se izolační vlastnosti. Není jednoduché určit analyticky závislost, která by udávala zkrácení životnosti izolačních materiálů při použití pulzního zatížení pro různé modulační frekvence. Chemické složení každého izolantu může být jiné. Nezbyvá než kvalitu materiálů posuzovat experimentálním měřením.

Při pulzním namáhání vznikají větší dielektrické ztráty, které urychlují proces stárnutí celého izolačního materiálu. Tyto tepelné ztráty jsou způsobeny polarizací a depolarizací materiálu.

$$W = \frac{1}{2} \left(\frac{1}{2} \cdot \bar{\epsilon} \int E^2 dV \right) = \frac{1}{4} (\epsilon' - j\epsilon'') U^2 \frac{S}{d} = W_a - jW_z \quad (3.1)$$

Energii nahromaděnou v izolačním materiálu lze vypočítat podle vztahu 3.1. Uvedený výraz naznačuje, že se v izolačním materiálu uplatňují dvě formy energie. Jednak je to energie spotřebovaná na polarizaci vnitřní struktury W_z , která způsobuje tepelné ztráty a druhá složka W_a představuje energii akumulovanou v izolačním materiálu o daném objemu V .

Pro vyjádření ztrátového výkonu platí vztah 3.2.

$$P_z = \frac{W_z}{T} = W_z f \quad (3.2)$$

Z rovnice 3.2 vyplývá, že polarizační ztráty jsou přímo úměrné frekvenci působícího elektrického pole. Proto je u izolačních materiálů kladen důraz na co nejmenší ztrátový úhel, který je definovaný podle vztahu 3.3. Ideální bezetrátový izolační materiál má ztrátový úhel roven nule. To znamená, že permitivita neobsahuje imaginární složku.

$$\tan \delta = \frac{\varepsilon''}{\varepsilon'} \quad (3.3)$$

Další ohrožení izolačního materiálu při pulzním namáhání představují ČV. Vnitřní strukturální nehomogenity materiálu (vzduchové bubliny, nečistoty) způsobují vnitřní ČV, jejichž četnost je podstatně vyšší oproti výbojové činnosti při harmonickém napětí [14]. Důsledkem ČV je eroze částic materiálu, což způsobuje změnu aktivní tloušťky izolantu.

Vzhledem k výše uvedeným faktům byla drážková izolace EM podrobena důkladné laboratorní analýze. Měření jsou časově velmi náročná, proto je výzkum vlastností izolačních materiálů předmětem dalšího zkoumání.

3.3 Modely stárnutí izolačních materiálů

Obecně je možné každý reálný systém modelovat. Modelování slouží k popisu nějakého existujícího reálného systému. Modely se používají k odhadnutí signálů, které nemůžeme získat z nepřímého měření, testování hypotéz, předpovídání krátkodobého a dlouhodobého dynamického chování. Pro stárnutí izolace je nejdůležitější určit dobu života („lifetime“) izolačního materiálu v závislosti na působících parametrech (napětí, teplota, záření, vlhkost aj.).

Modely je možné rozdělit na fyzikální a fenomenologické. **Fyzikální modely** („white box“) se získávají tzv. matematicko-fyzikální analýzou. Při té je systém rozdělen na malé součásti. Pro ně jsou napsány známé základní rovnice popisující jejich chování na základě fyzikálních zákonů a pravidel. Metody vytvářející takové modely vycházejí z principů zachování energie, rovnováhy sil a momentů. Pro složitější systémy se počet parametrů začíná neúnosně zvyšovat. Simulace takového systému je pomalá a v reálném čase nemožná.

Fenomenologické modely („black box“) aproximují chování systému bez jakýchkoliv nároků na informace o systému vlastním. Většinou vychází z pozorování člověka nezávisle na vypracování předchozích teorií. Není ani důležité, co jednotlivé vstupy a výstupy ve skutečnosti znamenají a v jakých jednotkách se udávají. Parametry těchto modelů nemají žádný fyzikální význam.

Např. jakékoliv měření můžeme s určitou přesností aproximovat polynomem $y_m = a_0x^0 + a_1x^1 + a_2x^2 + \dots$ jestliže stupeň polynomu bude dostatečně vysoký.

Sestavením vhodného modelu je možné předpovídat dobu života použitého izolačního materiálu v závislosti na konkrétních vlivech. Následující text ukazuje některé možné modely, které již byly sestaveny. Vzhledem k velkému množství faktorů, které mohou na izolační materiál působit, je sestavení modelu složitá úloha. Nejprve je důležité vybrat ty faktory, které v naší aplikaci ovlivňují životnost nejvíce. V případě malých AM je to teplota a pulzní namáhání ze strany FM. Pro sestavení fenomenologického modelu je nutné provést velké množství měření, které není jedincem proveditelné. Vždy to musí být tým několika lidí, který shromažďuje data a statisticky je vyhodnocuje. Pro sestavení fyzikálního modelu je nutné znát strukturu a složení materiálu. Tyto informace jsou výrobci z konkurenčních důvodů utajeny.

Stárnutí spočívá v nevratných změnách vlastností izolačního materiálu. Ty vedou ke ztrátě jeho provozuschopnosti. **Životností** je myšlen čas selhání daného izolačního materiálu. Popis stárnutí je založen na detekci vlastností citlivých na stárnutí. V případě Montsingera to byl úbytek mechanické pevnosti. Může to být také izolační odpor, elektrická pevnost, ztrátový úhel, permitivita aj. Pokud známe, jak se vlastnosti při stárnutí mění, získáme i model stárnutí. V nejobecnější podobě a s odkazem na teorii reakční rychlosti jednotlivých faktorů můžeme psát rovnici 3.4,

$$O = f(p) = \int_0^t K[S_1(t'), S_2(t'), \dots, S_N(t')] dt \quad (3.4)$$

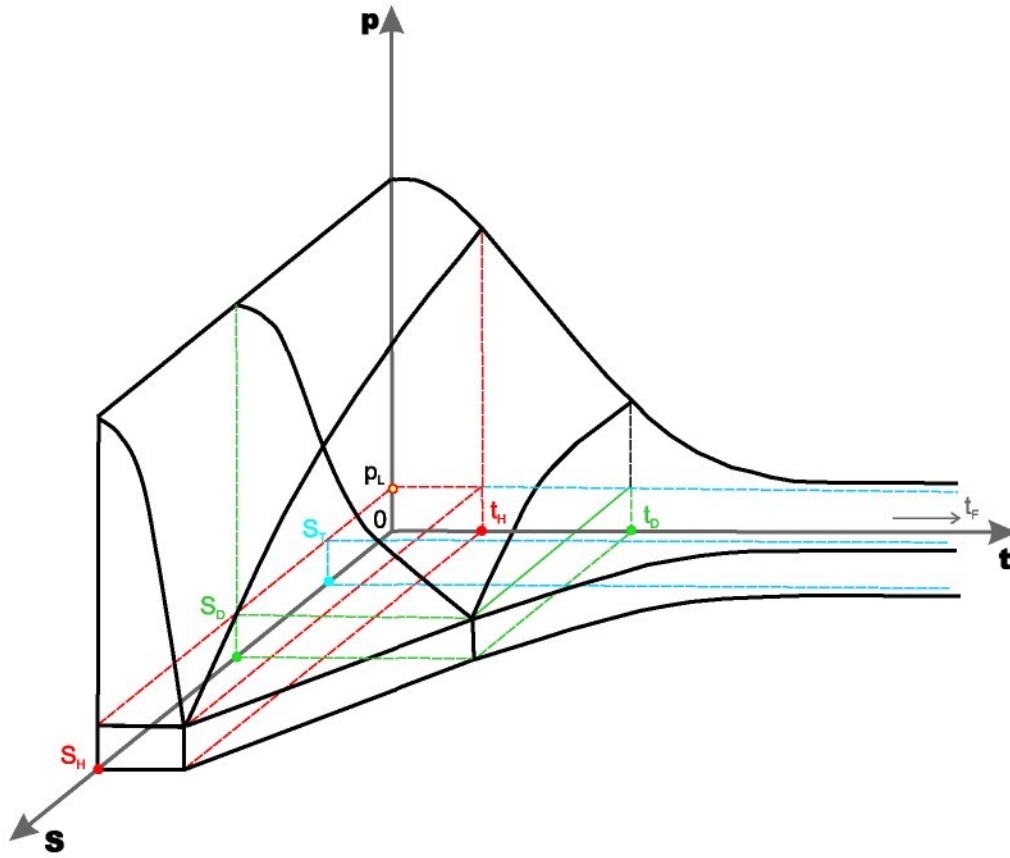
kde O představuje stárnutí, p diagnostikovaný parametr (v relativní hodnotě), $S_1, S_2, \dots, S_N$ jsou zatížení aplikovaná na izolant a t je čas, po který byla aplikována. Pokud jsou zatížení konstantní, vztah mezi stárnutím a časem můžeme formulovat rovnicí 3.5.

$$O = f(p) = K(S_1, S_2, \dots, S_N)t \quad (3.5)$$

Komplexnější vztah můžeme sestavit, pokud vezmeme v úvahu změnu napětí v čase (dokonce se stochastickým chováním).

Pokud stárnutí dosáhne limitní hodnoty A_L korespondující s přípustnou limitní hodnotou diagnostikované vlastnosti p_L (konečný bod), čas stárnutí t se stane časem selhání t_F nebo životností L nebo časem poruchy t_B . Potom rovnice 3.5 vede k modelu životnosti podle rovnice 3.6. Obrázek 3.2 ukazuje příklad obecné funkce stárnutí.

$$O_L = f(p_L) = K(S_1, S_2, \dots, S_N)L \Rightarrow L = \frac{O_L}{K(S_1, S_2, \dots, S_N)L} \quad (3.6)$$



Obrázek 3.2: Příklad obecné funkce stárnutí [22]

Na grafu je S zatížení, p je diagnostikovaná vlastnost (p_L je konečný bod, odpovídající času selhání t_F), S_D je zamýšlené zatížení, které odpovídá času do selhání t_D , S_T je prahové zatížení (v grafu $S_D < S_T$), kde je životnost nekonečná. S_H je největší testované zatížení s odpovídajícím časem do selhání t_H .

Problém modelování přináší komplikace, jako je například více zatížení na jednu (po určitý čas). Označíme-li N zatížení aplikovaných na izolant pomocí $S_1, S_2, \dots, S_N$, pak můžeme model životnosti psát v jeho obecné formě 3.7,

$$L(S_1, S_2, \dots, S_N) = f(S_1, S_2, \dots, S_N; p_1, p_2, \dots, p_M) \quad (3.7)$$

kde $p_1, p_2, \dots, p_M$ je M diagnostikovaných parametrů (ukazatelů), které popisují stárnutí izolace a plně charakterizují model životnosti pro všechny zatěžovací parametry.

Fyzikální modely jsou založeny na znalostech chování ukazatelů v čase stárnutí, jako je například zkoumání hlavních mechanismů stárnutí v daném rozsahu zatížení a časů. Proto fyzikální model může popisovat pouze část životnosti izolantu. Musíme zkombinovat dva a více modelů k získání funkčního

vztahu mezi zatížením a stárnutím (např. model pro tvoření mikrotrhlinek a model částečných výbojů nebo model pro „stromový růst“).

Fenomenologické modely založené na získání životnostních dat měřením, dodávají přímo informace o času selhání podle rovnice 3.7. Nicméně pro druhý zmiňovaný model potřebujeme životnostní testy v různých hodnotách zatížení, dokud nemáme dostatečné množství dat k odhadu parametrů modelu (za použití technik jako je pravděpodobnost nebo metoda nejmenších čtverců). První model může být řádně vysvětlen použitím různých životnostních testů a analytických měření, protože parametry modelu mohou mít fyzikální podstatu, a proto mohou být detekovány skrze analytická měření.

3.3.1 Teplotní modely životnosti

Montsingerův model

Jeden z prvních pokusů o kvantitativní vyjádření tepelného stárnutí a o matematickou formulaci jeho časového průběhu provedl V. M. Montsinger (r. 1930) ve své devět let trvající studii. Systematicky vyšetřoval dobu života (t) papírové izolace vodiče v olejových transformátorech na základě měření úbytku mechanické pevnosti papíru v závislosti na konstantní teplotě ϑ , a to v rozmezí 90 °C až 110 °C. Přitom zjistil, že experimentální výsledky lze vyjádřit exponenciální funkcí, která udává závislost doby života izolace na teplotě ve tvaru uvedeném v rovnici 3.8,

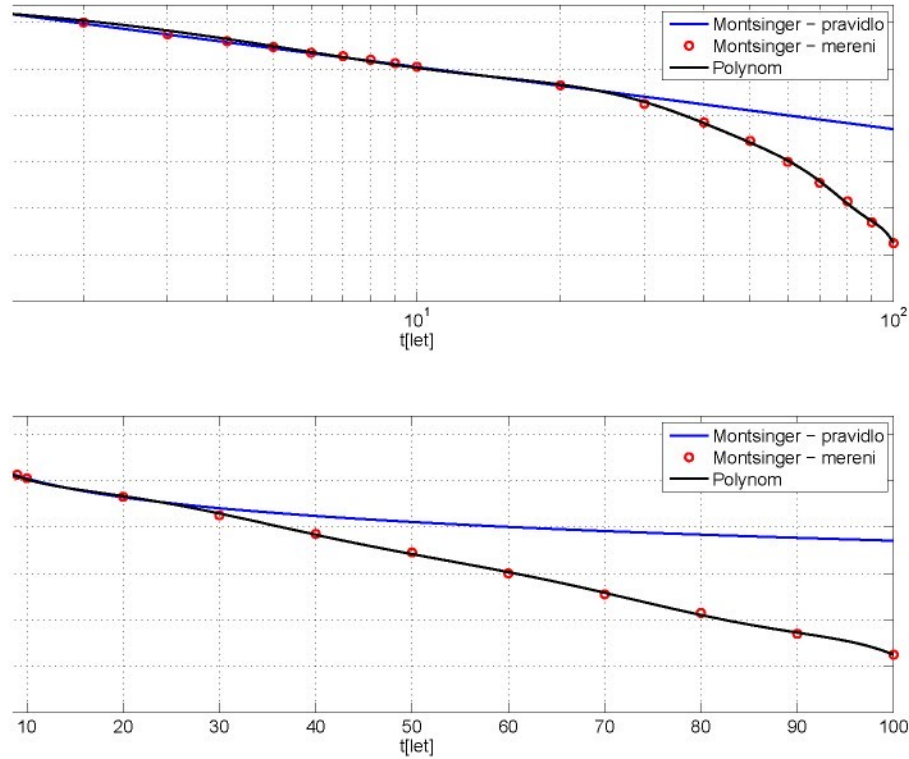
$$t = A e^{-m\vartheta} \quad (3.8)$$

kde t je doba života izolace (hodin nebo roků), A a m jsou materiálové konstanty, přičemž A má význam fiktivní doby života t_0 při teplotě 0 °C a ϑ je konstantní teplota stárnutí zkoumaného materiálu.

Vynesou-li se doby t , po jejichž uplynutí nastal určitý pokles počáteční pevnosti v tahu v závislosti na příslušných teplotách ϑ , při nichž k těmto poklesům došlo do diagramu 3.3 v semilogaritmických souřadnicích (stupnice t je logaritmická, stupnice ϑ lineární), klesá mechanická pevnost papíru v oleji přibližně podle přímky, jejíž rovnici obdržíme logaritmováním 3.8.

$$\ln t = \ln(A) - m\vartheta = A' - m\vartheta \quad (3.9)$$

Z průběhu této přímky Montsinger odvodil, že doba života t klesne při zvýšení teploty o $\Delta t = 8$ °C na polovinu a naopak při snížení teploty o $\Delta t = 8$ °C se doba života zdvojnásobí na $2t$. Toto je Montsingrovo pravidlo osmi stupňů Celsia.



Obrázek 3.3: Montsingerův model stárnutí pro papírovou izolaci v oleji [22]

Velikost konstant v rovnici 3.8 stanovil Montsinger při tepelně elektrické rovnováze izolace takto: z rozboru experimentů zjistil, že „pravidlo 8 °C“ odpovídá fyzikálně chemické reakci pro poločas, takže konstanta

$$m = \frac{\ln 2}{\Delta\vartheta} = \frac{0,695}{8} = 0,086 \quad (3.10)$$

K určení konstanty A vycházel ze zkušenosti, kdy izolaci třídy A považoval za zcela znehodnocenou za dobu $t = 7$ let, působí-li na ni trvale mezní teplota $\vartheta = 105$ °C, odpovídající teplotní třídě A. Dosadíme-li tyto hodnoty do rovnice 3.8, obdržíme výraz pro konstantu A 3.11.

$$t = Ae^{-m\vartheta} \Rightarrow A = te^{m\vartheta} = 7e^{0,086 \cdot 105} = 5,845 \cdot 10^4 \text{ let} \quad (3.11)$$

Ze znalosti obou konstant dostáváme výraz 3.12, který vyjadřuje závislost doby života papírové izolace v oleji na teplotě.

$$t = 5,845 \cdot 10^4 e^{-0,86\vartheta} \quad (3.12)$$

Rovnice 3.12 se označuje jako Montsingrovo pravidlo. Je zobrazena na obrázku 3.3, kde čára života sleduje pravidlo 8 °C přibližně do 20 let, v tomto bodě však začne rychleji klesat tak, že podle Montsingrova odhadu by při teplotě okolí 25 °C byla doba života 100 let.

$$\vartheta(t) = 131,8 - 6,4t + 0,5t^2 - 0,02t^3 + 4,9 \cdot 10^{-4}t^4 - 6,2 \cdot 10^{-6}t^5 + 4,07 \cdot 10^{-8}t^6 - 1,08 \cdot 10^{-10}t^7 \quad (3.13)$$

Rovnici 3.12 lze nahradit polynomem N-tého řádu, který lépe vystihuje naměřené hodnoty uvedené v grafu 3.3. V tomto případě byla závislost teploty na čase nahrazena polynomem sedmého řádu. Tím jsme dosáhli zpřesnění v intervalu 20–100 let.

Montsingrovo pravidlo 8 °C nemá obecnou platnost, neboť platí jen pro papír v oleji a pro úzký rozsah teplot, v němž bylo vyšetřeno. Pozdější práce jiných autorů vedly k obecnější zákonitosti stárnutí [17].

Arrheniův model

Arrheniův model je založený na teorii rychlosti reakce. V obecném tvaru můžeme zapsat Arrheniův model pomocí rovnice 3.14,

$$L = L_0 e^{-BT'} \quad (3.14)$$

kde T' je teplotní zatížení definované jako $T' = (\frac{1}{T_0}) - (\frac{1}{T})$. T je absolutní teplota, T_0 je nejnižší teplota, pod kterou je teplotní zatížení zanedbatelné při reakci stárnutí v naší oblasti zájmu. L_0 je životnost při teplotě T_0 . Výraz B zahrnuje $B = \frac{G}{k}$, kde G je aktivační energie při procesu stárnutí a k je Boltzmanova konstanta.

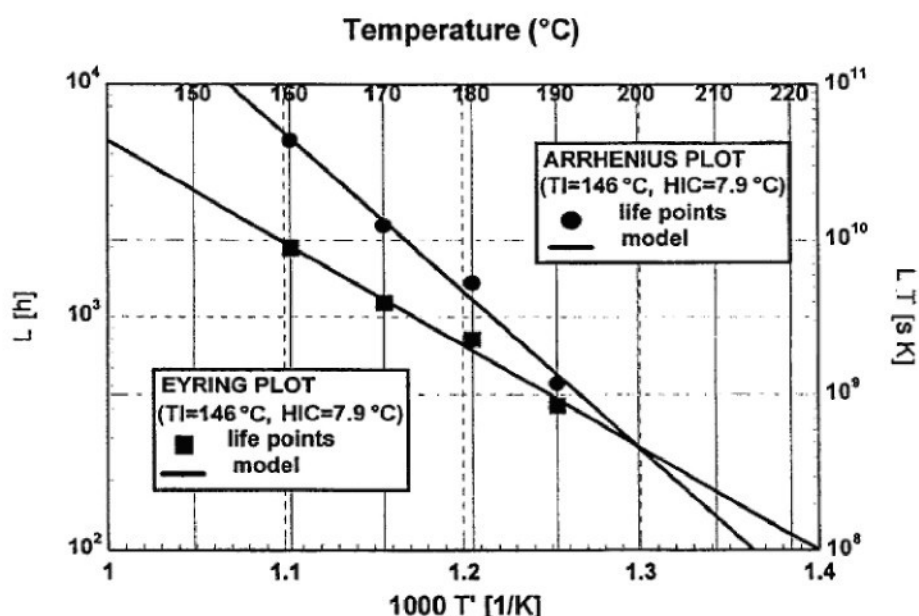
Tento model lze linearizovat, pokud vyneseme závislost $\log L = f(T)$ nebo $\log T = f(T^{-1})$ v semilogaritmických souřadnicích. Na základě vzniklých lineárních závislostí se zavádí IEC standard – graf teplotní odolnosti. V grafu je možné určit teplotní index TI a poloviční interval ve stupních Celsia HIC a dále ukazatele testovacích metod pro popis parametrů modelu. TI je teplota ve °C odvozená ze vztahu teplotní odolnosti při čase 20 000 h. HIC je teplotní interval také ve °C, který vyjadřuje poloviční čas do selhání braný při teplotě TI.

Eyringův model

Eyringův model se někdy používá místo Arrheniova modelu 3.14,

$$L = \left(\frac{A_L h}{kT} \right) e^{\left(\frac{\Delta G^\ominus}{kT} \right)} \quad (3.15)$$

kde h je Planckova konstanta a $\Delta G^\ominus$ je volná aktivační energie ($\Delta G^\ominus = G_a - G_1$ je výška energetické bariéry, G_a je volná energie reaktantu a G_1 je aktivační stav). Stejně jako v případě Arrheniova modelu můžeme model linearizovat zavedením semilogaritmických souřadnic $\log L_T = f(T^{-1})$, které musí dávat stejné výsledky jako rovnice 3.14. Návrh izolačního materiálu z hlediska tepelného zatížení (často i pro několik zatížení, kde ale teplotní zatížení převažuje) je realizován pomocí rovnic 3.14 a 3.15. Obrázek 3.4 ukazuje příklad teplotní odolnosti získané Arrheniovým a Eyringovým modelem.



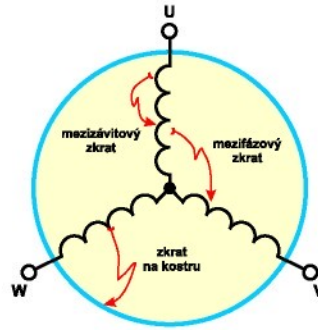
Obrázek 3.4: Příklad teplotní odolnosti pro Arrheniův a Eyringův model. Hodnoty TI a HIC odvozené z obou modelů jsou 146 °C a 7,9 °C (pro PET, 30% kompozit se sklem) [22]

Existuje celá řada dalších modelů, které mohou popisovat životnost izolačních materiálů. Takový model kombinovaného teplotně-pulzně elektrického zatížení nebyl v dostupné prostudované technické literatuře, časopisech a vědeckých člancích dosud publikován.

V rámci této dizertační práce bylo provedeno několik pokusů a měření u drážkové izolace AM. Výsledky jsou uvedeny v práci [20], která se zabývá měřením objemového odporu izolačního materiálu drážkové izolace v závislosti na tepelném zatížení. Další měření byla provedena ve francouzské laboratoři LGET v rámci autorovy stáže. Výsledky jsou uvedeny v [42]. Z výsledků není možné odvodit žádnou závislost stárnutí pro tento materiál. Stanovení stárnutí je dlouhodobá záležitost a není ji možné v rozsahu této práce postihnout.

4 Zkratový proud ve statorovém vinutí

V úvodu této práce autor zmínil význam sledování zkratového proudu v malých AM. Vznik zkratového proudu může mít různé příčiny. Z hlediska obvodové konfigurace v motoru lze zkratové proudy rozdělit na mezizávitové v jedné fázi, mezifázové a zkratové proudy procházející závitem libovolné fáze přes šasi motoru do země. Jednotlivé typy zkratů znázorňuje obrázek 4.1. Všechny typy zkratových proudů představují nebezpečí pro funkci (spolehlivost) motoru. Záleží zejména na vzniklé obvodové konfiguraci. S ní je úzce spojeno výkonové působení a tepelné účinky na celý motor. Také dochází ke změně velikosti momentu na hřídeli motoru v rámci jedné otáčky.



Obrázek 4.1: Možné zkratové konfigurace ve statorovém vinutí AM

4.1 Rozbor momentu vadného motoru

Při zkratu ztratí statorové vinutí část aktivních závitů, které se podílejí na celkovém magnetickém toku, resp. na celkové indukci stroje. Tím dojde ke snížení točivého momentu, který je úměrný indukci $M \sim B$. Toto snížení se projeví pouze v určité části jedné otáčky. Záleží na tom, ve které fázi zkrat vznikl. Pokud bychom vyšetřili orbit koncového bodu fázoru momentu, resp. fázoru indukce v čase, získali bychom zkreslenou kružnici. Deformace se projeví ve směru fáze, ve které vznikl zkrat. Tento orbit je možné sestavit z měření fázových proudů. Dále převést pomocí Parkovy transformace do α, β souřadnic.

Teoreticky lze tento problém popsat několika rovnicemi, ve kterých je vyjádřen proud statorového vinutí. V případě, že je vinutí motoru bez vady, je počet závitů jednotlivých fází shodný. To znamená, že všechny fázové indukčnosti se rovnají $L_u = L_v = L_w$ stejně tak jako impedance fázových vinutí. Pak jsou proudy popsány rovnicemi 4.1 s tím, že $I_u = I_v = I_w$.

$$i_u = I_u \cdot \sin \omega t \quad i_v = I_v \cdot \sin \left(\omega t + \frac{2}{3} \pi \right) \quad i_w = I_w \cdot \sin \left(\omega t + \frac{4}{3} \pi \right) \quad (4.1)$$

Obecně lze indukci vypočítat podle vztahu 4.2. Konstanta k_m je zavedena z důvodu zjednodušení zápisu. Poslední část vztahu je goniometrický vztah pro vyjádření funkce $\sin \omega t$ tak, aby bylo možné vypočítat celkový vektorový součet všech složek indukce. Jde o matematický zápis Leblancova teorému, který říká, že je možné každé stojící střídavé pole rozložit na dvě točivá pole s poloviční amplitudou, která se otáčejí stejnou rychlostí proti sobě.

$$B = \mu_0 \mu_r \frac{nI}{l} \quad k_m = \frac{\mu_0 \mu_r}{l} \quad \sin \omega t = \frac{e^{j\omega t} - e^{-j\omega t}}{2j} \quad (4.2)$$

Sečteme-li všechny složky magnetické indukce, dostaneme se k odvození uvedené v rovnici 4.3. Nejdříve zapíšeme všechny tři složky magnetické indukce podle Leblancova teorému a k nim přiřadíme prostorové pootočení každé fáze. Dále provedeme roznásobení a součet. Poslední člen $e^{j\omega t} + e^{j(\omega t + \frac{4}{3}\pi)} + e^{j(\omega t + \frac{8}{3}\pi)}$ je roven nule. Výsledkem odvození je rovnice 4.4.

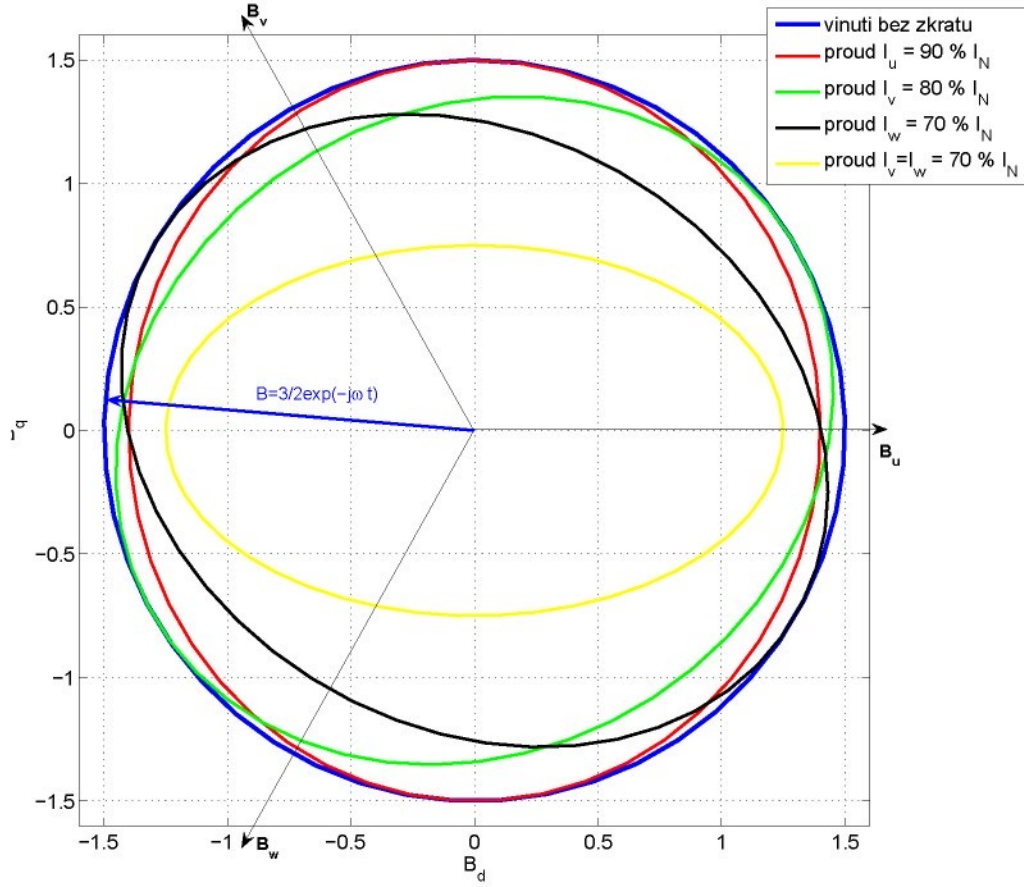
$$\begin{aligned} \hat{B} &= \hat{B}_u + \hat{B}_v + \hat{B}_w = \\ &= \frac{k_m n I}{2j} \left\{ (e^{j\omega t} - e^{-j\omega t}) + \left(e^{j(\omega t + \frac{2}{3}\pi)} - e^{-j(\omega t + \frac{2}{3}\pi)} \right) e^{j\frac{2}{3}\pi} + \right. \\ &\quad \left. + \left(e^{j(\omega t + \frac{4}{3}\pi)} - e^{-j(\omega t + \frac{4}{3}\pi)} \right) e^{j\frac{4}{3}\pi} \right\} = \\ &= \frac{k_m n I}{2j} \left(e^{j\omega t} - e^{-j\omega t} + e^{j\omega t} e^{j\frac{4}{3}\pi} - e^{-j\omega t} + e^{j\omega t} e^{j\frac{8}{3}\pi} - e^{-j\omega t} \right) = \\ &= \frac{k_m n I}{2j} \left[-3e^{-j\omega t} + \underbrace{e^{j\omega t} + e^{j(\omega t + \frac{4}{3}\pi)} + e^{j(\omega t + \frac{8}{3}\pi)}}_0 \right] \end{aligned} \quad (4.3)$$

Z výsledku je patrné, že výsledný vektor indukce rotuje úhlovou rychlostí ω . Jeho amplituda je rovna dvěma třetinám indukce fázové a nemění se v čase.

$$\hat{B} = \frac{-3k_m n I}{2j} e^{-j\omega t} \quad (4.4)$$

V případě, že ve statorovém vinutí vznikne zkrat, dojde ke změně indukčnosti jedné fáze, resp. více fází, záleží na konfiguraci zkratu. To znamená, že $L_u \neq L_v \neq L_w \Rightarrow I_u \neq I_v \neq I_w$. Dosadíme-li rovnici 4.2 do rovnice pro vektorový součet jednotlivých složek výsledné indukce 4.3, dostaneme komplikovaný výraz 4.5, který je analyticky těžko řešitelný. Výsledný výraz není možné upravit tak jako v předchozím případě, protože počty závitů jednotlivých fázových vinutí jsou rozdílné.

Sečteme-li graficky všechny složky magnetické indukce v rovnici 4.5, dostaneme orbit amplitudy vektoru indukce ve vzduchové mezeře. Výsledek grafického součtu ukazuje graf 4.2.

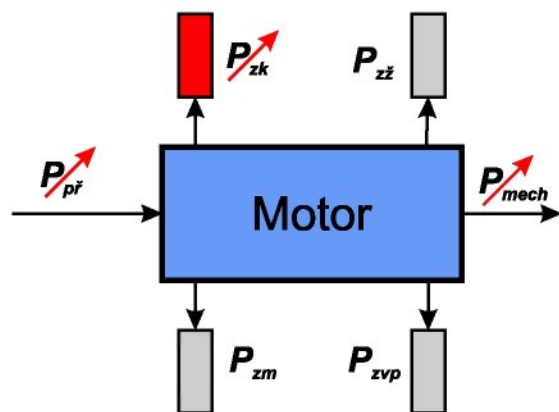


Obrázek 4.2: Orbita koncového bodu fázoru výsledného vektoru indukce pro různé zkraty ve statorovém vinutí

Pro simulaci byla použita jedna perioda napájecího napětí. Koncový bod fázoru indukce vytvoří jeden orbit. Z toho vyplývá, že výsledný vektor indukce rotuje úhlovou rychlostí ω stejně jako v případě motoru bez zkratu ve statorovém vinutí. Jeho amplituda je v čase proměnná, narozdíl od motoru bez vady. To je možné sledovat při měření momentové charakteristiky nerovnoměrností otáčení motoru. Tím dojde ke snížení momentu na hřídeli.

$$\begin{aligned} \hat{B} = \frac{k_m}{2j} \left\{ n_u I_u (e^{j\omega t} - e^{-j\omega t}) \right. \\ + n_v I_v \left(e^{j(\omega t + \frac{2}{3}\pi)} - e^{-j(\omega t + \frac{2}{3}\pi)} \right) e^{j\frac{2}{3}\pi} \\ \left. + n_w I_w \left(e^{j(\omega t + \frac{4}{3}\pi)} - e^{-j(\omega t + \frac{4}{3}\pi)} \right) e^{j\frac{4}{3}\pi} \right\} \end{aligned} \quad (4.5)$$

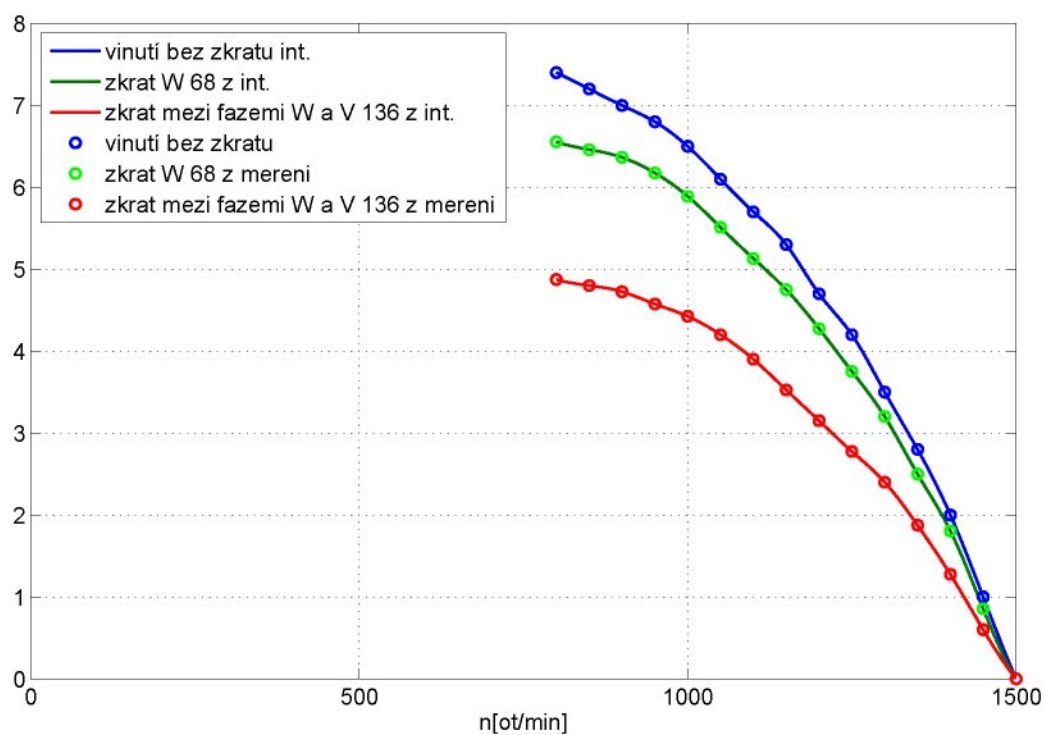
Pokud se moment motoru sníží, musí se snížit i jmenovitý výkon motoru. Část výkonu, která konala práci na hřídeli, se při zkratu ve statorovém vinutí přemění na teplo. Množství tepla závisí na počtu zkratovaných závitů. Výkonovou bilanci ilustruje obrázek 4.3.



$P_{př}$ příkon, P_{mech} mechanický výkon, P_{zm} ztráty mechanické
 P_{zvp} ztráty vířivými proudy, P_{zz} ztráty v železe, P_{zk} ztráty zkratu

Obrázek 4.3: Výkonový diagram AM se zkratem ve statorovém vinutí

Pro ověření rovnice 4.5 bylo provedeno měření. Výsledek měření ukazuje graf 4.4. Pro různé konfigurace zkratu byly změřeny momentové charakteristiky motoru. Z výsledků je vidět, že efektivní hodnota momentu klesá v závislosti na počtu zkratovaných závitů. Body v grafu 4.4 značí změřené hodnoty a plné čáry interpolovaný průběh.



Obrázek 4.4: Závislost efektivní hodnoty momentu na počtu zkratovaných závitů ve statorovém vinutí EM, modrá–vinutí bez zkratu, zelená–zkrat 68 závitů fáze W, červená–zkrat mezi fázemi W a V 136 závitů

4.2 Tepelné účinky zkratového proudu

Pro zjištění vad ve statorovém vinutí je nejdůležitější činný výkon, který se mění v Lenz-Joulovo¹ teplo. Následky působení tohoto tepla jsou jasně vidět z obrázku 4.5. Na obrázku 4.5(b) je motor, který nemá zkrat ve vinutí, ale byl při svém provozu přetížen. Přetížení je lehce identifikovatelné podle zabarvení izolačního laku drátu statorového vinutí. V případě, že vznikne zkrat ve statorovém vinutí, dojde ve většině případů pouze k lokálnímu tepelnému přetížení. Proto je poměrně snadné po demontáži AM určit, ke kterému typu zkratu došlo.

Okamžitá hodnota činného výkonu střídavého proudu je dána součinem okamžitých hodnot napětí a proudů podle rovnice 4.6.

$$p(t) = u(t) \cdot i(t) \quad (4.6)$$

Jsou-li průběhy proudu a napětí periodické, potom je výkon dán střední hodnotou okamžitého výkonu za periodu T . Tento výkon je možné chápat jako průměrný výkon za jednu periodu.

$$P = \frac{1}{T} \int_0^T u(t) \cdot i(t) dt \quad (4.7)$$

Činný výkon při pulzním namáhání z FM mohou vytvářet jen harmonické složky napětí a proudu téhož řádu. Tato problematika je vzhledem k našemu předpokladu harmonických průběhů nepodstatná. Výpočet činných výkonů pro neharmonické průběhy je podrobně popsán v [37].

Pro výpočet činného výkonu v případě zkratu ve statorovém vinutí, při znalosti protékajícího proudu a činného odporu vinutí, je vhodnější použít rovnici 4.8.

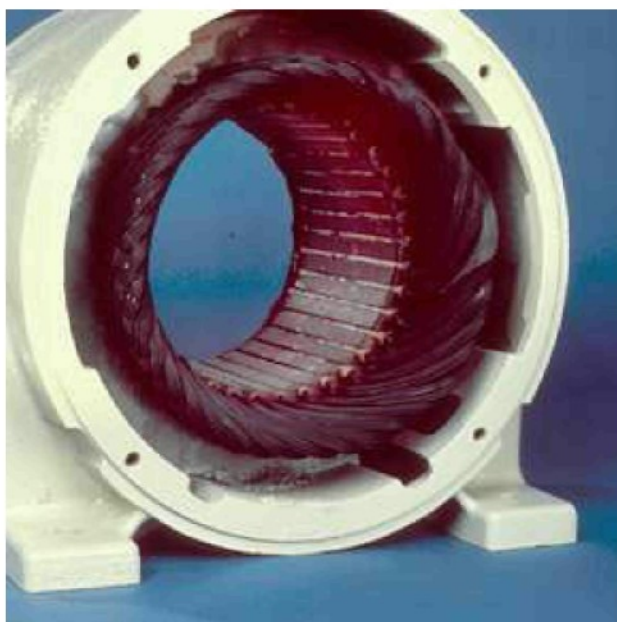
$$P = \frac{1}{T} \int_0^T R \cdot i^2(t) dt \quad (4.8)$$

Kombinace zkratů, které mohou vznikat v motoru, záleží na konstrukci motoru, na rozložení a typu statorového vinutí. Celá analýza teplotního působení musí být založena na znalosti konfigurace statorového vinutí (počet drážek, počet pólů, počet závitů v jednom prameni aj.). U každého typu vinutí je možné sledovat různé nebezpečné zkraty.

¹Tento jev experimentálně prozkoumali a matematicky vyjádřili přibližně ve stejnou dobu (1844) nezávisle na sobě ruský fyzik H.F.Lenz a anglický fyzik J.P.Joule.



(a) vinutí AM bez závad

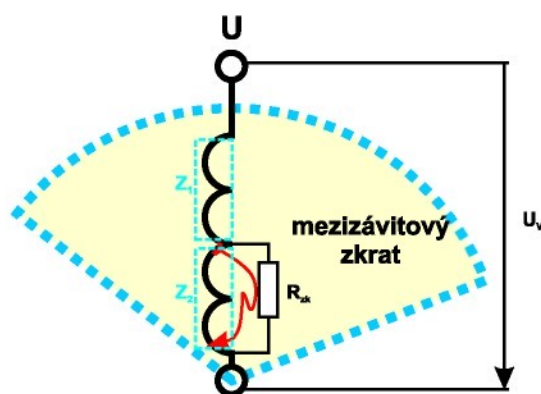


(b) vinutí AM po přetížení

Obrázek 4.5: Ukázka technického stavu vinutí AM v různých režimech provozu [15]

4.3 Zkratový proud mezi závity jedné fáze

Tento zkrat vzniká při poškození izolačních materiálů, které od sebe odělují dva vodiče s různým napěťovým potenciálem. Spojením dvou různých vodičů s různým napětím dojde ke zkratování určité části vinutí. Tím vznikne „autotransformátor“, který je zatížen impedancí přechodového odporu zkratovaného místa. Na obrázku 4.6 je vidět schematické znázornění mezizávito-
vého zkratu jedné fáze. Z tohoto obrázku vychází náhradní schéma 4.9, které je použito pro analýzu zkratového proudu.



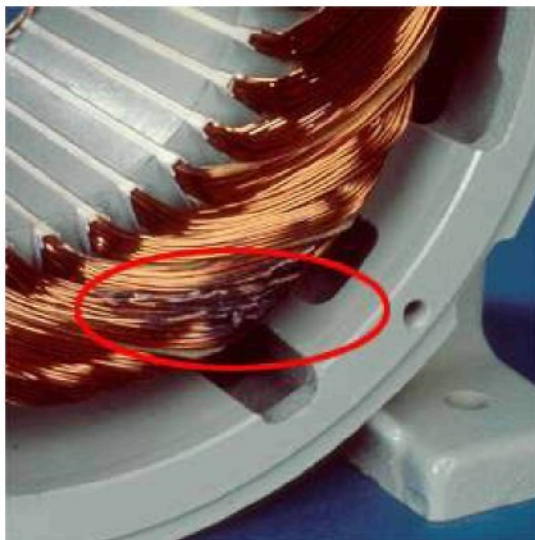
Obrázek 4.6: Schematické znázornění mezizávito-
vého zkratu jedné fáze

Izolační systém mezizávito-
vého prostoru se skládá celkem ze tří vrstev. Na povrch vodičů se nanáší tzv. smalt. Ve většině případů musí být hladký, odolný na oděr, musí mít malý koeficient tření (navíjení a vkládání vinutí do drážek statoru) a další požadavky, které si postupem času vyžádaly nové technologické postupy při výrobě indukčních motorů (rychlo-navíječky).

Lak se nanáší v několika vrstvách. Každý výrobce nanáší různý počet vrstev. Přesné chemické složení těchto materiálů si výrobci pečlivě střeží. Většina laků je na bázi polymerů, nejčastěji PET. Konkrétní vlastnosti těchto materiálů jsou podrobně popsány v kapitole 3.

Dvě vrstvy jsou tvořeny smaltem obou vodičů. Třetí vrstvu izolačního systému zajišťuje impregnační lak. Používá se ke zlepšení izolačních vlastností statoru a k zamezení pohybu vinutí v drážce vlivem silového působení, které je způsobené protékajícím proudem statorového vinutí. Přesné chemické složení je i v tomto případě výrobním tajemstvím jednotlivých výrobců. Dobrý impregnační lak se vyznačuje velmi nízkou viskozitou, aby vyplnil všechny vzduchové mezery ve vinutí. Výrobci těchto laků jsou například slovenská firma VUKI a.s., italská firma Polifibra s.p.a. nebo firma ALTANA Electrical Insulation. Výrobou těchto laků se zabývá i velké množství firem z Asie.

Zkrat závit – závit je možné identifikovat po demontáži motoru. Ve většině případů se jedná o lokálně tepelně přetížené místo, které je na první pohled



Obrázek 4.7: Změna struktury izolačního materiálu vlivem tepelného působení od mezizávitového zkratu [15]

patrné. Tuto závadu ilustruje obrázek 4.7, kde je patrné, v jakém místě zkrat mezi závity vznikl.

Analýzu zkratové konfigurace závit - závit můžeme řešit pomocí náhradního schématu na obrázku 4.9. I když je motor napájený z FM, je možné obvod řešit stejně tak, jako by byl napájený harmonickým napětím a proudem. Měřením bylo ověřeno, že efektivní hodnoty napětí a proudů generované FM jsou stejné. Tepelné účinky zkratového proudu jsou porovnatelné. Není to matematicky úplně správné řešení, ale pro řešení této analýzy dostatečné.

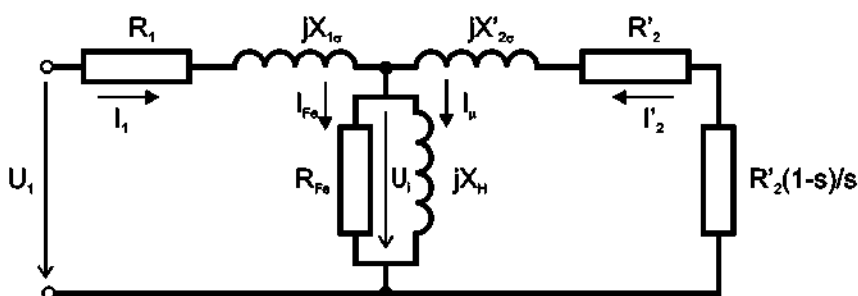
4.3.1 Sestavení náhradního obvodu

Pro sestavení náhradního obvodu (modelu) zkratu ve statorovém vinutí můžeme použít dva přístupy. První možností je **model orientovaný na pole**. Ve většině případů se jedná o modely vycházející z konkrétního fyzického uspořádání reálného systému. Jejich předností je možnost detailní analýzy vybrané části modelovaného systému. V případě statorového vinutí by se mohlo jednat o oblast zkratu. Naproti tomu jejich velká nevýhoda spočívá ve velké výpočtové náročnosti (záleží na počtu elementů sítě) a v závislosti výsledků na konkrétním řešení.

Druhou možností jsou **modely obvodové**. Jejich nespornou výhodou je nesrovnatelně menší výpočetní náročnost. Další nespornou výhodou je obecný přístup k řešení daného problému. Nevýhodou je nemožnost sledování řešení v konkrétním geometrickém místě. Některé úlohy jsou značně komplikované a analytické řešení je nemožné. Proto je nutné v některých případech přijmout

určitá zjednodušení. Obvodové modely je možné řešit jak analyticky, tak numericky. Numerické řešení umožňuje řešit obvody napájené napětím s neharmonickým průběhem.

Pro tuto práci byl zvolen model obvodový. AM je v elektrotechnice velice úspěšně používán více než jedno století, což svědčí o tom, že je po stránce teoretické i praktické detailně zvládnut. Existuje několik jednofázových modelů AM, které jsou odvozeny pro ustálený stav. Jedná se o různá řešení Γ , T, a Π článků. Jejich výhody a nevýhody jsou uvedeny v [35], kde je tato problematika podrobně rozebrána.



Obrázek 4.8: Náhradní obvod AM, článek T

V těchto modelech nevystupuje přímo vlastní indukčnost statorového vinutí, jak ukazuje obrázek 4.8. Tyto modely uvažují hlavní indukčnost a rozptylové indukčnosti statoru a rotoru. To je pro analýzu zkratového proudu ve statorovém vinutí nevýhodné. Proto se autor rozhodl navrhnout náhradní obvod, který je uveden na obrázku 4.9 a umožňuje určit proud v jednotlivých částech statorového vinutí při zkratu. Tento obvod nevychází z žádného výše uvedeného náhradního schématu (modelu).

Navržené schéma je také jednofázové a vychází z nejjednodušší náhrady indukčnosti. Jedná se o sériově zapojenou ideální indukčnost a odpor, které jsou připojeny na zdroj harmonického napětí. Vzhledem k tomu, že se jedná o motor, bylo nutné zavést zpětnou reakci od magnetického toku rotoru. Toto bylo nahrazeno virtuálním zdrojem, který působí proti původnímu zdroji, jenž napájí statorové vinutí. Zároveň je zpětné indukované napětí závislé na skluzu motoru tak, aby bylo možné analyzovat zkratový proud pro různé pracovní stavy motoru.

Další část modelu tvoří samotný mezizávitový zkrat. Ten je v modelu nahrazen odporem, který překlene určitou část vinutí. Zpětné indukované napětí se rozdělí v poměru zkratovaných U_{r2} a nezkratovaných U_{r1} závitů. Model nezahrnuje prostorovou dislokaci vinutí ve statoru. Vznik zkratu některých konfigurací není v praxi možný. Konfigurace možných zkratů pro motor EM jsou uvedeny v tabulce 4.1. Přechodový odpor zkratu byl odhadnutý, protože jeho určení není snadné. Také se vzhledem k povaze přechodu v čase mění a je značně nelineární.

Reálné zkratové konfigurace jsou dány uspořádáním vinutí ve statorových drážkách. Záleží na typu vinutí. Vinutí mohou být dvoupatrová jednovrstvá, dvouvrstvá, košíková aj. Malé motory se vinou jako dvoupatrové jednovrstvé vinutí. Zde může být také několik různých variant. Například motor EM je navinutý tak, že má cívku statorového vinutí rozdělenou do 6 cívek, jak je vidět na obrázku 5.7. To je technologicky nevhodné uspořádání pro automatizovanou výrobu. Proto většina výrobců postupem času přešla na dvě několikanásobné cívky (záleží na počtu drážek). Toto zapojení ilustruje obrázek A1.2. Při tomto uspořádání vznikají zkraty s větším počtem závitů s větší pravděpodobností oproti staré konstrukci (5.7).

Δz	$p_z = \frac{n_z}{n} \cdot 100[\%]$
1 – 68	16,16 %
69 – 204	33,33 %
205 – 272	16,16 %
273 – 408	33,33 %
maximální počet zkratovaných závitů $n_{zmax} = 136$ závitů	

Tabulka 4.1: Tabulka možných zkratů v 1 fázi pro EM

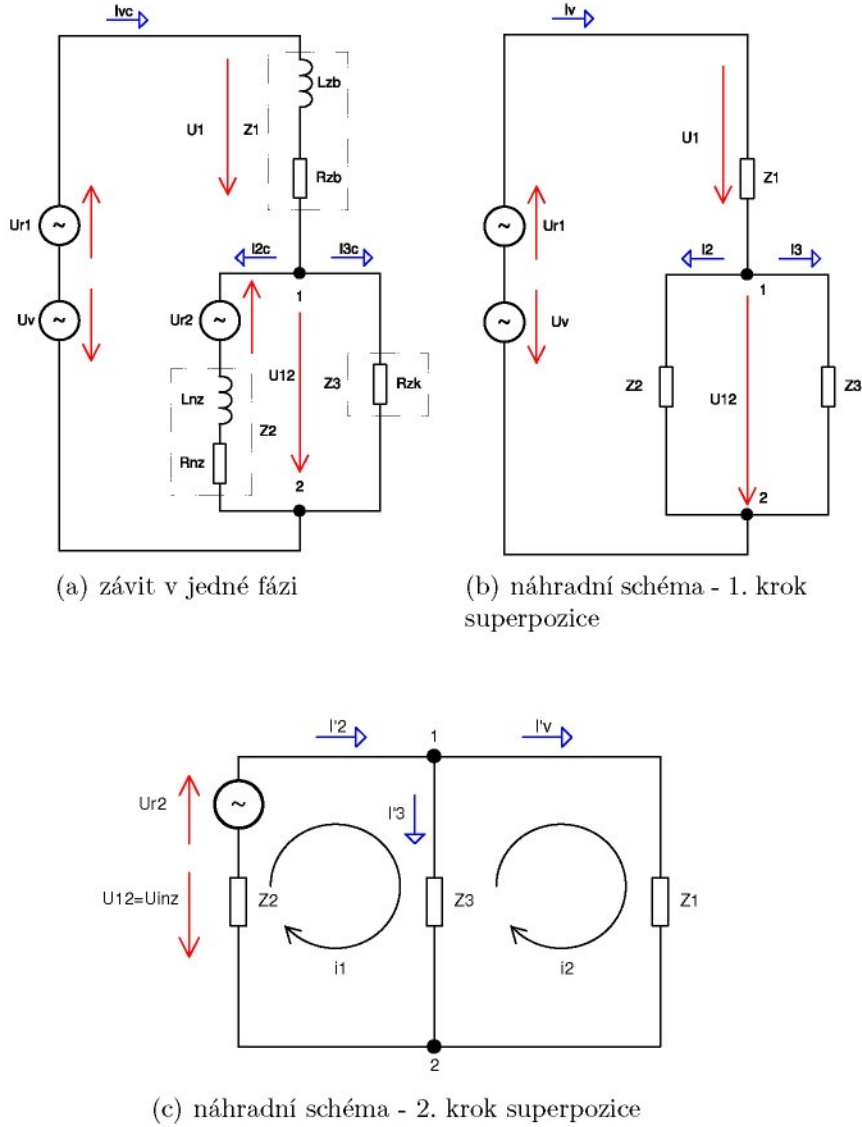
Z uvedené tabulky 4.1 je patrné, kolik procent vinutí je možné maximálně zkratovat. Pro vinutí motoru EM je to 136 závitů, což je 33,33 %. Z konfigurace vinutí tedy přímo vyplývá, jak je vinutí náchylné na vznik destruktivních zkratů. Čím má stator více drážek, do kterých je možné vinutí rozdělit, tím je menší pravděpodobnost vzniku rozsáhlých zkratů. Na motoru EM (obrázek 5.7) a EM 2. generace (obrázek A1.2) je vidět, že počty drážek u malých AM se spíše snižují. To znamená, že dnešní motory jsou více náchylné na vznik rozsáhlých zkratů v jedné fázi.

4.3.2 Řešení náhradního obvodu

Náhradní obvod zkratu na obrázku 4.9 je možné řešit pomocí superpozice. Obrázek 4.9(b) ukazuje první superpoziční krok, kde je zkratované napětí indukované U_{inz} ve zkratované části vinutí a část zpětného napětí indukovaného z rotoru U_{r2} . Obrázek 4.9(c) ukazuje druhý krok superpozice, kde je zkratované napájecí napětí U_v a část zpětného indukovaného napětí z rotoru U_{r1} .

Všechny prvky v obvodu jsou lineární. Dále jsou zanedbány ztráty magnetizační a přesycování magnetického obvodu. Tento předpoklad výrazně zjednodušuje celé řešení výměnou za nižší přesnost výsledků. Pokud bychom chtěli udělat přesnou analýzu problému, museli bychom zahrnout do řešení prostorové rozložení statorového vinutí, protože na různých místech statorového vinutí může vlivem zkratu docházet k lokálnímu přesycení. Tím dojde k lokální

změně magnetického odporu magnetické cesty. Následně bychom se museli zabývat vlastní geometrií motoru.



Obrázek 4.9: Náhradní obvod zkratu a jeho superpozičních kroků

Náhradní schéma na obrázku 4.9 popisují následující rovnice 4.9.

$$\hat{Z}_1 = R_{zb} + j\omega L_{zb} \quad \hat{Z}_2 = R_{nz} + j\omega L_{nz} \quad \hat{Z}_3 = R_{zk} + j0 \quad (4.9)$$

Pro výpočet výsledných proudů v každé větvi náhradního schématu zkratu použijeme rovnice 4.10.

$$\hat{I}_{vc} = \hat{I}_v - \hat{I}'_v \quad \hat{I}_{2c} = \hat{I}_2 - \hat{I}'_2 \quad \hat{I}_{3c} = \hat{I}_3 + \hat{I}'_3 \quad (4.10)$$

Aby bylo možné vypočítat výsledné proudy, musí se nejprve vyřešit oba kroky superpozice. Rovnice 4.11 a 4.12 jsou sestaveny podle obvodu na obrázku 4.9(b).

$$\hat{U}_{12}(s) = \hat{U}_v - \hat{U}_{r1}(s) - \hat{Z}_1 \hat{I}_v \quad (4.11)$$

$$\begin{aligned} \hat{I}_v &= \frac{\hat{U}_v - \hat{U}_{r1}(s)}{\hat{Z}} = \frac{(\hat{U}_v - \hat{U}_{r1}(s))(\hat{Z}_2 + \hat{Z}_3)}{\hat{Z}_1(\hat{Z}_2 + \hat{Z}_3) + \hat{Z}_2 \hat{Z}_3} \\ \hat{I}_2 &= \frac{\hat{U}_{12}(s)}{\hat{Z}_2} \quad \hat{I}_3 = \frac{\hat{U}_{12}(s)}{\hat{Z}_3} \end{aligned} \quad (4.12)$$

Řešení druhého kroku superpozice je provedeno podle obvodu na obrázku 9(c). Dílčím řešením jsou smyčkové proudy i_1 a i_2 , které jsou vyjádřeny pomocí rovnic 4.13 a 4.14.

$$(\hat{i}_1 - \hat{i}_2)\hat{Z}_3 + \hat{i}_1\hat{Z}_2 - \hat{U}_{inz} + \hat{U}_{r2} = 0 \quad \hat{i}_1 = \frac{(\hat{U}_{inz} - \hat{U}_{r2}(s))(\hat{Z}_1 + \hat{Z}_3)}{\hat{Z}_2\hat{Z}_3 + \hat{Z}_1(\hat{Z}_2 + \hat{Z}_3)} \quad (4.13)$$

$$\hat{i}_2\hat{Z}_1 + (\hat{i}_2 - \hat{i}_1)\hat{Z}_3 = 0 \quad \hat{i}_2 = \frac{(\hat{U}_{inz} - \hat{U}_{r2}(s))\hat{Z}_3}{\hat{Z}_2\hat{Z}_3 + \hat{Z}_1(\hat{Z}_2 + \hat{Z}_3)} \quad (4.14)$$

Výsledné proudy se vypočítají podle rovnic 4.15.

$$\hat{I}'_v = \hat{i}_2 \quad \hat{I}'_2 = \hat{i}_1 \quad \hat{I}'_3 = \hat{i}_1 - \hat{i}_2 \quad (4.15)$$

Pro výpočet obvodových prvků náhradního obvodu pro různé konfigurace zkratu byly použity rovnice 4.16.

$$L_{nz} = \left(\frac{N_z}{n}\right)^2 L_c \quad U_{inz} = \frac{N_z}{n} U_v \quad R_{nz} = \frac{N_z}{n} R_c \quad (4.16)$$

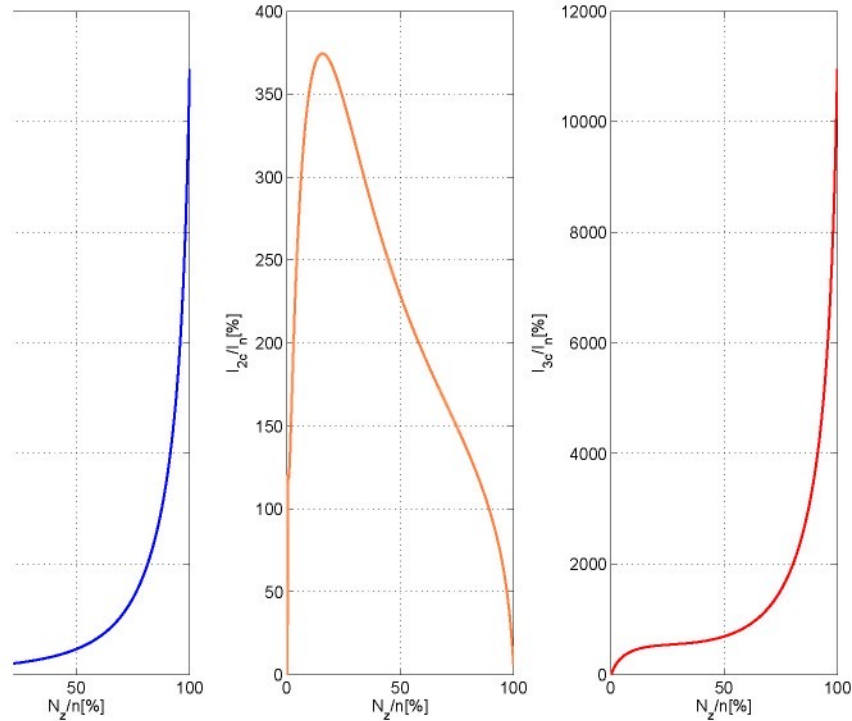
Z výše uvedených rovnic je možné určit napětí na všech prvcích a proudy ve všech větvích náhradního obvodu.

Z výše definovaného výkonu a ze znalosti všech obvodových veličin můžeme vypočítat činné a jalové výkony na všech prvcích obvodu podle rovnic 4.17 a 4.18. Výpočet je provedený podle rovnice 4.8.

$$P_1 = R_{zb}|\hat{I}_{vc}|^2 \quad P_2 = R_{nz}|\hat{I}_{2c}|^2 \quad P_3 = R_{zk}|\hat{I}_{3c}|^2 \quad (4.17)$$

$$Q_1 = \text{Im}(Z_1)|\hat{I}_{vc}|^2 \quad Q_2 = \text{Im}(Z_2)|\hat{I}_{2c}|^2 \quad Q_3 = \text{Im}(Z_3)|\hat{I}_{3c}|^2 \quad (4.18)$$

Teplo generované zkratovým proudem vyvolává v materiálech nevratné změny, které jsou podrobněji popsány v kapitole 3.



Obrázek 4.10: Celkové proudy v jednotlivých větvích statorového vinutí v poměru ke jmenovitému proudu motoru $I_N = 4,25$ A pro $s = 0,2$

Graf 4.10 je výsledkem řešení náhradního obvodu zkratu. Jedná se o závislost poměrných proudů v jednotlivých větvích řešeného obvodu na počtu zkratovaných závitů. Výpočet byl proveden teoreticky, a proto nezohledňuje rozložení vinutí v drážkách motoru. Výsledek vychází ze zjednodušujícího předpokladu, kdy je vinutí na jedné cívce, a proto může dojít ke zkratu mezi libovolnými závitů. Pro vlastní interpretaci výsledku je třeba použít tabulku 4.1.

Z tabulky je vidět, které části grafu 4.10 od 33,33 % jsou pouze teoretické a které je možné zahrnout do dalších úvah. Většina kombinací uvažovaných při teoretickém řešení nemůže díky prostorovému rozložení vinutí vzniknout. U motoru EM 2. generace můžeme použít stejné výpočty. Musíme pouze změnit parametry obvodových veličin. Opět si musíme sestavit tabulku možných zkratů. Tato tabulka je uvedena v příloze A1.

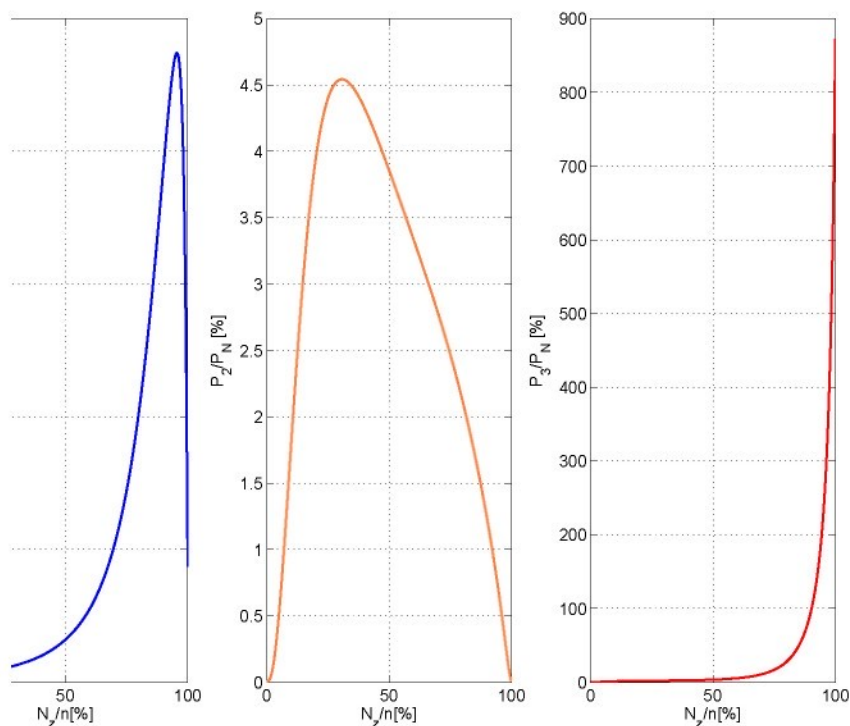
Další graf 4.11 ukazuje závislost poměrného činného výkonu, který se přeměňuje na teplo, v závislosti na počtu zkratovaných závitů. Graf je rozdělen do tří částí, které představují činné výkony v jednotlivých větvích náhradního ob-

vodu. Výsledné grafy jsou vyneseny pro $s = 0,2$, což odpovídá jmenovitému zatížení motoru $M = 4,8 \text{ Nm}$. Vezmeme-li v úvahu zkrat pro 30 % procent závitů statorového vinutí, můžeme z grafů odečíst parciální činné výkony, které se podílejí na zahřívání statorového vinutí.

$$\frac{P_1}{P_N} = 6,2 \% \quad \frac{P_2}{P_N} = 4,55 \% \quad \frac{P_3}{P_N} = 2,25 \% \quad \frac{P_z}{P_N} = 13 \% \quad (4.19)$$

Tyto výkony sečteme a získáme celkový ztrátový výkon podle rovnice 4.19, který je způsobený zkratovým proudem. Z výpočtu vyplývá, že 13 % celkového jmenovitého výkonu motoru se přemění v teplo. Z toho 6,8 % v malém prostoru statorové drážky, resp. dvou drážek. To je hlavní důvod lokálního tepelného přetížení izolačních materiálů. Protože je teplo přivedeno do jednoho místa v motoru, není možné jej rychle odvést ani při aktivním chlazení pomocí ventilátoru. U motorů starší konstrukce bylo výhodou, že byly oproti současným motorům dostatečně předimenzovány. Okolo vinutí bylo dostatek železa, které bylo schopné pojmout podstatně větší množství tepla. Dnešní motory jsou dimenzovány přesně na jmenovité hodnoty udávané na štítku. Proto je jejich přetížitelnost velice malá.

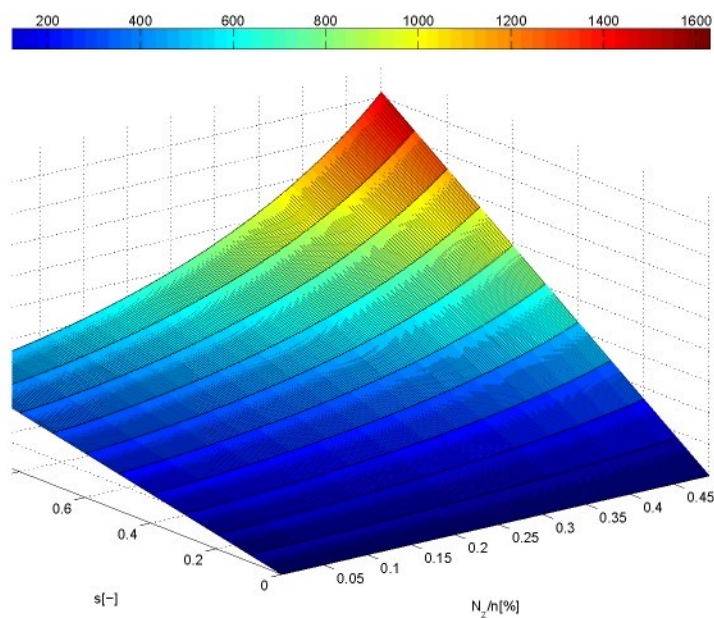
Se ztrátovým výkonem klesá i účinnost motoru. Zatímco příkon motoru roste, mechanický výkon na hřídeli klesá vlivem sníženého momentu v rámci jedné otáčky, jak je popsáno v odstavci 4.1. Příkon motoru roste díky snížené impedanci některé z fází statorového vinutí. Z toho vyplývá, že se podstatně zhoršuje energetická bilance celého motoru.



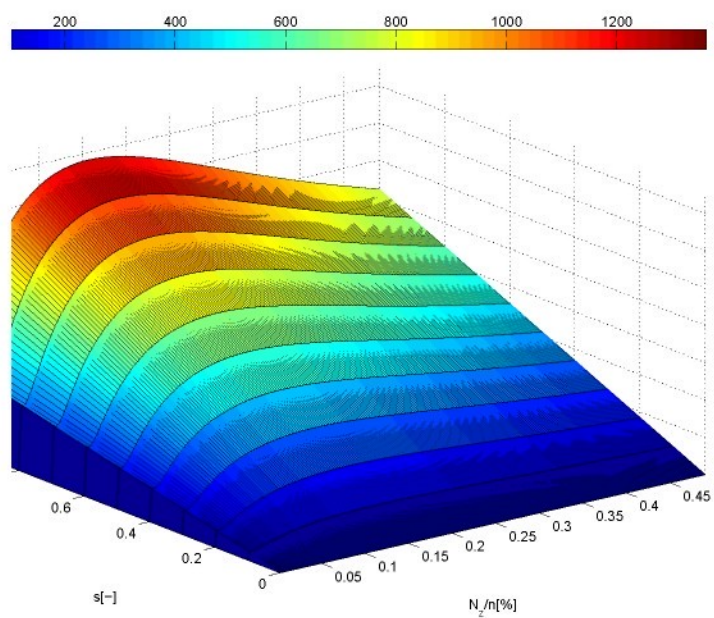
Obrázek 4.11: Celkové činné výkony statorového vinutí v poměru ke jmenovitému výkonu motoru $P_N = 1,1$ kW pro $s = 0,2$

Aby byla analýza zkratového proudu úplná, je nutné se podívat, jak se mění zkratové proudy a činné výkony v závislosti na zatížení motoru. Výsledek této analýzy ukazují grafy 4.12 až 4.17. Pro větší čitelnost ve 3D zobrazení² jsou grafy vyneseny pouze do 50 % zkratovaných závitů. Na jednotlivých grafech jsou vykresleny plochy, které znázorňují celý pracovní prostor AM.

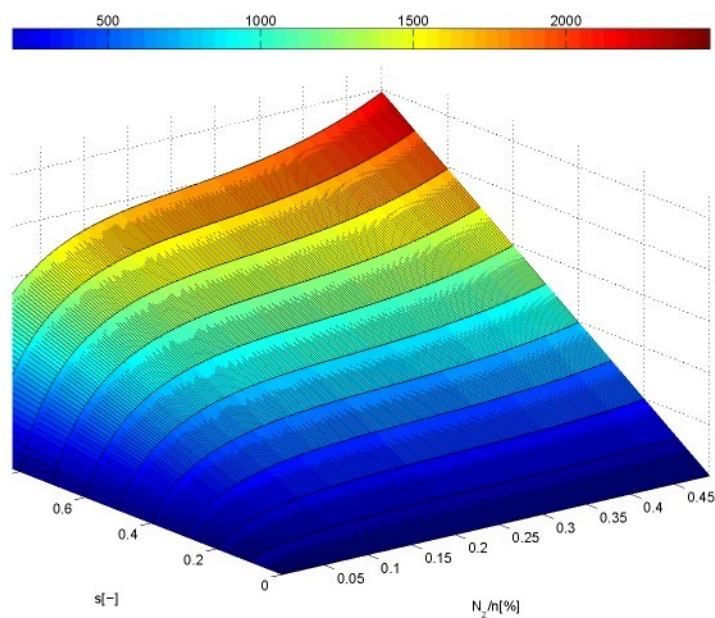
²Barevná legenda je zobrazena pro lepší orientaci v grafech a je shodná s osou Z.



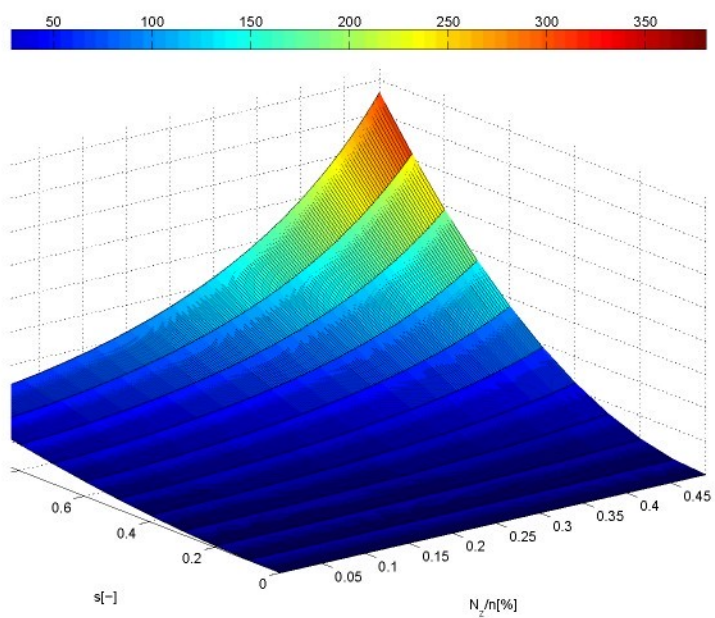
Obrázek 4.12: Celkový proud statorového vinutí I_{vc} v poměru ke jmenovitému proudu motoru $I_N = 4,25$ A



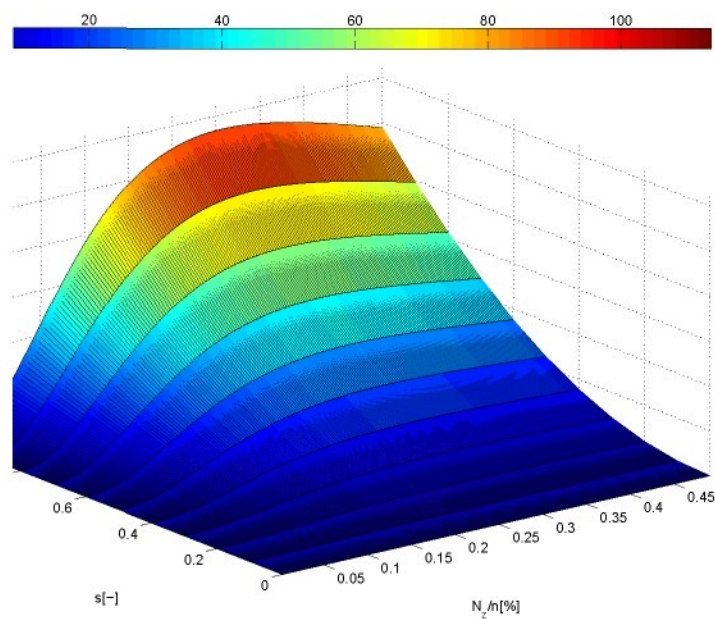
Obrázek 4.13: Proud zkratované části vinutí I_{2c} v poměru ke jmenovitému proudu motoru $I_N = 4,25$ A



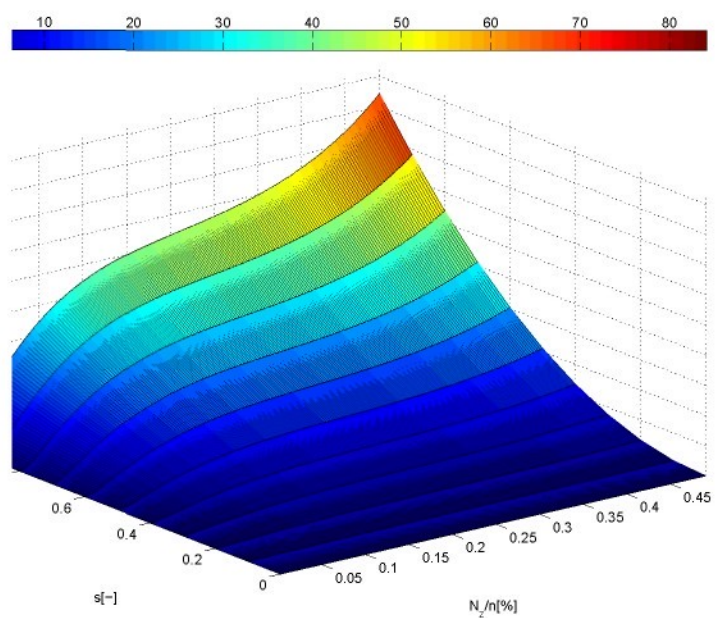
Obrázek 4.14: Proud vlastním zkratem I_{3c} v poměru ke jmenovitému proudu motoru $I_N = 4,25$ A



Obrázek 4.15: Celkový činný výkon statorového vinutí P_1 v poměru ke jmenovitému výkonu motoru $P_N = 1,1$ kW



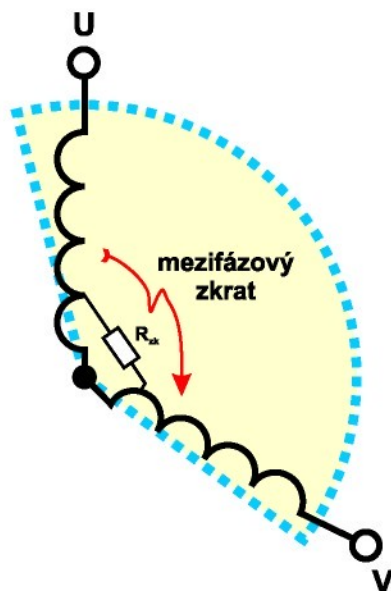
Obrázek 4.16: Celkový činný výkon statorového vinutí P_2 v poměru ke jmenovitému výkonu motoru $P_N = 1,1$ kW



Obrázek 4.17: Celkový činný výkon statorového vinutí P_3 v poměru ke jmenovitému výkonu motoru $P_N = 1,1$ kW

4.4 Zkratový proud mezi závitů různých fází

K tomuto typu zkratu dojde při porušení izolace mezi závitů různých fází, jak je schematicky znázorněno na obrázku 4.18. Vždy je to na čelech vinutí, kde se setkávají cívky různých fází. Tepelné účinky zkratového proudu protékajícího zkratem způsobí změnu struktury izolačního laku na drátech vinutí i prokládací mezifázové izolace. Výsledek působení zkratu je vidět na obrázku 4.19.



Obrázek 4.18: Schematické znázornění zkratu mezi závitů různých fází

Izolační systém je téměř stejný jako v případě mezizávitového zkratu v jedné fázi. Rozdíl je v tom, že mezi jednotlivé cívky v různých fázích je vkládána přídatná izolace pro zlepšení izolační spolehlivosti statorového vinutí.

Tato přídatná izolace je důležitým prvkem v izolačním systému statorového vinutí, protože mezi závitů různých fází je větší napětí ve srovnání se závitů jedné fáze. V nejhorším případě může dojít ke zkratu všech závitů obou fází, jak vyplývá z tabulky 4.2.

V práci [10] je detailně rozebrána problematika motorů, které jsou napájeny z FM. Autor uvádí, že je velice nebezpečný přechodný děj vyvolaný přímou změnou polaritu sdruženého napětí střídače. Teoretická hodnota přepětí vyvolaného uvedeným dějem je rovna čtyřnásobku napětí ve stejnosměrném obvodu měniče. Takto vysoké napětí významně ohrožuje izolační systém motoru.

4.4.1 Řešení náhradního obvodu

Pro řešení zkratu mezi fázemi není nutné sestavovat nový model, lze použít opět náhradní obvod na obrázku 4.6. Rozdíl v řešení představuje pouze různý



Obrázek 4.19: Změna struktury izolačního materiálu vlivem tepelného působení od mezizávitového zkratu

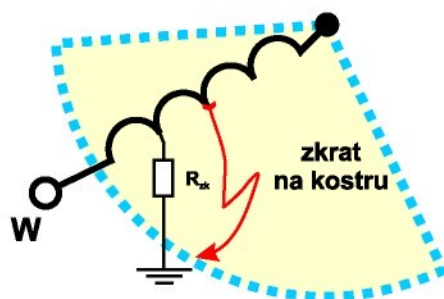
počet závitů celkového vinutí a velikost napájecího a indukovaného napětí. To znamená, že je možné použít výsledky, které jsou uvedeny v kapitole 4.3.2. Rozdíl v řešení představuje tabulka možných zkratů 4.2, která uvádí možná řešení pro zkrat mezi různými fázemi statorového vinutí.

Δz fáze U	Δz fáze V	Δz_{UV}	$p_z = \frac{n_z}{n} \cdot 100$
1 – 68	273 – 408	544	66,66 %
1 – 68	1 – 68	816	100,00 %
69 – 204	1 – 68	748	91,60 %
69 – 204	69 – 204	680	83,00 %
205 – 272	69 – 204	544	66,66 %
205 – 272	205 – 272	408	50,00 %
273 – 408	205 – 272	340	41,60 %
273 – 408	273 – 408	272	33,33 %
maximální počet zkratovaných závitů $n_{zmax} = 816$ závitů			

Tabulka 4.2: Tabulka možných zkratů mezi fázemi pro EM

4.5 Zkratový proud mezi vinutím a kostrou motoru

Tento zkrat vzniká, pokud dojde k průrazu drážkové izolace na šasi motoru. Tím dojde ke změně impedance statorového vinutí zkratované fáze. Vznikne nové obvodové uspořádání, které je na obrázku 4.20.



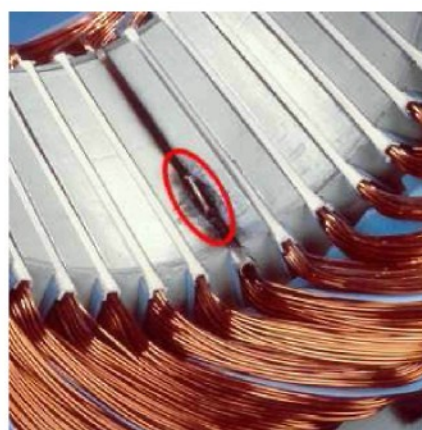
Obrázek 4.20: Schematické znázornění zkratu na kostru motoru

Izolační systém mezi šasi motoru a vinutím se skládá z drážkové izolace, impregnačního laku a laku na vinutí drátu (smaltu). Drážková izolace se většinou skládá z PET fólie o různých tloušťkách a z aramidové vrstvy viz. kapitola 2.4.3. Na trhu je opět celá řada výrobců Polifibra s.p.a., DuPont, KREMPEL-GROUP, Labara manufacturing of electroinsulating materials (distributor).

Hlavní příčinou vzniku zkratu proti zemi bývá hrana, o kterou se drážková izolace prořízne. To je vidět na obrázku 4.21. Většinou se jedná o hranu statorového plechu. Na výstupu ze statorového balení dochází k ohybu vinutí při úpravě tvaru čel. Při této operaci může dojít k naříznutí drážkové izolace. Pokud vznikne zkrat uvnitř drážky, je to většinou způsobeno špatným rozměrem jednoho nebo více z plechů, které tvoří celé jho statoru. Tyto mohou zasahovat do prostoru drážky a poškozovat izolační materiál.



(a) zkrat vinutí – kostra hrana



(b) zkrat vinutí – kostra drážka

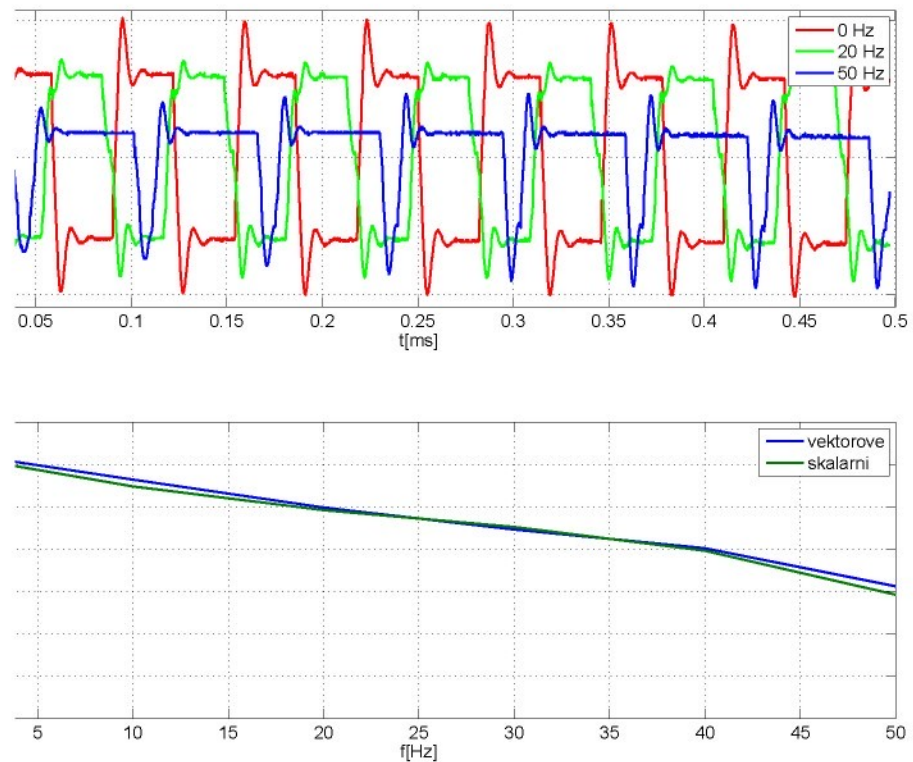
Obrázek 4.21: Změna struktury izolačního materiálu vlivem tepelného působení od zkratu na kostru motoru [15]

V případě, že je motor bez zkratovaného vinutí, by mělo být napětí spoje-

ných konců všech statorových vinutí vůči kostře motoru nulové. To platí pro napájení ze sítě harmonickým napětím. Pokud je motor napájený z FM, je tomu jinak. Frekvenční měnič spíná napětí vůči nule stejnosměrného meziobvodu (pomyslná nula). Potenciál mezi středem vinutí a vodičem PE není vůči kostře motoru nulový, rovná se jedné třetině napětí ve stejnosměrném meziobvodu [34].

Toto napětí je způsobené tzv. vychylovacím napětím, které zvyšuje maximální dosažitelnou možnou amplitudu sdruženého napětí. Jeho frekvence je trojnásobná k základní frekvenci výstupu střídače FM.

K tomuto napětí se přičte napětí mezi kostrou motoru a zápornou, resp. kladnou, svorkou stejnosměrného meziobvodu, záleží na okamžiku sepnutí. Proto je napětí uzlu hvězdy vinutí vůči kostře motoru neharmonické. Průběhy napětí i proudů jsou různé pro FM, které jsou napájeny z 1f nebo ze 3f rozvodu.

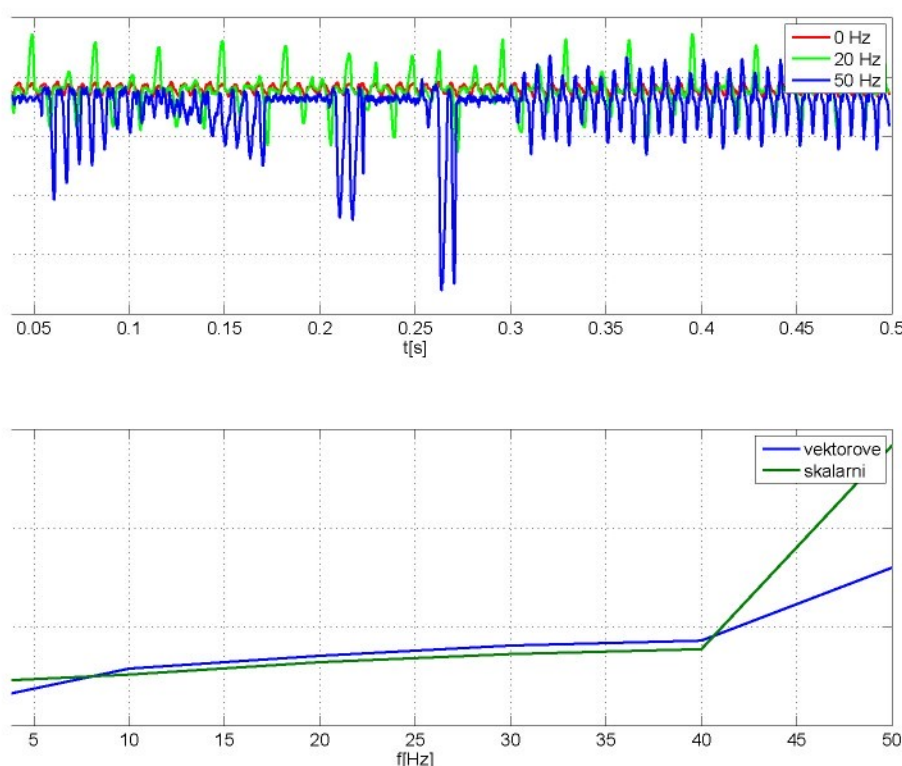


Obrázek 4.22: Časový průběh U_{gnd} PWM modulace pro výstupní frekvence 0 Hz, 20 Hz a 50 Hz – nahoře, napětí U_{gnd} v závislosti na výstupní frekvenci – dole

Pokud není střed vinutí spojený s kostrou motoru, je napětí U_{gnd} závislé na výstupní frekvenci střídače. S rostoucí frekvencí dochází ke snížení tohoto

napětí. Snížení napětí U_{gnd} při vyšších frekvencích výstupního napětí je způsobeno menším počtem nulových vektorů v rámci jedné periody jak ukazuje graf 4.22.

Napětí U_{gnd} bez zkratu mezi fází a kostrou s frekvencí klesá. To znamená, že by měl proud v případě zkratu na kostru s rostoucí frekvencí také klesat. Praktické experimenty ukazují, že proud s frekvencí roste. Je to způsobeno změnou obvodové konfigurace vinutí. Při zkratu na kostru napětí s frekvencí roste a s ním i proud, který teče do země. Tento proud je značně neharmonický, jak ukazuje graf 4.23.



Obrázek 4.23: Časový průběh proudu I_{gnd} pro výstupní frekvence 0 Hz, 20 Hz a 50 Hz – nahoře, proud I_{gnd} v závislosti na výstupní frekvenci – dole

Je otázkou, zda má smysl tento problém řešit. Při napájení z FM probíhá před spuštěním pohonu test výstupní výkonové části. Součástí je i test zemního zkratu. V případě, že tento zkrat vznikne, elektronika FM jej odhalí a celý pohon se zastaví. Zajímavé je, že záleží na tom ve, kterém místě vinutí ke zkratu na kostru dojde. Pokud zkratujeme začátek vinutí na kostru FM, nahlásí zemní zkrat. V případě, že je zkrat blízko ke konci vinutí, FM jej nesprávně vyhodnotí jako přepětí ve stejnosměrném meziobvodu. Výsledek pro uživatele

je stejný. Pohon se nerozběhne.

Chceme-li měřit zemní proudy, musíme zařadit do zkratu rezistor, díky kterému FM zemní zkrat nezjistí. V tomto případě se rezistor pohyboval okolo $10\ \Omega$. Druhou variantou jak obejít elektroniku FM je změna identifikovaných parametrů motoru.

Protože je proud do vodiče PE neharmonický, není možné zkrat na kostru řešit analyticky. Autor se rozhodl použít jeden z modulů programu MATLAB. Konkrétně jde o modul Sim Power Systems, který je stále ve vývoji a postupně nabízí více a více možností. Modul umožňuje simulace v oboru výkonové elektrotechniky a pohonů. Jedná se tedy o numerické modelování, které s sebou přináší určitá omezení.

4.5.1 Sestavení modelu

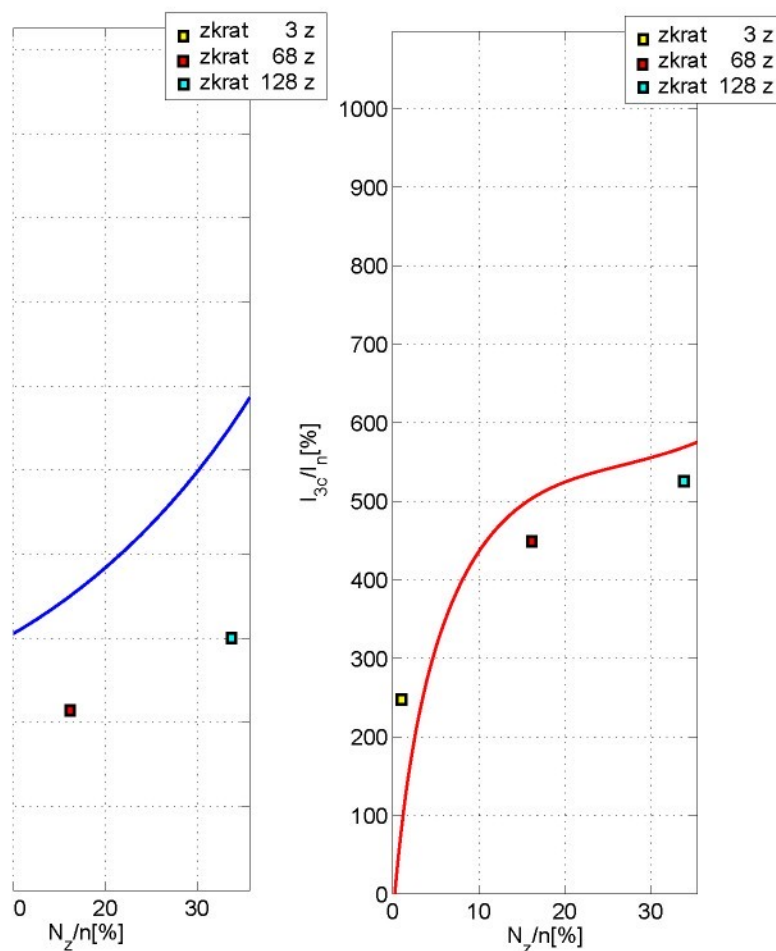
I přes výše uvedené důvody smysluplnosti řešení této problematiky byl sestaven model, který odpovídá statorovému vinutí napájeného z FM s možností zemního zkratu. Vytvořený model je na obrázku 4.24. Skládá se z několika základních částí. První částí je FM, který se skládá z usměrňovače, stejnosměrného meziobvodu, střídače IGBT, PWM generátoru a generátoru žádané hodnoty sinusových průběhů (RefGen). Druhou část tvoří měřicí obvody, které slouží k měření napětí a proudů ve zvolených místech modelu. Další částí modelu je vinutí motoru, které se skládá ze tří indukčností se sériově zapojeným rezistorem. Ve fázi W je vytvořené speciální vinutí označené L_W , které umožňuje připojit vinutí fáze W na kostru motoru. Pomocí tohoto je možné simulovat zkraty po $\frac{10}{n_W}$ závitů. V modelu je stejně jako v předchozím případě použita lineární indukčnost. Poslední částí modelu je část zkratu na kostru. Jedná se o jednoduchý model s rezistorem připojený mezi jeden z vývodů *Out_sub_1* až *Out_sub_10* bloku L_W a ochranný vodič.

Tento model odpovídá FM, který používá skalární řízení. Model pro vektorové řízení je také možné sestavit, ale v ustáleném stavu by neměl být rozdíl mezi skalárním a vektorovým řízením.

Po sestavení byl model testován a upravován tak, aby co nejlépe zachycoval skutečné chování FM při zkratu na zem. Ukázalo se, že tento zjednodušený model neodpovídá skutečným naměřeným závislostem na reálném pohonu. Po tomto zjištění byl sestaven druhý model, který v sobě zahrnoval vektorové řízení. I přes tuto úpravu se nepodařilo dosáhnout alespoň přibližné shody s realitou.

Jednou z příčin neshody modelu a skutečnosti je fakt, že FM, které se vyrábí v dnešní době, mají složité regulační struktury. Bez jejich znalosti je téměř nemožné sestavit odpovídající model.

Další z možných příčin je nemožnost vytváření zkratů přímo ve statorovém vinutí modelu AM, který nabízí modul SimPowerSystem. Motor byl nahrazen



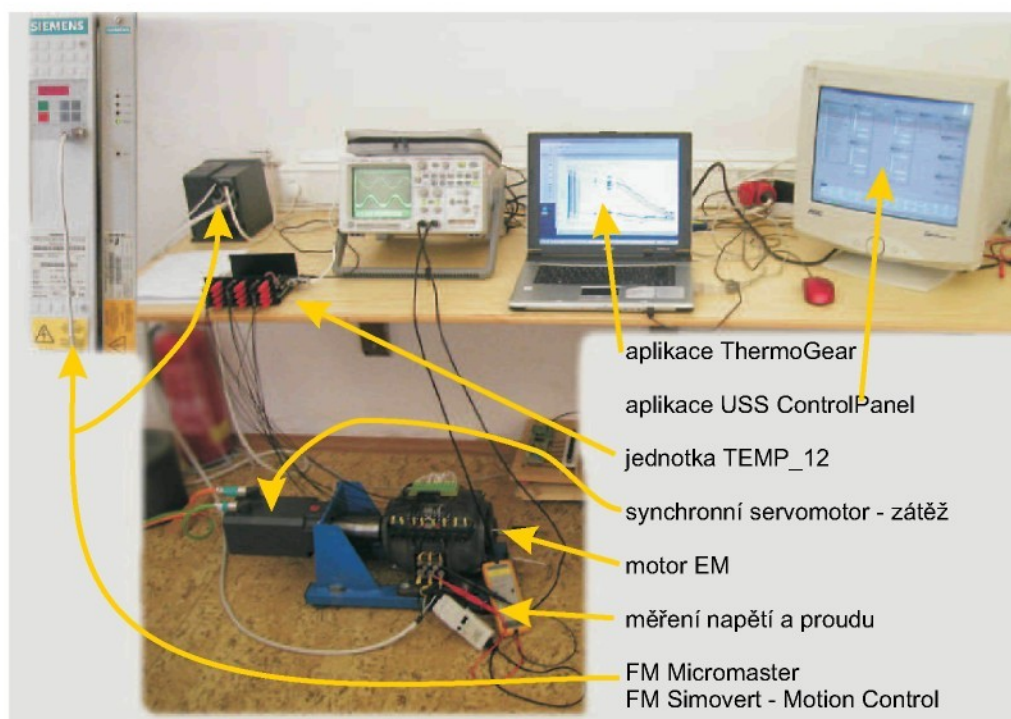
Obrázek 4.25: Verifikace modelu pro 3, 68 a 128 zkratovaných závitů

Z výsledků verifikace vyplývá, že je možné tento model použít na přibližné odhadnutí proudových poměrů v jednotlivých částech vinutí, které bylo zkratováno. Dále pak mohou být tyto výsledky použity k výpočtu ztrátového výkonu, který se mění na teplo.

Verifikace modelu pro zemní zkrat nebyla možná z důvodů uvedených v odstavci 4.5.

5 Pracoviště pro experimentální diagnostiku

Ke studiu a analýze zkratových proudů a jejich tepelných účinků bylo vytvořeno pracoviště, na kterém bylo možné simulovat různé konfigurace zkratů, které jsou popsány v kapitole 4. Toto pracoviště (obrázek 5.1) se skládá ze tří hlavních částí: z motoru pro experimentální diagnostiku (EM), měřící jednotky TEMP_12 a zatěžovacího synchronního motoru SIEMENS. Součástí systému jsou i další části, které jsou popsány níže v této kapitole.

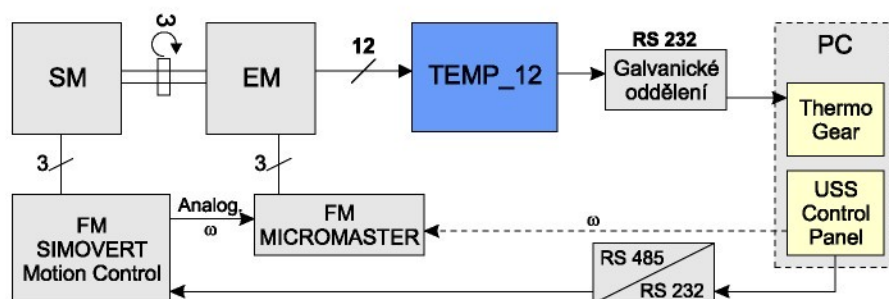


Obrázek 5.1: Pracoviště pro experimentální diagnostiku

Všechny části jsou sestaveny do komplexního experimentálního pracoviště, které umožňuje podrobně analyzovat zkoumaný motor. Blokové schéma pracoviště je na obrázku 5.2. Synchronní motor je spojen hřídelovou spojkou a pracuje na jedné hřídeli s motorem EM. Spojení zajišťuje spojka BNK tak, aby se vyrovnaly osové rozdíly obou strojů.

Z AM jsou sbírána data pomocí jednotky TEMP_12 vlastní konstrukce, která posílá naměřená data dále do PC. Pro monitorování teplot v jednotlivých místech motoru byl vytvořen program ThermoGear, který zpracovává, vizualizuje a ukládá data pro další analýzu.

Synchronní servomotor je napájen a řízen FM SIMOVERT Motion Control. Ovládání je realizováno pomocí aplikace ControlPanel (autor: Ing. Martin



Obrázek 5.2: Blokové schéma laboratorního pracoviště

Díblík - KEL). Řídící signály jsou posílány z PC do SIMOVERT - Motion Control přes průmyslovou sběrnici RS485. Díky tomuto řešení je možné ovládat motor přímo z PC.

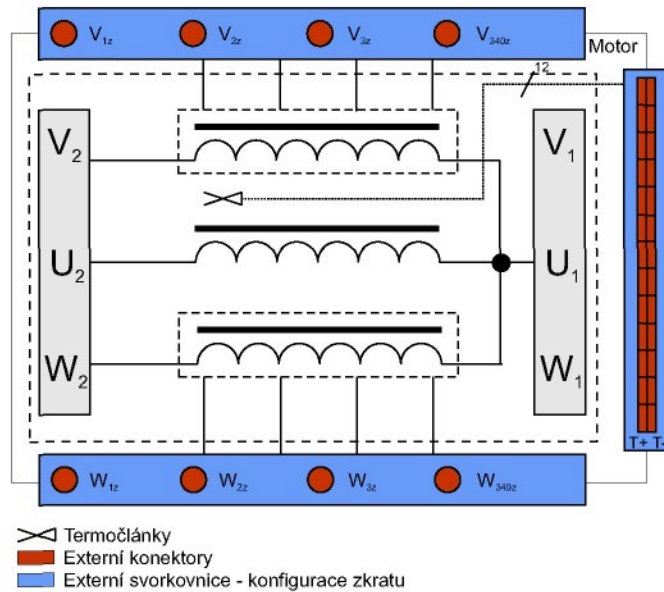
Asynchronní motor je napájen a řízen FM MICROMASTER. Ovládání je realizováno také pomocí aplikace ControlPanel. Řídící signály jsou posílány do měniče SIMOVERT - Motion Control. V měniči je žádaná hodnota převedena na analogový výstup 0–10 V. Toto napětí je připojeno na analogový vstup FM MICROMASTER. Díky této konfiguraci je snadné ovládání obou pohonů z jedné aplikace (z jednoho místa).

5.1 Motor pro experimentální diagnostiku

Motor pro experimentální diagnostiku je speciální AM. Pro potřeby pracoviště bylo nutné takový motor navrhnout a vyrobit. V rámci této práce bylo navrženo statorové vinutí AM (5.7) a vyroben vlastní EM, který je na obrázku 5.5. V době návrhu a konstrukce EM nebyla vybudovaná úzká spolupráce s výrobcem motorů SIEMENS ELEKTROMOTORY, spol. s r. o., aby vyrobil tento speciální motor na zakázku. Z tohoto důvodu byl motor navinut ručně profesionálním technikem elektromotorů. Vlastní experimenty probíhaly na ručně navinutém motoru. Před dokončením této dizertační práce se podařilo u výrobce vyjednat výrobu motorů pro další experimenty. Návrh vinutí a rozmístění čidel teploty je v příloze na obrázku A1.2.

Pro vlastní realizaci bylo použito šasi staršího motoru, který poskytoval více prostoru pro navržené odbočky ze statorového vinutí AM a pro termočlánky a jejich vedení. Všechny elektrické a mechanické vlastnosti motoru byly téměř zachovány dle původního návrhu.

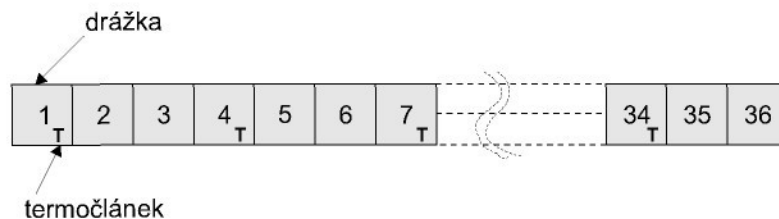
Ve fázích U a W byly vytvořeny odbočky po 1, 2, 3 a 340 závitů počítáno od svorky U_1 . Motor má třífázové vinutí se dvěma pólpáry. Statorové vinutí motoru je realizováno jako tzv. smyčkové. Každá fáze je složena ze šesti cívek po 68 závitů. Pro vinutí byl použit standardní, běžně používaný, smaltovaný Cu drát $D_w = 1$ mm.



Obrázek 5.3: Blokové schéma motoru pro experimentální diagnostiku

V motoru byl vytvořen systém termočlánků tak, aby bylo možné monitorovat teplotu vinutí v každé třetí satorové drážce. Na obrázku 5.4 je sator rozvinutý, aby byla vidět dislokace termočlánků ve satorovém vinutí. Vyšší počet termočlánků by znamenal podstatně větší technické nároky na měřicí systém. Lepšího monitoringu teploty motoru se stejným počtem termočlánků je možné dosáhnout snížením počtu satorových drážek motoru. Tuto variantu je možné uvažovat v případě použití motorů nové konstrukce, které mají menší počet drážek.

Termočlánky jsou umístěny v ose satorové drážky a vzhledem k délce drážky uprostřed. Vývody termočlánků musely být opatřeny izolačním materiálem, který spolehlivě odolává teplotám nad 150 °C. Pro tento účel byla použita silikonová páska.



Obrázek 5.4: Rozmístění termočlánků ve satorovém vinutí

Postupem času bylo zjištěno, že by bylo dobré v návrhu satorového vinutí udělat změny tak, aby bylo možné verifikovat model pro více konfigurací

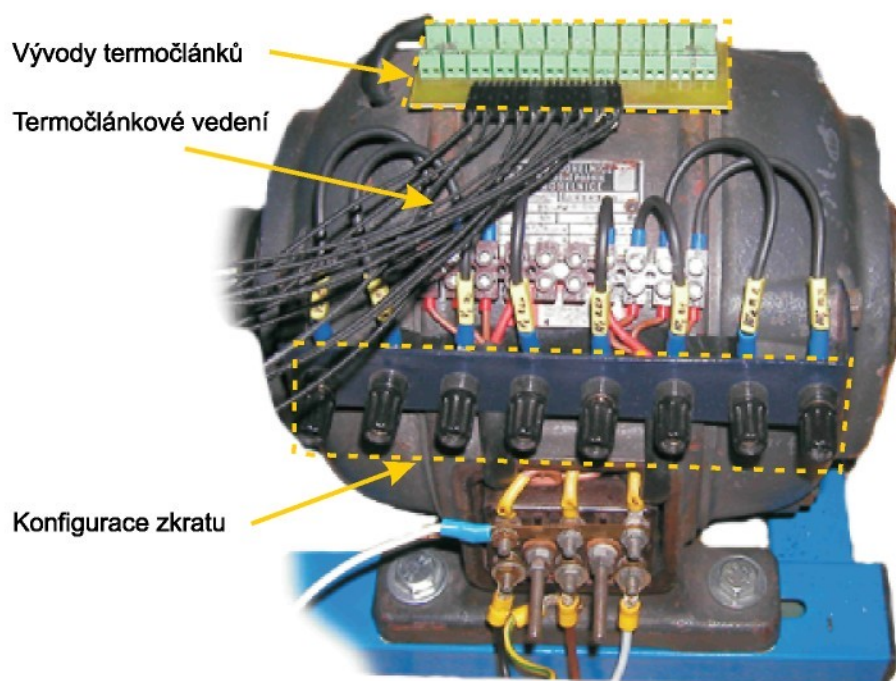
zkratového proudu. Nicméně i tento EM posloužil k verifikaci vytvořených matematických modelů.

5.1.1 Realizace statorového vinutí

V odstavci 5.1 je stručně popsán motor pro experimentální diagnostiku. Zde je uvedeno konkrétní uspořádání cívek statorového vinutí v drážkách statoru a na čelech vinutí. Ve schématech jsou vyznačeny drážky, ve kterých jsou umístěny termočlánky.

Technická data motoru

Typ:	AM čtyřpólový R36-n-4-Db-H0, MEZ
Jmenovité otáčky:	1415 ot/min
Jmenovitý výkon:	1,1 kW
Jmenovité napětí:	400 V / 230 V Y/D
Jmenovitý proud:	2,75 A / 4,25 A Y/D



Obrázek 5.5: Motor pro experimentální diagnostiku

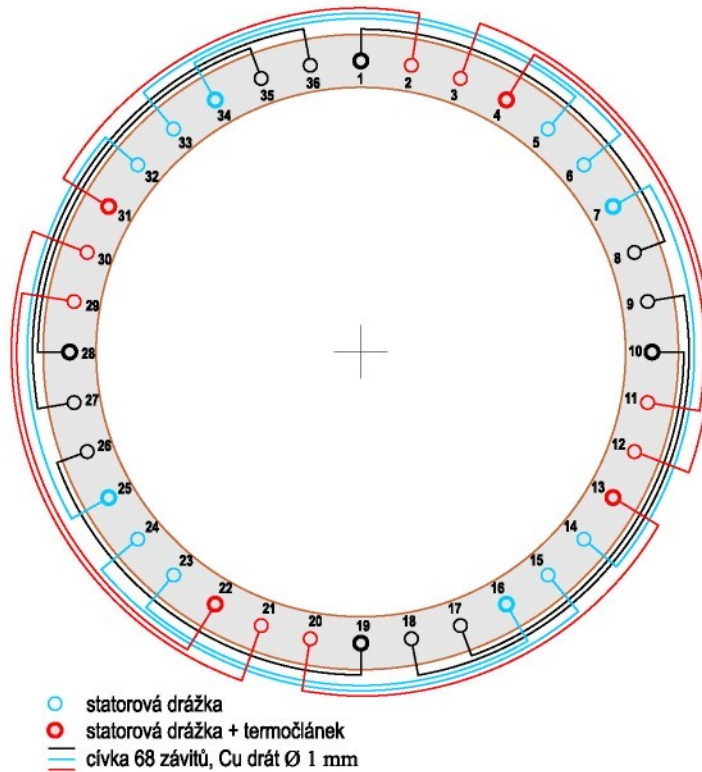
Statorové vinutí bylo navrženo dle technických zvyklostí a s použitím dostupné literatury [28], [30]. Jedná se o čtyřpólové $2p = 4$ vinutí, které je tří-

fázové $m = 3$. K dispozici byl motor s $Q_s = 36$ drážkami ve statoru. Podle rovnic 5.1 byly vypočítány údaje pro návrh statorového vinutí.

$$y = \frac{Q}{2p} = \frac{36}{4} = 9; \quad q = \frac{Q}{2p \cdot m} = \frac{36}{4 \cdot 3} = 3; \quad r = \frac{Q}{p \cdot m} = \frac{36}{2 \cdot 3} = 6 \quad (5.1)$$

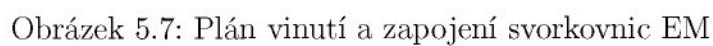
Vypočtené hodnoty určují uložení vinutí v drážkách statoru. Plán zapojení vinutí je na obrázku 5.7.

$2p = 4$, $Q_s = 36$, $q = 3$, $m = 3$, $a = 1$, $y = 1-8$, $r = 6$



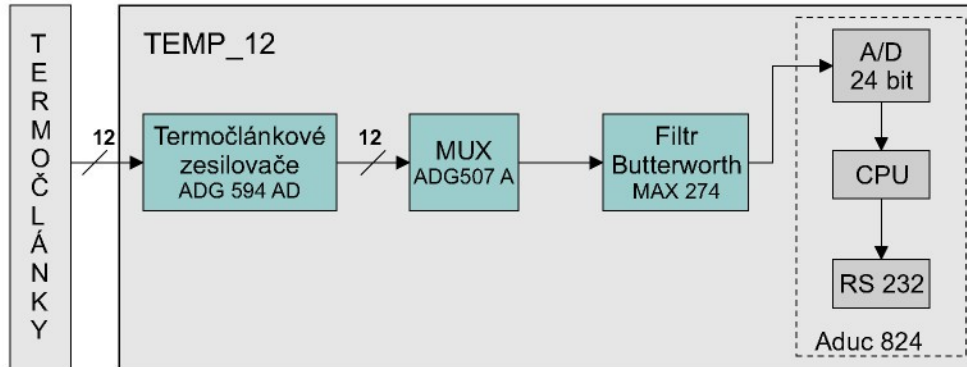
Obrázek 5.6: Čelo vinutí EM

Na obrázku 5.6 je vidět uspořádání jednotlivých cívek na čelech vinutí, které je důležité pro zjištění možných zkratů mezi jednotlivými fázemi.



5.2 Měřicí jednotka TEMP_12

Další částí pracoviště je měřicí jednotka vlastní konstrukce TEMP_12, která vyhodnocuje naměřené hodnoty teploty a posílá je k další analýze do PC.



Obrázek 5.8: Blokové schéma měřicí jednotky TEMP_12

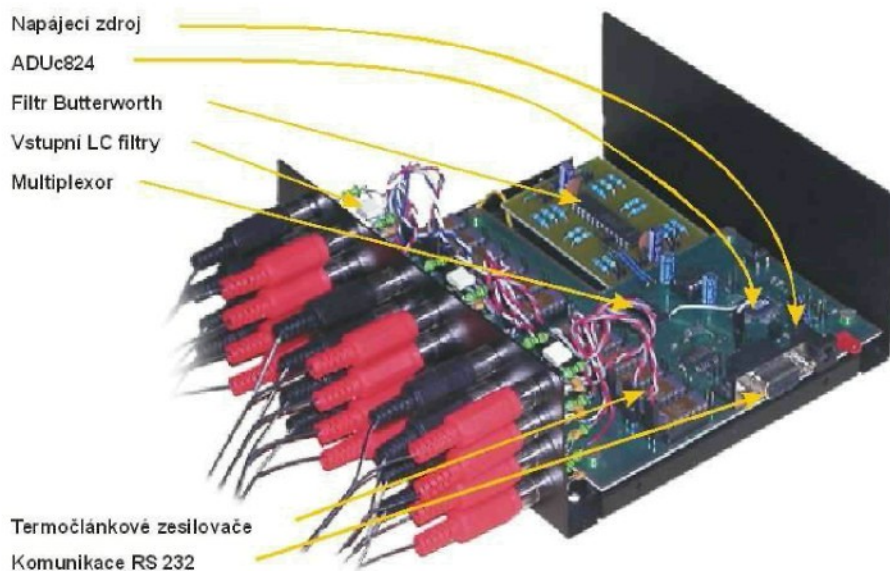
Celý systém je realizován s jednočipovým mikropočítačem ADUc824. Termoelektrické napětí je zesilováno 12-ti termoelektrickými zesilovači ADG594. Všechny kanály jsou pomocí multiplexoru přepínány na 24 bitový A/D převodník. Měřicí systém je vybaven filtrem, který filtruje rušivé pozadí způsobené střídačem FM. Blokové schéma znázorňuje obrázek 5.8.

Jednotka TEMP_12 na obrázku 5.9 byla zkonstruována za účelem monitorování teploty pro dvanáct libovolně dislokovaných míst. V případě této práce se jedná o monitorování teploty v drážkách statorového vinutí, ve kterých jsou umístěny termoelektrody. Konkrétní uspořádání termoelektrického systému je uvedeno v kapitole 5.1.

5.2.1 Hardware měřicí jednotky

Měřicí jednotka je navržena na jedné DPS, kromě přídavného filtru. Tato koncepce byla zvolena z důvodu vysokého rušení od FM. Systém je napájený stabilizovaným napětím 5 V. Obvodem LMC 7660 bylo třeba vytvořit záporné napětí -5 V pro zajištění správné funkce multiplexoru. Posledním zdrojem napětí je obvod MAX 6520, který vytváří referenční napětí 1,28 V pro A/D převodník, což představuje polovinu rozsahu 0-2,56 V. S tímto rozsahem je možné měřit teplotu od 0 °C do 256 °C.

Jednotka je schopna sbírat data z dvanácti termoelektrických čidel typu J. Jádrem jednotky tvoří ADUc824. Jádrem mikrořadiče pracuje na frekvenci 12 MHz a je založeno na architektuře 8051, která je vhodná pro návrh software (jednoduchá záměna mikrořadiče). Analogový šestnáctikanálový Multiplexor ADG 506 A přepíná jednotlivá termoelektrická napětí pro 24 bitový Σ - Δ A/D



Obrázek 5.9: Popis měřicí jednotky TEMP_12

převodník v ADUc824. Jádro celého systému odesílá data přes RS232 do PC k dalšímu zpracování. Po praktických zkušenostech byl do systému přidán před vstup do A/D převodníku filtr DP 400 Hz, který realizuje obvod MAX275 (2-8 řád Butterworthův filter, lze obvodově konfigurovat). Zesílení termoelektrického napětí zajišťují kvalitní a přesné termočlánkové zesilovače ADG594AD. Výstupem zesilovače je napětí s převodní konstantou $k_{adg} = 10 \text{ mV}/^{\circ}\text{C}$. Na všech vstupních svorkách jsou umístěny LC filtry. Tyto omezují elektromagnetické rušení od FM, které se indukují na termočlánkové vedení. Blokové schéma měřicí jednotky je na obrázku 5.8.

Podrobnější informace ke všem použitým součástkám jsou na příloženém CD-ROM v adresáři X:\== Konstrukce Temp_12 ==\== Datasheets ==. Pro návrh filtru byl použit program od firmy MAXIM, který je na příloženém CD-ROM v adresáři X:\== Konstrukce ==\== Temp_12 ==\== Navrh_filtr ==.

5.2.2 Software měřicí jednotky

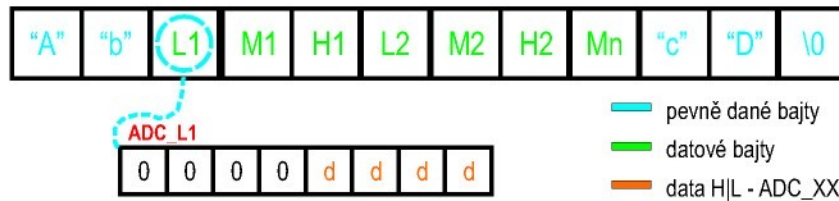
Řídící software celého systému je naprogramován v programovacím jazyce C. Skládá se z několika funkčních celků, které se starají o chod jednotky a o komunikaci s nadřazeným systémem PC.

Program pro řízení jednotky je na příloženém CD-ROM v adresáři X:\== Konstrukce ==\== Temp_12 ==\Program_TEMP_12.

5.2.3 Komunikace TEMP_12 a PC

Komunikace mezi jednotkou TEMP_12 a PC je zajištěna standardním rozhraním RS232. Každý datový paket je uvozen a ukončen danými znaky, aby bylo možné zkontrolovat, že data jsou kompletní. Struktura datového paketu je na obrázku 5.10.

Měřená data jsou uložena ve 3 bajtech ADC_H, ADC_M a ADC_L. Vychází to z hardware A/D převodníku, který má 24 bitů. Pro odeslání dat jsou tyto bajty rozděleny na dvě části po 4 bitech. Tím vznikne 6 bajtů (ADC_H.1, ADC_M.1 a ADC_L.1, ADC_H.2, ADC_M.2 a ADC_L.2), které mají vyšší polovinu bajtu nulovou. Takto jsou data poslána do PC včetně dalších řídicích bajtů.



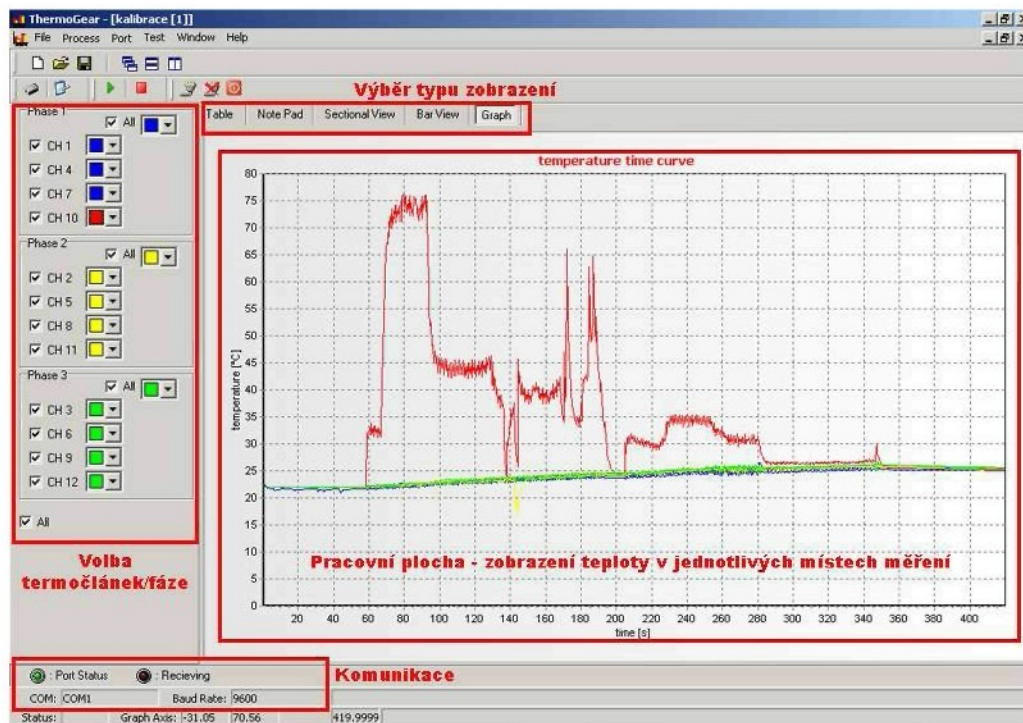
Obrázek 5.10: Struktura datového paketu, který posílá jednotka TEMP_12 do PC

Pro možnost řízení a nastavení TEMP_12 byl vytvořen soubor řídicích znaků. Jedná se o inicializaci celého systému, zajištění komunikace, ukončení měření, možnost přepnout systém do režimu kalibrace a o změnu komunikační rychlosti systému a PC. Přehled řídicích znaků je uveden v tabulce 5.1.

znak	funkce
„i“	inicializace TEMP_12 po restartu
„x“	potvrzení přijetí datového paketu
„k“	konec měření
„c“	zapnutí TEMP_12 do módu ruční kalibrace
„0“	nastavení komunikační rychlosti na 9600 b/s
„1“	nastavení komunikační rychlosti na 19200 b/s
„2“	nastavení komunikační rychlosti na 38400 b/s
„3“	nastavení komunikační rychlosti na 57600 b/s

Tabulka 5.1: Funkce řídicích znaků

Aby nedocházelo ke ztrátě dat při zaneprázdnění PC, musí být potvrzeno přijetí datového paketu. Po potvrzení proběhne další měření a odeslání dat do PC.



Obrázek 5.11: Hlavní okno aplikace ThermoGear – měření teploty

5.2.4 Softwarové vybavení ThermoGear

Pro vyhodnocení teplotních údajů z EM, bylo třeba vytvořit přehledný software pro zpracování naměřených dat. Toto programové vybavení bylo naprogramováno v prostředí Delphi 6.

Program ThermoGear zajišťuje komunikaci s měřicí ústřednou TEMP_12. Komunikace zahrnuje sběr a validaci dat přicházejících z měřicí ústředny. Program je zaměřený na konkrétní aplikaci, kterou je vizualizace teploty v připojeném motoru (může být použit i obecně).

Vizualizace je možná v různých módech tak, aby uživatel měl přehled o teplotách v měřených bodech a jejich přesném umístění v motoru. Program může monitorovat 1 až 12 měřených čidel. Záleží na volbě při inicializaci programu.

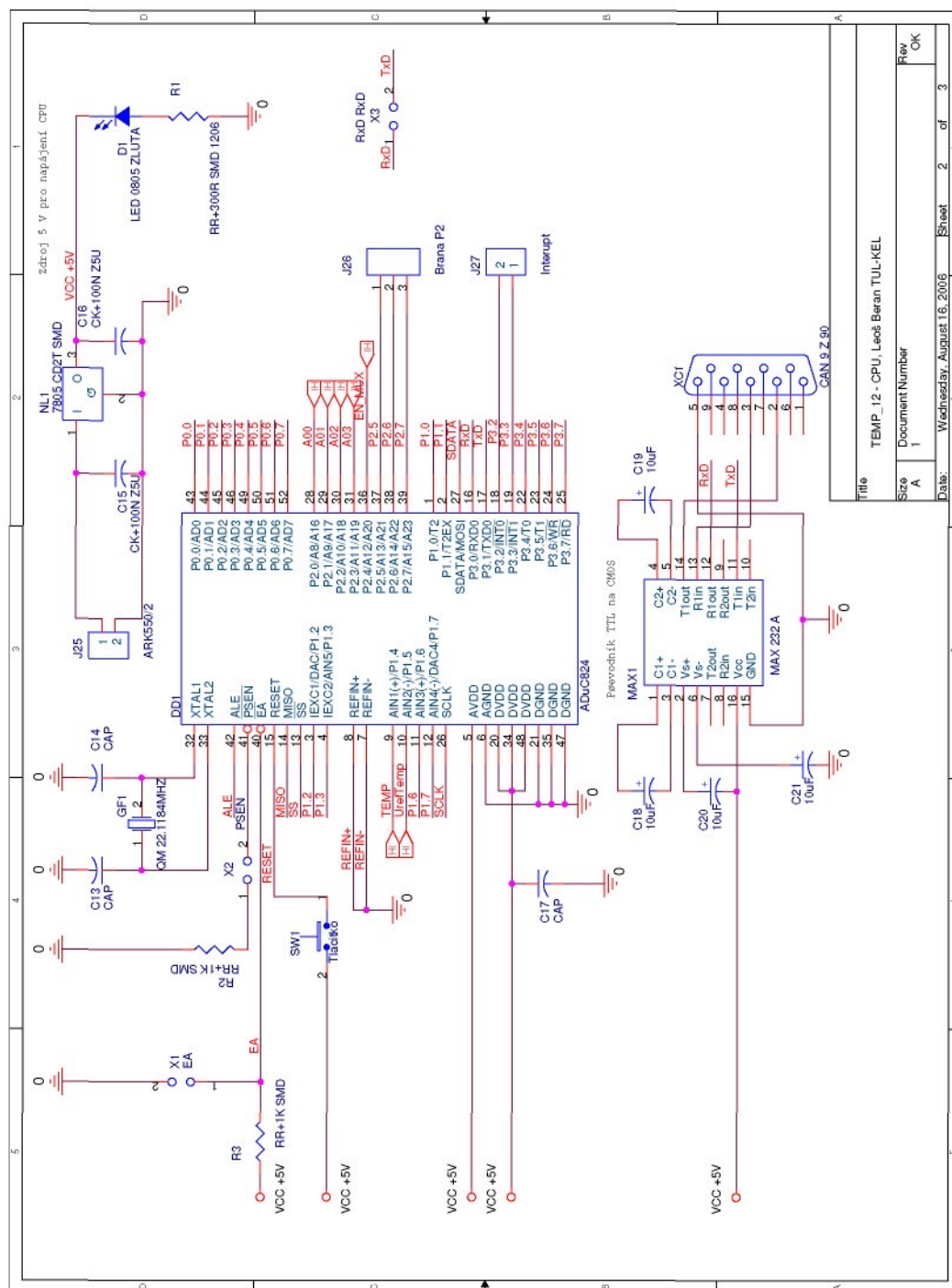
Naměřená data je možné ukládat a zpětně vyhodnocovat po opětovném otevření. Uživatel má možnost měnit komunikační rychlost při sběru dat. V programu jsou zaimplementovány funkce, které usnadňují identifikaci a čitelnost naměřených dat. Všechny tyto funkce jsou podrobně popsány v nápo-vědě programu. Náhled na hlavní okno aplikace ThermoGear ilustruje obrázek 5.11. Program i zdrojový kód je uložen na přiloženém CD-ROM v adresáři X:\== Software ==\== ThermoGear ==.

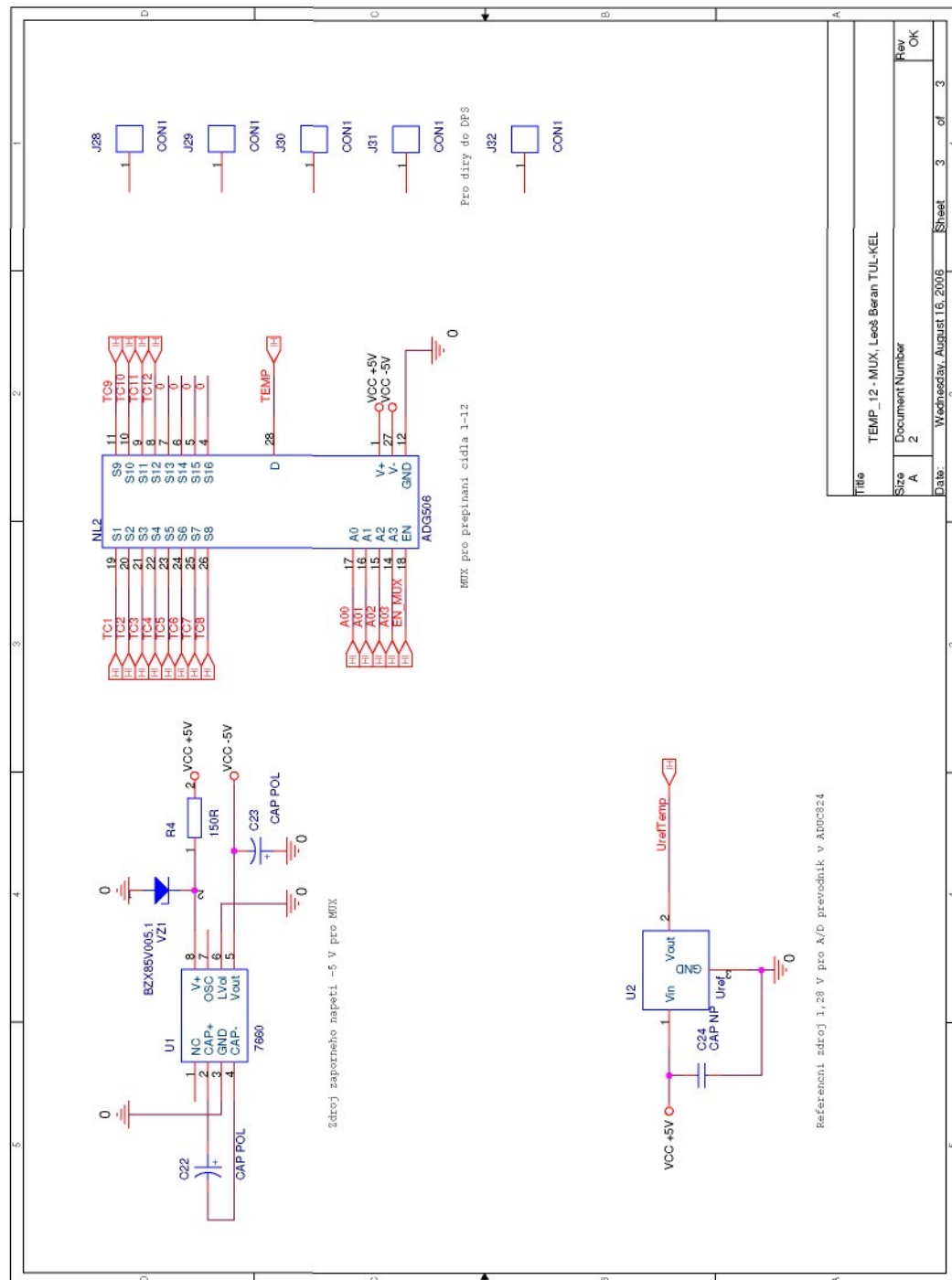
5.2.5 Výkresová dokumentace TEMP_12

Výkresová dokumentace byla při návrhu rozdělena do několika částí, aby se zlepšila čitelnost schémat. První schéma na obrázku 5.12 znázorňuje zapojení mikrokontroleru ADUc 824. Na schématu je napájecí zdroj pro celou ústřednu TEMP_12. K mikrokontroleru je nutné připojit převodník úrovní TTL $\rightarrow$ RS232, který umožňuje připojení na sériové rozhraní PC a další součástky nezbytné pro správnou funkci mikrokontroleru.

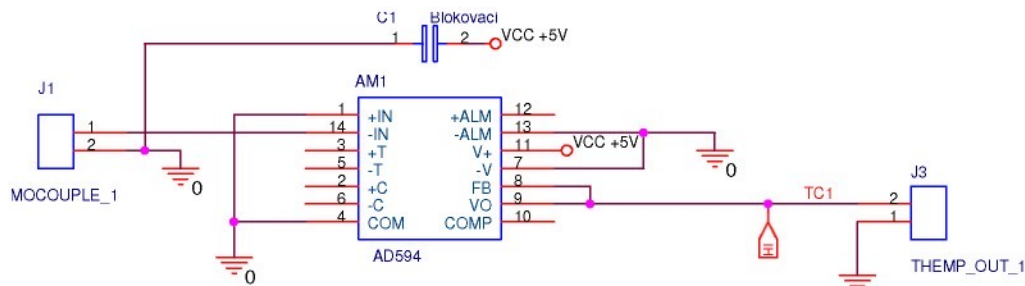
Druhá část návrhu byla věnována multiplexoru, který zajišťuje přepínání výstupů jednotlivých termočlánků. Na schématu 5.13 je analogový multiplexor a zdroj pro záporné napětí, které je nutné pro přepínání analogových signálů. Všechny vývody jsou přes LABELy propojeny s ostatními listy návrhu. Pro správnou interpretaci analogových hodnot, které jsou přivedeny na A/D převodník, bylo nutné vytvořit referenční napětí. Toto napětí umožní rozšíření rozsahu A/D převodníku.

Třetí a poslední část, která je navržena na jedné DPS 5.14, je sada termočlávkových zesilovačů, které zajišťují zesílení termočlávkového napětí a kompenzaci studeného konce. Kompenzace je zajištěna přímo z výroby. Podle experimentů při ožiování se ukázalo, že rozdíl mezi teplotami je v rozmezí $\pm 0,5^\circ\text{C}$. Vzhledem k tomu, že nejsou všechny termočlánky identické, může dojít k dalším teplotním rozdílům cca $\pm 1^\circ\text{C}$, které jsou programově kompenzovány.





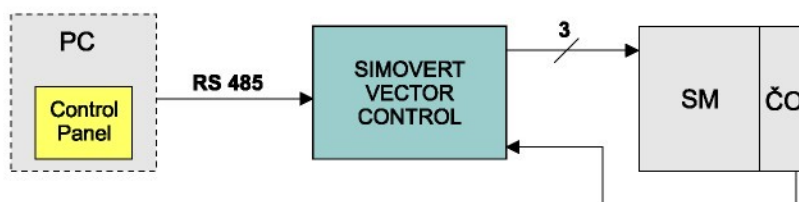
Obrázek 5.13: Schéma zapojení multiplexoru



Obrázek 5.14: Schéma zapojení termočláňkového zesilovače – na DPS 12x

5.3 Zátěž pro EM

Třetí část pracoviště tvoří synchronní motor SIEMENS napájený z frekvenčního měniče SIMOVERT. Tento pohon je v této práci použitý k simulaci zátěžného momentu pro EM. Díky velké variabilitě řídicí jednotky je možné realizovat různé průběhy zatížení, které můžeme nalézt v běžné průmyslové praxi. Blokové schéma zátěže pro EM je na obrázku 5.15.

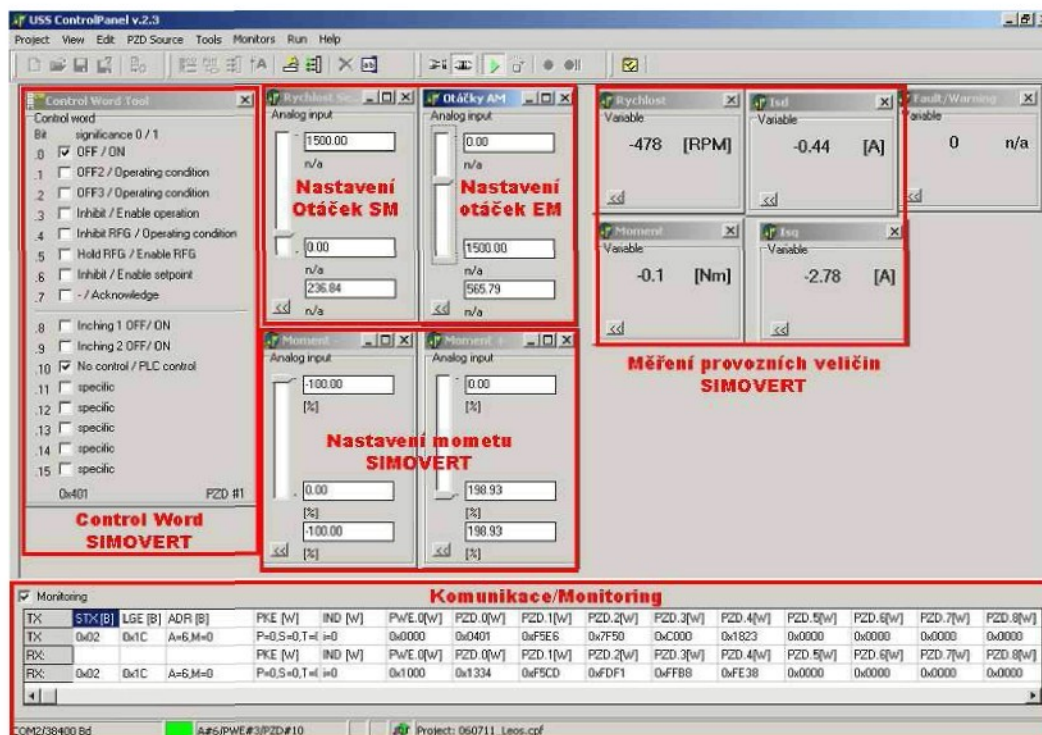


Obrázek 5.15: Blokové schéma zátěže pro EM

5.3.1 Softwarové vybavení ControlPanel

Program ControlPanel byl vyvinutý na TUL–Katedře elektrotechniky pro snazší a jednodušší používání frekvenčních měničů firmy SIEMENS. Program komunikuje s frekvenčním měničem po sběrnici RS485 a využívá komunikační protokol firmy SIEMENS USS.

Pomocí programu ControlPanel je možné ovládat zátěž a EM najednou z jednoho místa. Díky velké variabilitě programu je možné vytvořit ovládací panel (velín), na kterém lze nastavovat žádané hodnoty a zároveň monitorovat důležité veličiny (moment a otáčky na hřídeli aj.). Sledované veličiny je možné libovolně volit a vkládat do ovládacího panelu. Celý ovládací panel a nastavení frekvenčního měniče je možné pohodlně uložit. Při dalším použití se ovládací panel otevře a je připraven k okamžitému použití. Tento způsob usnadňuje a urychluje práci na pracovišti, kde je frekvenční měnič využíván k více účelům (výuka, VaV, průmyslové aplikace aj.).



Obrázek 5.16: Hlavní okno aplikace ControlPanel – ovládání zátěže a EM z jednoho místa

Náhled na hlavní okno aplikace ControlPanel ilustruje obrázek 5.16. Program i zdrojový kód je uložen na přiloženém CD-ROM v adresáři X:\== Software ==\ControlPanel ==.

5.3.2 Technické parametry synchronního pohonu

Řídící jednotka Siemens SIMOVERT Masterdrives MotionControl
provedení Compact, Converter

Typ: 6SE7016-1EA51-Z C43+F01+G91

Parametry:

U_{line} [V]	380 – 480	Vstupní napětí, AC 3-fázové
U_{out} [V]	$0 - 0,86 \times U_{line}$	Výstupní napětí, AC 3-fázové
f_{line} [Hz]	50	Vstupní frekvence
f_{out} [V]	0 – 400	Výstupní frekvence, krok 0,001
f_s [kHz]	5 – 8	Spínací frekvence
P_{rated} [kW]	2,2	Výkon jmenovitý
I_{nconv} [A]	6,1	Proud výstupní jmenovitý
I_{max} [A]	9,8	Proud výstupní špičkový/krátkodobý

Tabulka 5.2: Elektrické parametry řídicí jednotky SIMOVERT Masterdrives MotionControl

Synchronní servomotor s permanentními magnety v rotoru

Typ: 1FT6062-6AF71

n_{rated} [ot/min]	3000	Jmenovitá rychlost
P_{rated} [kW]	2,2	Výkon jmenovitý
M_{rated} [Nm]	4,7	Točivý moment
I_{rated} [A]	3,4	Proud jmenovitý
M_0 [Nm]	6	Točivý moment klidový
I_0 [A]	4,0	Proud klidový při M_0
J_{kgm^2} [A]	$0,85 \cdot 10^{-3}$	Moment setrvačnosti
snímač polohy	2048/4096	Optický, absolutní víceotáčkový

Tabulka 5.3: Katalogové údaje elektromotoru 1FT6062-6AF71

6 Měření parametrů motoru EM

6.1 Měření odporu cívek statorového vinutí

Odpor vinutí je důležitý parametr pro správné sestavení náhradního obvodu statorového vinutí. Podílí se na ztrátách, které při zkratu ve statorovém vinutí ovlivňují životnost izolačního systému. Odpor vinutí každé statorové cívky je měřen čtyřvodičovou metodou v místě kontaktů svorkovnice motoru. Zdroj proudu byl vytvořen z laboratorního stabilizovaného zdroje napětí. Konstantní proud byl zajištěn proudovým omezením zdroje.

Vliv termoelektrického napětí, vzhledem k přesnosti použitých přístrojů, není možné postihnout, proto nebyl uvažován. Výsledky tohoto měření nezahrnují pouze činný odpor statorových vinutí. Postupně byly změřeny činné odpory všech zkratovacích vývodů vůči svorce s indexem 1 (začátek vinutí). Značení těchto odporů je podle rovnice 6.1,

$$R_{fnzc} \quad (6.1)$$

kde f je název fáze, n je označení svorky na svorkovnici motoru, z je označení zkratu a c je počet závitů od začátku vinutí.

6.1.1 Použité přístroje

1. Laboratorní zdroj PS-405 D, 0-40 V/0,01-5A, inv.č. 801819 KEL.
2. V voltmetr, Agilent 34401A, inv.č. 30257/18 KEL, rozsah 100 V, udaná přesnost je (0,002 % ze čtení + 0,0006 % z rozsahu).
3. A ampérmetr, Agilent 34401A, inv.č. 30257/17 KEL, rozsah 3A, udaná přesnost je (0,1 % ze čtení + 0,02 % z rozsahu).

6.1.2 Výsledky a závěry

Na závěr byl pro výpočty zkratových proudů vypočten odpor jednoho závitů statorového vinutí podle vztahu 6.2. V tomto případě se jedná o průměr dvou rozdílových odporů mezi zkratovými vývody.

$$R_{FZ1} = \sum_{n=1}^N \frac{R_{FZn} - R_{RZn-1}}{N} \quad (6.2)$$

Celkový činný odpor u fáze U je nižší oproti fázi V a W. Jedná se o nesymetrii ve statorovém vinutí, která je způsobena prodloužením použitého drátu na zkratovací vývody.

$$R_{Z1} = \frac{\sum_{i=U}^W R_{iZ1}}{m} = 9,619 \text{ m}\Omega \quad (6.3)$$

Fáze V			Fáze W		
U_R [V]	I_R [A]	R_{V1Z1} [m Ω]	U_R [V]	I_R [A]	R_{W1Z1} [m Ω]
0,02739	1,00581	27,232	0,62235	1,00665	618,238
U_R [V]	I_R [A]	R_{V1Z2} [m Ω]	U_R [V]	I_R [A]	R_{W1Z2} [m Ω]
0,03713	1,00389	36,986	0,632362	1,00615	628,497
U_R [V]	I_R [A]	R_{V1Z3} [m Ω]	U_R [V]	I_R [A]	R_{W1Z3} [m Ω]
0,04673	1,00579	46,461	0,6421	1,00611	638,201
U_R [V]	I_R [A]	R_{V1Z340} [Ω]	U_R [V]	I_R [A]	R_{W1Z340} [Ω]
3,2807	1,00402	3,268	3,2868	1,00352	3,275
U_R [V]	I_R [A]	R_V [Ω]	U_R [V]	I_R [A]	R_W [Ω]
3,9514	1,00341	3,938	4,0526	1,00435	4,035

Tabulka 6.1: Činné odpory jednotlivých částí satorového vinutí fází U a W

Fáze U		
U_R [V]	I_R [A]	R_U [Ω]
3,777	1,00231	3,768

Tabulka 6.2: Činný odpor satorového vinutí fáze U

R_{VZ1} [m Ω]	R_{WZ1} [m Ω]	R_{UZ1} [m Ω]
9,615	9,982	9,235

Tabulka 6.3: Průměrné hodnoty činných odporů jednoho závitu fáze U, V, W

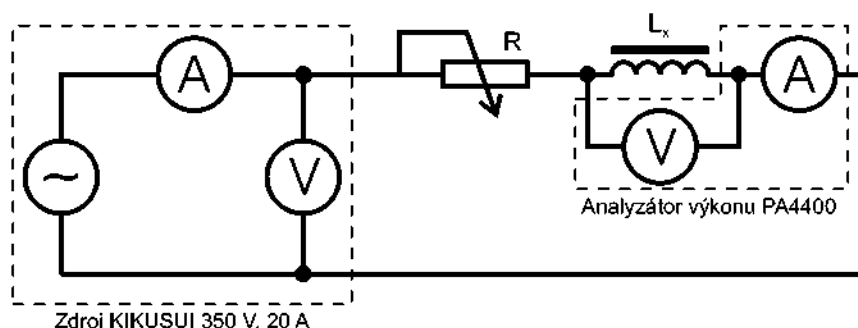
Činné odpory jednoho závitu jsou pouze teoretickou hodnotou. Pro výpočty je použita průměrná hodnota všech fází satoru.

6.2 Měření indukčnosti statorového vinutí

Pro model vinutí AM bylo nutné určit vlastní indukčnost statorového vinutí. Nejedná se o měření hlavní indukčnosti, které se provádí při měření naprázdno.

Postupně byla napájena každá fáze statorového vinutí programovatelným zdrojem harmonického napětí KIKUSUI. V sérii s tlumivkou byl zapojen reostat Metra 3 Ω , který přidává do obvodu ztráty a zvyšuje tak stabilitu regulovaného napětí. Indukčnost tlumivky byla nepřímo měřena analyzátozem výkonu PA4400. Schéma zapojení je na obrázku 6.1.

Zdroj i analyzátor byly propojeny sběrnici GPIB a ovládány programem z prostředí Matlab pomocí knihoven Agilent VISA. Měření byla provedena postupně pro různé kombinace zkratů.



Obrázek 6.1: Schéma zapojení měření vlastní indukčnosti statorového vinutí

6.2.1 Použité přístroje

1. VISA Agilent Technologies 82357A USB/GPIB Interface.
2. AC Power Supply PCR 2000 LA.
3. THREE PHASE AC Power analyse PA 4000. Deklarovaná přesnost: napětí (0,05 % ze čtení + 0,005 % z rozsahu), proud (0,05 % ze čtení + 0,005 % z rozsahu), činný výkon (0,1 % ze čtení + 0,1 % z rozsahu).

6.2.2 Výsledky a závěry

Změřené svorkové veličiny na tlumivce byly přepočítány na indukčnost a odpor vinutí pro sériový náhradní obvod indukčnosti. Odpor vinutí byl určen z činného příkonu a proudu:

$$R = \frac{P}{I^2} \quad (6.4)$$

Induktance a indukčnost se pak určí podle rovnice 6.5.

$$X_L = \sqrt{\left(\frac{U}{I}\right)^2 - R^2} \quad L = \frac{X_L}{2 \cdot \pi \cdot f} \quad (6.5)$$

Indukčnost byla měřena proudem od 0,2 A do 0,6 A. Napájecí zdroj neumí pracovat v proudovém režimu. Nastavení proudu proto probíhalo programově přes sběrnici GPIB. Po nastavení požadovaného proudu program čekal 5 s na ustálení hodnot a provedl 11 měření z analyzátoru pro průměrování. Poté byl zdroj vypnut a čekal 20 s na ochlazení vinutí.

Fáze	L [mH]	L_{68} [mH]	L_{340} [mH]
U	58	-	-
V	60	46	9
W	58	45	17

Tabulka 6.4: Vlastní indukčnost fázových vinutí statoru ($I=3$ A) bez zkratu, se zkratem 68 a 340 závitů

Byly změřeny indukčnosti všech statorových cívek L_U , L_V , L_W a jejich dílčí indukčnosti při různých konfiguracích zkratu ve fázích L_V a L_W . Z naměřených hodnot je vidět, že fáze W má zřejmě několik závitů navíc oproti návrhu. Potvrzuje to i měření činného odporu, které je zpracováno v kapitole 6.1.

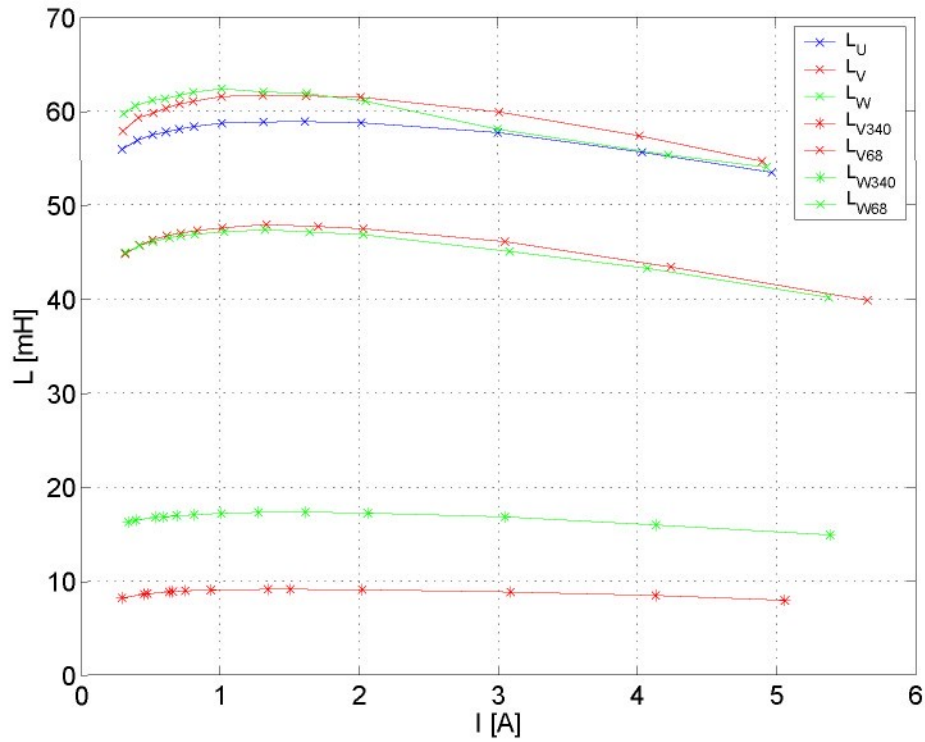
Z grafu 6.2 je vidět, že indukčnost částí vinutí v našem případě roste a klesá lineárně s počtem závitů podle rovnice 6.6.

$$L_c = L_1 + L_2 + L_3 + \dots + L_N = \sum_{i=1}^N L_i \quad (6.6)$$

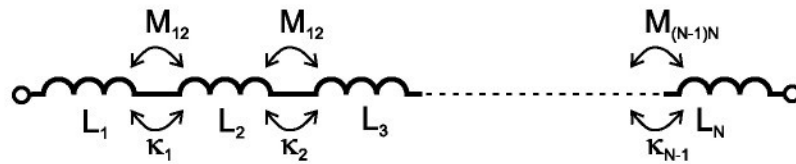
V tomto případě neplatí přírůstek, resp. úbytek indukčnosti, s druhou mocninou počtu závitů cívky, jak uvádí rovnice 6.7. To je dáno rozmístěním statorového vinutí po obvodu statoru.

$$\begin{aligned} L_c &= L_1 + L_2 + 2M_{12} + L_3 + 3M_{12} + \dots + L_N + NM_{12} = \\ &= L_1 + \sum_{i=2}^N (L_i + iM_{12}) \end{aligned} \quad (6.7)$$

Jinými slovy to znamená, že u jednotlivých částí vinutí, které jsou na společné části jádra, platí úměrnost $L \sim N^2$ ($\kappa \rightarrow 1$). U ostatních částí vinutí, které jsou rozděleny do několika, v tomto případě do šesti, propojených nezávislých cívek, to neplatí. Chovají se jako cívky s velmi malou vzájemnou



Obrázek 6.2: Závislost indukčnosti statorového vinutí na proudu— L_u , L_v , L_w bez zkratu, L_{v68} , L_{w68} zkrat 68 závitů, L_{v340} , L_{w340} zkrat 340 závitů



Obrázek 6.3: Rozdělení indukčnosti ve statorovém vinutí

vazbou (téměř nulovou). Proto je úbytek, resp. přírůstek indukčnosti, úměrný $L \sim N$ ($\kappa \rightarrow 0$).

Při volbě zkratovacích odboček v jiných místech vinutí získáme odlišné činitele vazby. V kapitole 4 je proveden výpočet pro vztah indukčnosti a závitů $L \sim N^2$.

Naměřená data a jejich zpracování je na příloženém CD-ROM v adresáři: X:\== Mereni ==\== Měření indukčnosti ==.

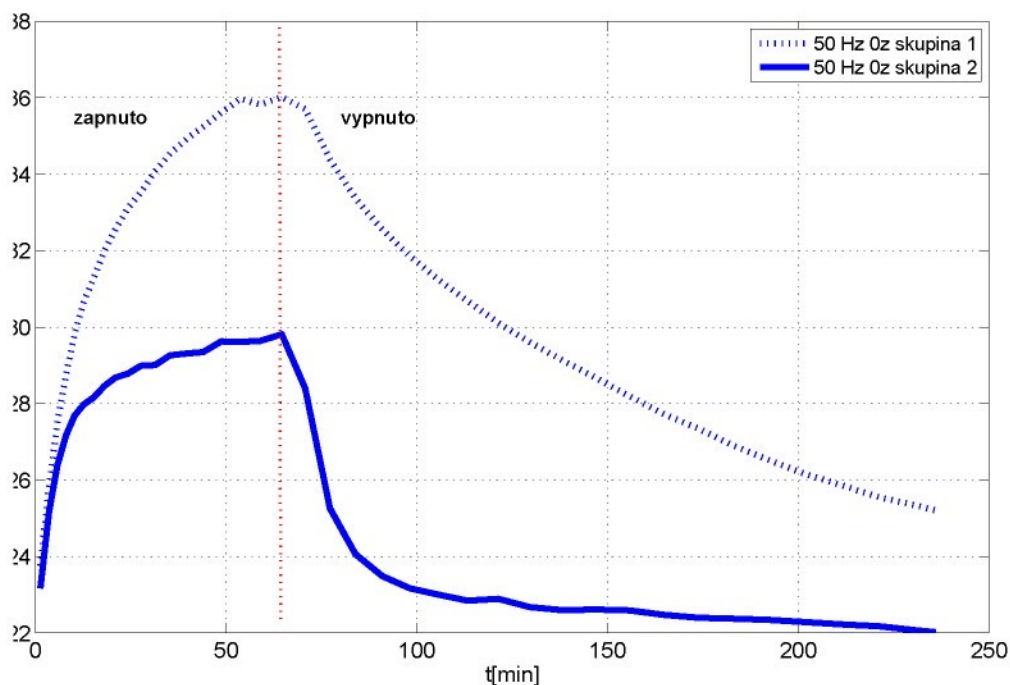
7 Měření tepelných účinků zkratového proudu

Tato kapitola se věnuje měření tepelných účinků zkratového proudu na experimentálním pracovišti, které je popsáno v kapitole 5. Měření jsou rozdělena do několika skupin podle typů uměle vytvořených zkratů.

Během měření se ukázalo, že není třeba vyhodnocovat všechna čidla zvlášť, a proto jsou čidla rozdělena do několika skupin. Tyto skupiny zohledňují teplotní rozložení při dané konfiguraci statorového vinutí. Tímto krokem se výrazně zvýší čitelnost grafů a jejich vyhodnocení. K měření byl použit vlastní program ThermoGear a pro vlastní vyhodnocení naměřených výsledků program MATLAB.

7.1 Identifikační měření – bez zkratu

Identifikační měření bez uměle zapojeného zkratu bylo provedeno, abychom zjistili provozní tepelné poměry v motoru. Měření bylo provedeno naprázdno. Z tohoto měření vychází rozdělení do skupin, které je popsáno v odstavci 7.2. Měření probíhalo cca 1 h do ustálení měřených teplot. Po ohřátí motoru byl motor vypnut a ponechán v klidu do úplného vychladnutí. Při chladnutí nebyly použity žádné další chladicí prostředky, pouze okolní prostředí.



Obrázek 7.1: Měření teplotního pole motoru EM naprázdno bez zkratu

Výsledek měření ukazuje graf 7.1. Z měření je vidět přechodová charakteristika ohřevu, resp. ochlazení motoru. Ohřev je rychlejší než ochlazení. To je způsobeno rozdílným fyzikálním dějem. U ohřívání se uplatňuje vedení tepla a u ochlazování pouze proudění. Dlouhá doba chladnutí je nepříjemnou komplikací, protože významně prodlužuje měření. Aktivní ventilace také nijak výrazně nesníží dobu chlazení. Doba úplného vychladnutí se pohybovala mezi 4–5 h.

Z grafu 7.1 je patrné, že se teplota rozdělila podle umístění čidel v motoru. V těchto místech můžeme určit časovou konstantu přechodového děje ohřevu i ochlazení obou skupin termočlánků.

	ohřev	chlazení
skupina č. 1	$\tau_{h1} = 18 \text{ min}$	$\tau_{c1} = 90 \text{ min}$
skupina č. 2	$\tau_{h2} = 14 \text{ min}$	$\tau_{c2} = 16 \text{ min}$

Tabulka 7.1: Časové konstanty ohřevu a ochlazení základních skupin termočlánků

Jednotlivé časové konstanty reprezentují mechanické uspořádání motoru. Časové konstanty τ_{h1}, τ_{h2} ¹ jsou téměř shodné. Rozdíl tepelných kapacit, které určují časovou konstantu přechodového děje $\tau = R_{\vartheta}C_{\vartheta}$, je dán rozdílem množství železa, které je v měřených místech. To se projevuje rychlejším nárůstem teploty pro termočlánky ve skupině č. 1. V případě bezvadného stavu motoru je motor symetricky výkonově zatížen, proto se dá předpokládat, že dodaný výkon je ve všech místech konstantní. To znamená, že se teploty ustálí na různých hodnotách.

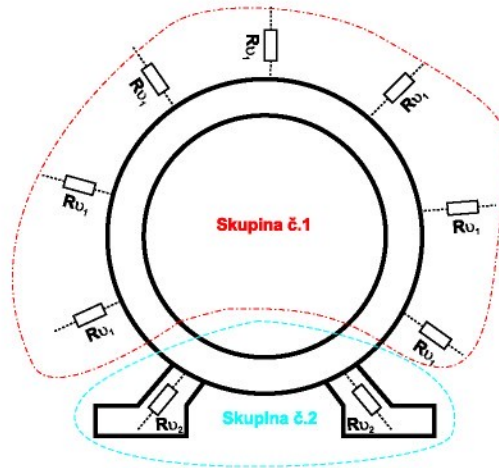
Podíváme-li se na konstanty τ_{c1}, τ_{c2} , zjistíme, že je mezi nimi podstatný rozdíl. Především je to dáno rozdílným termodynamickým dějem. U skupiny č. 2 převažuje vedení tepla do patek motoru a dále do přípravku, který jej drží. U ostatních míst motoru se uplatňuje hlavně vedení a posléze proudění v okolním prostředí. Je to dáno tím, že nejdříve teplo vstoupí do chladicího média a pak může být unášeno prouděním. Který z obou mechanismů bude dominantní, závisí na konkrétním geometrickém uspořádání chlazeného předmětu.

7.2 Rozdělení měřených míst do skupin

Čidla jsou rozdělena podle rozložení termočlánků s ohledem na konstrukci šasi motoru a s ohledem na výsledky zjištěné při identifikačním měření v odstavci 7.1. Jako vhodné se jeví rozdělit čidla teploty do dvou základních skupin. Skupina č. 1 jsou termočlánky, které jsou umístěny v motoru, kde se plášť

¹hodnoty jsou z grafu 7.1 odečteny graficky – nízká přesnost

motoru stýká pouze s okolním prostředím. Druhá skupina č. 2 zahrnuje termočlánky, které jsou umístěny v motoru, kde se plášť motoru stýká s patkami motoru.



Obrázek 7.2: Prostorové rozložení tepelných odporů náhradního obvodu vedení tepla pro EM

Pomocí patek je motor připevněn k základně přípravku. To znamená, že je v těchto místech teplo odváděno podstatně lépe než z ostatních míst motoru. Je to dáno především malým tepelným odporem. Tuto situaci schematicky znázorňuje obrázek 7.2. Tím jsme definovali základní skupiny, do kterých budou termočlánky sdružovány. V grafu 7.1 je vidět rozdíl přechodových charakteristik pro obě skupiny. Z toho vyplývá, že tepelné odpory těchto míst jsou rozdílné.

skupina č. 1	1	4	5	6	7	8	9	12
skupina č. 2	2	3	10	11	-	-	-	-
skupina č. 3 T_x	1–12	všechna čidla bez čidla T_x						

Tabulka 7.2: Rozdělení termočlánků do skupin

Poslední zvolená skupina je definovaná obecněji. Jedná se o skupinu, která slučuje průměrnou hodnotu všech teplot v motoru kromě sledovaného místa T_x . Díky takto zvolené skupině můžeme sledovat rozdíl teploty v místě zkratu vůči průměrné hodnotě teploty.

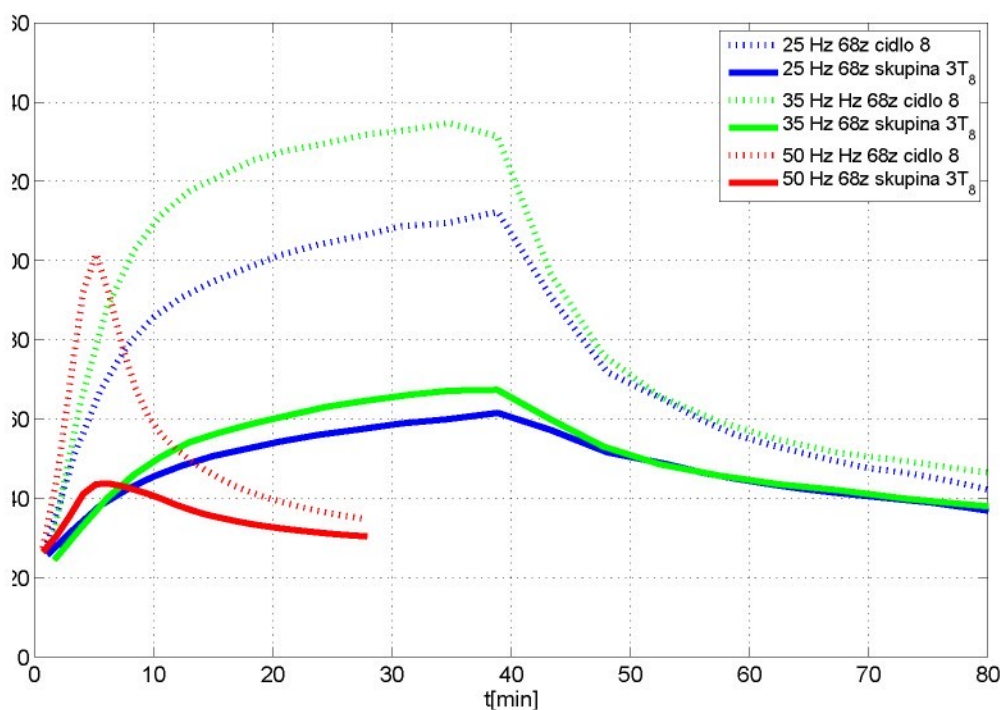
7.3 Identifikační měření – zkrat

Po měření naprázdno bez zkratu následovaly první pokusy se zapojováním různých zkratových kombinací. Cílem tohoto měření bylo zjistit možnosti

experimentálního pracoviště, zejména motoru EM.

Nejdříve byl postupně zapojen zkrat 1, 2 a 3 závitů. Pro každé zapojení byl sledován teplotní průběh v jednotlivých místech motoru. Měřením bylo zjištěno, že ztrátový výkon generovaný při tak malém počtu zkratovaných závitů je zanedbatelný. Ohřívání motoru mělo identický průběh jako u měření naprázdno bez zkratu viz. graf 7.1. Vzhledem k návrhu motoru nebylo možné zkratovat postupně větší počet závitů, např. 5, 10, 20...

Další možnou variantou u motoru EM je zkrat 68 závitů, což je jedna celá dílčí cívka statorového vinutí. Jedná se tedy o poměrně velký zkrat. Představuje zkrat cca 16 % statorového vinutí vybrané fáze. Pro zjištění tepelných poměrů bylo měření provedeno, stejně jako v předchozím případě, naprázdno pro různé vstupní frekvence.



Obrázek 7.3: Měření teplotního pole motoru EM naprázdno zkrat 68 závitů ve fázi W – frekvence napájecího napětí 25 Hz, 35 Hz, 50 Hz

Postupně byla frekvence nastavena na 25 Hz, 35 Hz a 50 Hz. Volba nižších frekvencí z počátku měření zajišťovala ochranu motoru před zničením. Z grafu 7.3 je vidět, že gradient teploty s frekvencí napájecího napětí roste. To je dáno rostoucím proudem do statorového vinutí, který je nutný k udržení konstantního magnetického toku v závislosti na frekvenci. Tento poměr je dán

rovnici 7.1.

$$\frac{U}{f} = konst. \quad (7.1)$$

Při frekvenci 35 Hz došlo ke skutečnému zničení izolace ve fázi W. Důvod není zřejmý, protože teplota v motoru na monitorovaných místech zdaleka nepřesáhla 180 °C, na kterou je dimenzována. Po zastavení motoru vycházel z větracích otvorů šedý dým, který potvrdil částečné poničení izolace².

Po tomto pokusu bylo provedeno další měření pro frekvenci 50 Hz. Gradient teploty byl ještě strmější. Proto bylo měření přerušeno v okolí teploty 100 °C, aby nedošlo k dalšímu zničení izolačních materiálů a tím rozšíření zkratu ve fázi W.

Z tohoto důvodu jsou všechna ostatní měření provedena pro 25 Hz s tím, že ve fázi W je nespecifikovaný zkrat (neznáme počet závitů). Jediné co o zkratu víme, že se nachází ve dvojité cívce a jeho rozsah je menší než 136 závitů. Tento zkrat představoval určitou nepříjemnost při dalších pokusech.

7.4 Měření teplotního pole

Po definici důležitých skupin monitorovaných míst teplotního pole motoru byly provedeny měření s uměle vytvořeným zkratem ve statorovém vinutí. Zkrat byl vytvořen zkratovací propojkou mezi jednotlivými částmi vinutí dle potřeby. Do zkratovací propojky nebyl vkládán žádný ochranný reostat, který by omezoval zkratový proud.

7.4.1 Zkrat ve fázi W

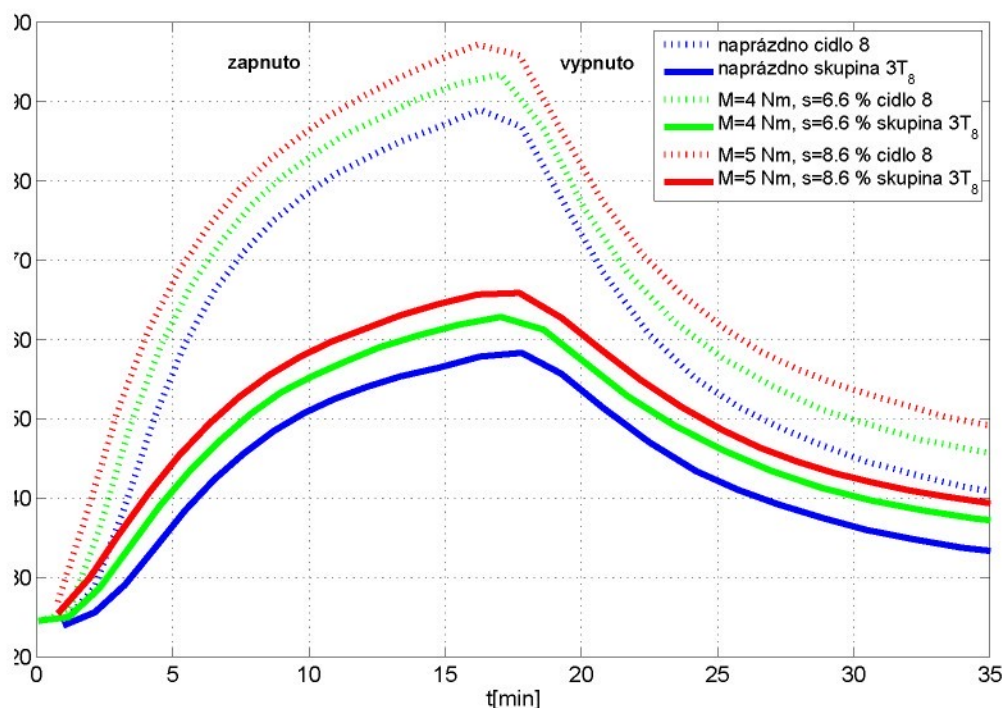
Z důvodů uvedených v odstavci 7.3 bylo provedeno měření při frekvenci napájecího napětí 25 Hz. Měření zahrnovala měření naprázdno, měření při zatížení 4 Nm a 5 Nm.

Tímto měřením bylo ověřeno, že nedojde k další destrukci izolačního systému statorového vinutí EM, pokud budeme motor zahřívat maximálně na 100 °C.

Graf 7.4 ukazuje naměřené výsledky. Při měření bylo zjištěno, že v režimu 25 Hz a zatížení 5 Nm nedojde k dalšímu poškození izolačního systému. Z výsledků je patrné, že teplota motoru jednoznačně závisí na zatížení motoru. V tomto případě bylo monitorováno místo s termočlánkem č. 8. Druhá křivka znázorňuje průměrnou hodnotu ostatních termočlánků v celém motoru.

Na první pohled je vidět, že v motoru není symetricky rozložené teplotní pole, což je způsobeno zkratem. V místě, kde zkrat není, je teplota v rámci

²Žádný experiment nelze považovat za naprostý nezdár - vždy může posloužit jako varovný příklad.



Obrázek 7.4: Měření teplotního pole motoru EM zkrat 68 závitů ve fázi W – frekvence napětí 25 Hz, naprázdno, 4 Nm, 5 Nm

provozních podmínek odpovídající provozní teplotě motoru. V místě zkratu dochází k ohřátí na vyšší teplotu. Např. pro zatížení 4 Nm dojde k ohřátí motoru za 18 min na teplotu 60 °C v místech bez zkratu. V místě zkratu je to za stejnou dobu na teplotu 93 °C. To je 155 % jmenovité teploty motoru.

V případě, že by byl motor dále provozován, teplota míst bez zkratu by se ustálila např. na 80 °C. Místo se zkratem by se zcela určitě zahřálo na teplotu, která je pro izolační materiály statorového vinutí destruktivní.

7.4.2 Zkrat ve fázi V

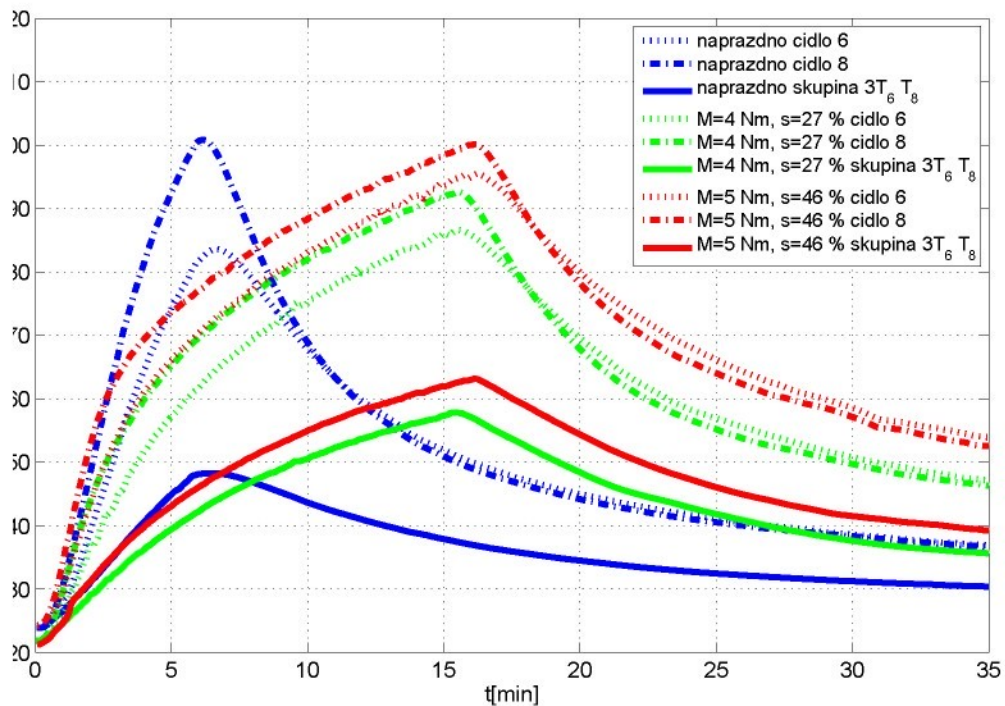
Další měření proběhlo při zkratu 68 závitů ve fázi V a blíže neurčeného zkratu ve fázi W. Opět bylo provedeno měření naprázdno a při zatížení 4 Nm a 5 Nm při napájecí frekvenci 25 Hz.

Z měření vyplynuly zajímavé výsledky, které detekují další uměle vytvořený zkrat ve fázi V. V grafu 7.5 je vidět, že teplota roste jak v místě fáze W (čidlo č. 8), tak v místě fáze V (čidlo č. 6). Teplota čidla č. 6 je asi o 5 °C nižší vůči fázi W. To napovídá tomu, že ve fázi W vznikl o málo větší zkrat než 68 závitů.

Při porovnání různých zatížení je vidět, že teplota všech míst se zatížením roste. Je zajímavé sledovat tvar křivky nárůstu teploty. Není to typická exponenciální funkce, kterou se nejčastěji tepelné jevy popisují. Po 3 min provozu

dojde k malé změně, kterou způsobuje FM.

Dost překvapivý je průběh teploty při chodu naprázdno. Teplota strmě roste, i když je motor nezatížený. To lze vysvětlit řízením FM, který při zatížení chrání sám sebe. Při chodu naprázdno se motor frekvenčnímu měniči jeví jako zátěž, kterou dokáže bez problému napájet, a proto nemění režim řízení. Na druhou stranu při zatížení dojde k podstatně většímu rozdílu proudu v jednotlivých fázích a FM na to reaguje snížením proudu dodávaného motoru. To také vysvětluje malý zlom charakteristiky při ohřevu motoru.



Obrázek 7.5: Měření teplotního pole motoru EM zkrat 68 závitů ve fázi V – frekvence napětí 25 Hz, naprázdno, 4 Nm, 5 Nm

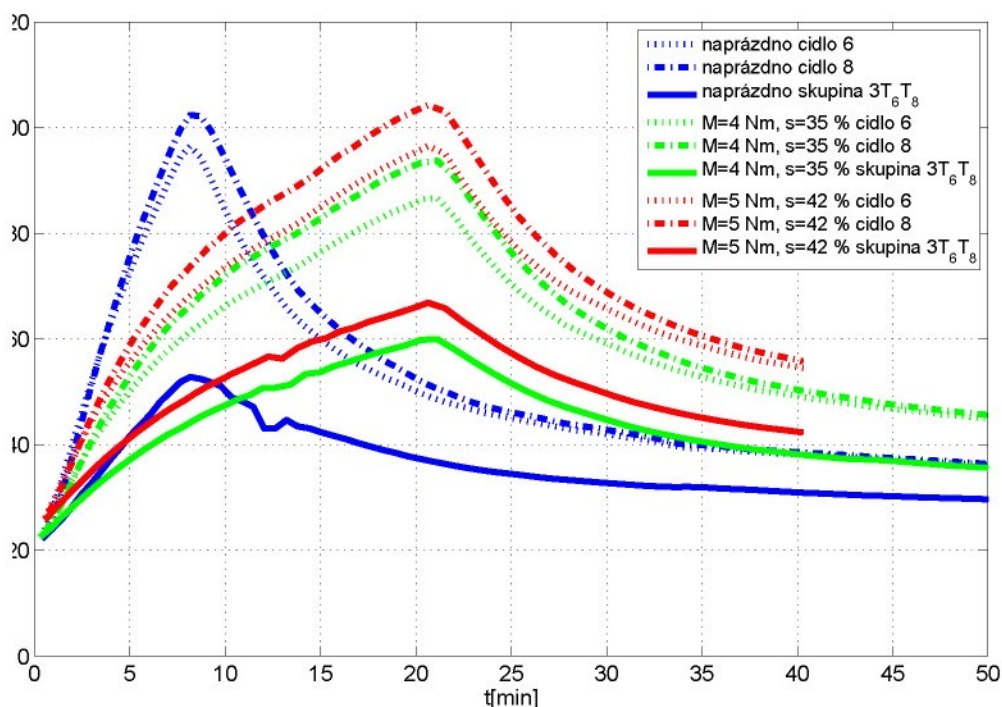
Další zajímavý poznatek, který je možné vyčíst z grafu 7.5, je rozdílné chladnutí obou míst. Porovnáme-li plán vinutí na obrázku 5.7 a tabulku 7.2 s naměřenými hodnotami, zjistíme, že místo s čidlem č. 8 je blíže k patce motoru, proto chladne rychleji. Z toho jasně vyplývá, že teplota je velice citlivým ukazatelem zkratu v jakékoliv části statorového vinutí.

7.4.3 Zkrat mezi fází V a W

Při spojení zkratovacích vývodů V_{340} a W_{340} vznikne zkrat mezi fází V a W. Tím dojde k překlenutí 136 závitů. To znamená, že vinutí obou fází nejsou připojena na střed statorového vinutí. Zkratový proud protéká zkratem

a zkratovanými závity. Teplota je monitorována pomocí termočlánků č. 6 a č. 8.

V tomto případě se s největší pravděpodobností jedná o velmi podobný zkrat jako v odstavci 7.4.2. Je to dané reálně vytvořeným zkratem ve fázi W, který nebylo možné odstranit. Nemusí se však jednat o zkrat úplně identický v případě, že vznikl na rozhraní vývodu W_{340} . Podmínky měření jsou zachovány pro možnost porovnání.



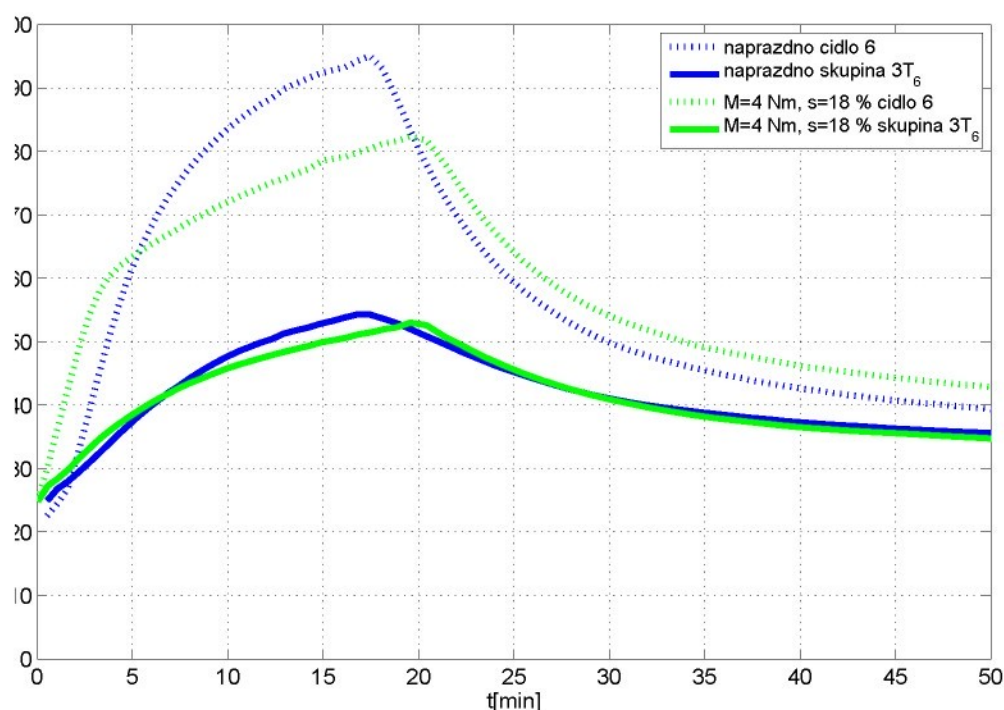
Obrázek 7.6: Měření teplotního pole motoru EM zkrat 136 závitů mezi fázemi W-V – frekvence napětí 25 Hz, naprázdno, 4 Nm, 5 Nm

Porovnáme-li grafy 7.6 a 7.5, dojdeme k závěru, že tepelné účinky jsou téměř shodné. Opět dochází k zahřátí stejných míst jako v případě zkratu ve fázi V. Chladnutí probíhá stejně a teploty jednotlivých sledovaných skupin termočlánků jsou v daných časech podobné. Z toho vyplývá, že zkrat ve fázi W je blízký 68 závitům. Jinými slovy jsme vytvořili identický zkrat jako v odstavci 7.4.2.

7.4.4 Zkrat fáze W na kostru motoru

Posledním typem bylo měření při zkratu fáze W na kostru motoru. Při tomto typu zkratu se podařilo změřit teplotní pole motoru pouze ve dvou pracovních bodech motoru, a to naprázdno a při zatížení 4 Nm. Při zatížení

5 Nm se FM odpojil od motoru, protože tuto situaci vyhodnotil jako přetížený motor. Naměřené výsledky teplotního pole jsou vyneseny v grafu 7.7, kde je vynesena teplota v místě č. 8 a průměr teploty ostatních míst v motoru.



Obrázek 7.7: Měření teplotního pole motoru EM zkrat 68 závitů fáze W na kostru motoru – frekvence napětí 25 Hz, naprázdno, 4 Nm

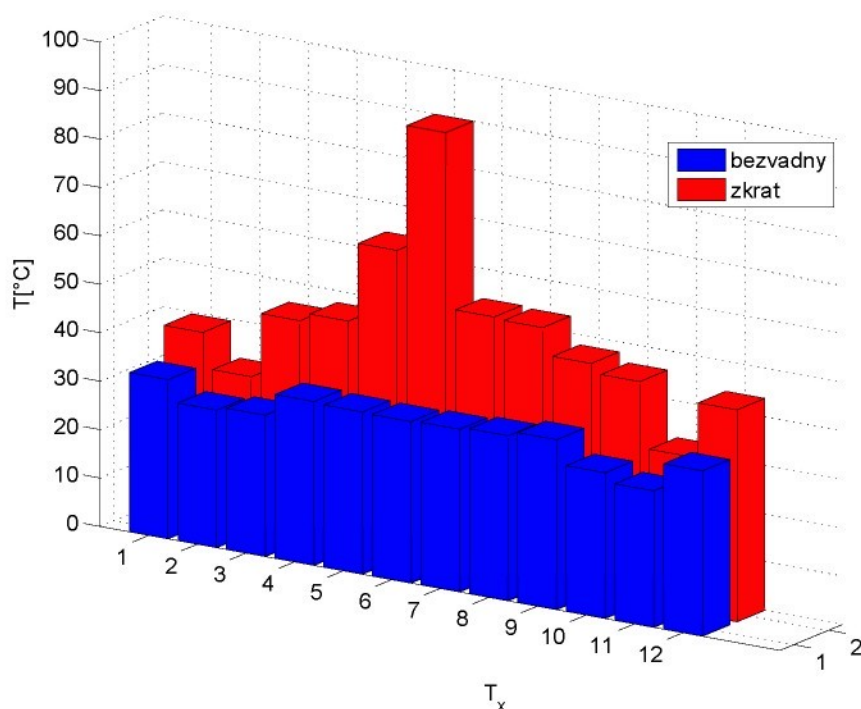
Výsledek ukazuje, že termočlánek č. 8. zaznamenal rychlý nárůst teploty oproti ostatním částem motoru, což znovu ukazuje citlivost teplotního pole motoru na vzniklý zkrat některé z fází vůči kostře motoru. Podíváme-li se podrobněji na přechodové charakteristiky obou režimů, které byly měřeny, vidíme, že při zatížení dojde po třech minutách ke zlomu. Je to způsobeno stejně jako v předchozích případech řízením a nastavením FM.

Rozhodující rozdíl obou charakteristik je právě v prvních třech minutách, kdy FM neomezuje odebíraný proud potřebný k chodu v daném režimu. Nárůst teploty je tedy výrazně větší při zatížení. Po tomto čase dojde při zatížení k omezení proudu do motoru ze strany FM a dosažená teplota roste paradoxně pomaleji než při chodu naprázdno.

7.5 Shrnutí výsledků

Naměřené výsledky ověřují, že teplota v motoru může být dobrým diagnostickým ukazatelem při zjišťování zkratu ve statorovém vinutí. Měření ukazuje, že uměle způsobené zkraty opakovaně mění rozložení teplotního pole podle své polohy na obvodu motoru.

Pokud si vyneseme teploty všech monitorovaných bodů v libovolném okamžiku některé z výše uvedených přechodových charakteristik, dostaneme teplotní rozložení po obvodu motoru. Vhodnou grafickou interpretaci představují sloupcové grafy pro dva stavy. Pro stav bez vady v motoru a pro stav se zkratem v některé z fází statorového vinutí. Porovnání ilustruje graf 7.8.



Obrázek 7.8: Teplotní pole EM v režimu bez zkratu a se zkratem ve fázi V – označení T_x představuje čísla termočlánků

První řada znázorňuje teplotní pole motoru při chodu naprázdno bez zkratu ve statorovém vinutí. Jak bylo uvedeno v odstavci 7.1, je možné identifikovat patky motoru díky menšímu tepelnému odporu a rychlejšímu odvodu tepla. Jsou to čidla č. 2, 3, 10 a 11.

Ve druhé řadě je vyneseno teplotní pole motoru při chodu naprázdno s uměle vytvořeným zkratem ve fázi V. Čidlo č. 6 zaznamenalo velký rozdíl oproti ostatním bodům v motoru. Při podrobnějším pohledu je možné vysledovat rozložení teploty směrem od zkratu na obě strany po obvodu statorového vinutí. Opět

můžeme identifikovat patky motoru. Dokonce je možné sledovat, jak teplo prochází vinutím z jedné fáze do druhé. To lze vysledovat při pohledu do plánu vinutí motoru na obrázku 5.7. Například čidlo č. 5 ukazuje vyšší teplotu než čidlo č. 7.

Na první pohled je to nelogické, protože motor je symetrický a rozložení drážek je pravidelné. Při podrobnější analýze zjistíme, že elektrické zapojení statorového vinutí není vzhledem k těmto dvěma místům v motoru symetrické. Proto je čidlo č. 5 více vystaveno tepelným účinkům zkratového proudu, který prochází fází V.

Dalším zajímavým výsledkem, který není přímo z výsledků patrný, je režim FM při zkratu. Pomocí svého systému zjišťování chyb nedokáže frekvenční měnič přímo identifikovat zkrat ve vinutí připojeného motoru. Bližší informace o poruchách použitého FM lze najít v [43]. FM pracuje normálně i při zkratu. Vše funguje a nic nenaznačuje sebemenší problém. Po určité době, při provozu na zkratovaném motoru, FM vyhodnotí pouze alarm, kterým uživatele informuje o překročení okolní teploty. Teplota okolí je však stále stejná. Po tomto alarmu FM pracuje dál jen v jiném režimu. Sníží spínací frekvenci PWM modulace a sníží proud do motoru. Při konstantním zatížení dojde ke snížení momentu na hřídeli a poklesnou otáčky celého pohonu. Takto se FM chová při poměrně rozsáhlém zkratu. Je otázkou, zda by zaznamenal zkraty menšího rozsahu, které mohou být pro statorové vinutí nebezpečné.

Při zkratu statorového vinutí na kostru motoru je do určitého zatížení FM schopen napájet motor bez jakýchkoliv známek vady. Při zvyšování zatížení postupně snižuje frekvenci PWM výstupního střídače. Po snížení na nejnižší frekvenci ještě nějakou dobu pracuje a pak se vypne s chybou překročeného jmenovitého proudu do motoru. Otázky týkající se reakce FM za provozu se zkratem při různých nastaveních jeho režimu řízení (vektorový, skalární) jsou předmětem dalšího výzkumu.

Je nutné zdůraznit, že se jednalo pouze o experimenty, které měly za úkol ověřit teoretické předpoklady, nikoliv o novou metodu, která by měla v budoucnu na základě těchto a dalších měření vzniknout. Bylo by to z technologického hlediska výroby motorů příliš složité. Proto je jen málo pravděpodobné, že by bylo možné tuto konstrukci používat v komerčně prodávaných AM. Proto je nutné dále pracovat na jiném řešení, které vychází ze znalosti výsledků těchto experimentů.

Dalším krokem k obecnější formulaci projevů teplotního pole motoru je sledování teploty na povrchu motoru. Tím by bylo možné získat metodu, která nebude nijak zasahovat do samotné konstrukce motoru. To je ve své podstatě jednou z nejdůležitějších vlastností, které jsou kladeny na diagnostické metody.

8 Výsledky analýzy a doporučení

V této kapitole jsou krátce shrnuty nejdůležitější výsledky analýzy zkratového proudu a jeho tepelného účinku na celý motor. Dále jsou uvedeny některé výsledky a možné úvahy, které přímo z uvedených kapitol nevyplývají a byly nashromážděny během řešení této práce.

Jedním z nejvýznamnějších výsledků je graf 7.8, který ukazuje teplotní pole motoru bez vady a motoru s uměle vytvořeným zkratem ve fázi V. Z grafu vyplývá, že gradient teploty směrem ke zkratu roste. Z této informace je možné určit místo a rozsah zkratu. Pro správnou identifikaci vady, musíme znát konfiguraci statorového vinutí sledovaného motoru.

Dalším zajímavým výsledkem jsou poměrně dlouhé časy nárůstu teploty na hodnotu, která je pro izolační systém nebezpečná (přehřátí). Čas, za který se motor přehřeje, se pohybuje řádově v několika minutách až desítkách minut. Díky tomu, že se teplo v motoru šíří malou rychlostí, je možné identifikovat nesymetrické teplotní pole, které ukazuje na vadu ve statorovém vinutí. Čas do přehřátí je možné do budoucna využít k identifikaci vady a k varování uživatele. Doba je závislá na pracovních podmínkách motoru. Pokud motor pracuje přerušovaně, doba pro identifikaci vady se prodlužuje. V této práci byl použit motor již zastaralé konstrukce. Nové motory jsou méně předimenzované (menší hmota statoru), proto lze u nových motorů očekávat kratší dobu do přehřátí.

Z analýzy zkratového proudu v kapitole 4 je vidět, jak je proud závislý na počtu zkratovaných závitů. Při pohledu na graf 4.10 je možné definovat některá doporučení pro výrobu motoru, který by byl „zkratu-odolný“. Jinými slovy by byl schopen po určitou dobu pracovat i se zkratem ve statorovém vinutí.

Takový motor by musel mít v ideálním případě rozděleno vinutí do nekonečně velkého množství drážek. Tím by se znemožnil vznik rozsáhlého zkratu. V praxi by to znamenalo zvětšit počet drážek a snížit počet závitů v jednom svazku statorového vinutí. Dále by bylo vhodné mezi jednotlivé svazky jedné fáze vkládat na čelech další izolační vrstvu. To by předpokládalo další prostorové nároky.

2p	zkrat mezifázový [%]	zkrat v jedné fázi [%]	n_f
2	0 – 100	0 – 50	248
4	0 – 50	0 – 50	372
6	0 – 100	0 – 33	528
8	0 – 75	0 – 25	1064

Tabulka 8.1: Maximální počet zkratovaných závitů na počtu pólů motoru

Z těchto úvah vzešlo porovnání maximálního počtu zkratovaných závitů

pro 2 až 8 pólů statorového vinutí. Pro porovnání byla použita dokumentace firmy SIEMENS ELEKTROMOTORY, spol. s r. o. Jedná se o dokumentaci sériově vyráběných motorů. Výsledky jsou uvedeny v tabulce 8.1.

Z tabulky je vidět, který motor je pro uživatele nejvhodnější z hlediska pravděpodobnosti vzniku zkratu. Tabulka 8.1 neplatí obecně. Záleží na konkrétním uspořádání a typu vinutí, které může být u každého výrobce odlišné. V případě výše zmíněného výrobce se jedná o motor se čtyřmi póly, kdy je maximální rozsah zkratu v obou případech 50 % celého statorového vinutí jedné fáze.

V této práci je proveden rozbor mechanického momentu motoru bez vady a motoru se zkratem ve statorovém vinutí. Teoretické závěry, které byly odvozeny v kapitole 4, ukazují, že se velikost momentu motoru při zkratu v rámci jedné otáčky mění. To způsobuje při konstantní zátěži změnu rychlosti otáčení celého pohonu. Tyto změny momentu na hřídeli motoru jsou příčinou vibrací. Do budoucna by stálo za úvahu, zda není možné použít monitorování rychlosti otáčení hřídele sledovaného motoru k identifikaci zkratu ve statorovém vinutí.

Protože se celá práce zabývá analýzou zkratového proudu v AM při napájení z FM, je na místě uvést některé zkušenosti a postřehy. Ochrana motoru při statorovém zkratu, která je ve většině dnešních frekvenčních měničů implementovaná, není zcela dostačující. Pokusy, které byly provedeny ukazují, že FM chrání hlavně sebe. Jedná se o proudové přetížení, přepětí, podpětí, překročená povolená teplota měniče, zemní zkrat, přerušení teplotního snímače KTY84 a jiné další. Tato chybová hlášení nepředstavují spolehlivou ochranu motoru.

Nejlepší ochranu, kterou FM nabízí, je kontrola teploty přímo ve vinutí motoru pomocí čidel KTY84 nebo termokontaktů. I tato ochrana je ke zjištěným výsledkům při měření teplotního pole nedostatečná. Při velkém gradientu teploty, který při zkratu nastává, nemusí čidlo zkrat zaznamenat a odpojit motor, protože není umístěn právě v místě zkratu. Tato ochrana je koncipován spíše na ochranu motoru proti celkovému teplotnímu přetížení.

Dalším slabším místem FM je nemožnost zjištění nesymetrie proudu, které napájí AM. V současné době FM používají pouze dvě proudová čidla. Proud ve třetí fázi vypočítají z předpokladu symetrické zátěže. Pokud vznikne zkrat, má FM špatné informace pro řízení motoru. Při zkratu FM dále napájí motor bez známek vady ve statorovém vinutí. Po určité době se většinou aktivuje varování o překročené teplotě okolí, ale FM dále pohání motor. Při vhodném nastavení tohoto alarmu v programu FM by bylo možné využít FM k dočasnému odstavení motoru. Při rozsáhlejší zkratu FM snižuje spínací frekvenci PWM.

Nakonec můžeme porovnat různé druhy řízení, které většina dnešních FM nabízí. Jedná se o skalární a vektorové řízení. Skalární řízení je velmi jedno-

duché a funguje bez zpětné vazby. V případě, že vznikne statorový zkrat, FM nezaregistruje žádnou změnu ze zpětnovazebných čidel a řídí motor stejným způsobem ($U/f=\text{konst}$).

U vektorového řízení je situace poněkud odlišná. Řízení využívá zpětnou vazbu, kterou představují v daném čase výstupní proudy a napětí FM. Pomocí těchto hodnot vypočítá další regulační zásah tak, aby byly splněny požadavky žádané hodnoty. Díky tomu, že FM dostává chybné informace ze zpětné vazby do modelu, který je vyhodnocuje, jeho regulace selhává. Jako vnější projev této situace je změna rychlosti a momentu během jedné otáčky. To způsobuje mechanické vibrace celého motoru i poháněné soustavy. Proto by bylo vhodné u FM používat měření všech tří proudů, které by tento nedostatek odstranilo.

9 Závěr

Dizertační práce vychází z konkrétních problémů technické praxe týkajících se statorových vad u malých AM napájených FM. Cílem práce bylo teoretické popsání vzniku zkratových proudů ve statorovém vinutí AM a navržení zjednodušených modelů zkratů. Reálným výsledkem je pak realizované experimentální pracoviště, které umožňuje měření tepelných účinků v různých režimech na statorovém vinutí experimentálního AM.

Podrobná analýza podstaty vzniku zkratového proudu ve statorovém vinutí a možností jeho detekce byla provedena rozsáhlou rešerší v patentových databázích, z dostupných odborných pramenů a konzultacemi s odborníky z praxe v daném oboru. Tato část práce obsahuje dosavadní stav diagnostických metod jak pro velké tak pro malé AM.

Kritická místa izolačního systému statoru AM byla vyhodnocena na základě pokusů všech částí statorového izolačního systému popsanych v kapitole 2. V závěru této kapitoly je uveden rozdíl životností jednotlivých komponentů a materiálů použitých při výrobě statorového vinutí. Z těchto výsledků byly definovány poruchové mechanismy a kritická místa izolačního systému.

Stárnutí izolačních materiálů je rozebráno v kapitole 3, kde jsou popsány modely stárnutí izolačních materiálů známé z literatury. Tato problematika je velice rozsáhlá a v dizertační práci je zmiňována pro úplnost pohledu na problematiku statorových vad AM. Vlastní výzkum a vyhodnocení je řešeno ve spolupráci s týmem na specializovaném pracovišti pro dlouhodobé zkoumání materiálů za různých provozních podmínek.

Jedním z výsledků této práce jsou dva matematické modely umožňující výpočet zkratového proudu ve statorovém vinutí AM. Modely jsou pouze výchozí a maximálně zjednodušují problematiku. Jsou však dostačující pro vyhodnocování výsledků.

Pro sestavení přesnějšího modelu bude třeba pokračovat a zohlednit reálné konstrukční uspořádání statorového vinutí a přesycení jádra v jednotlivých místech statoru. Dalším a neméně důležitým výsledkem je vybudování vlastního experimentálního pracoviště včetně speciálního experimentálního motoru. To umožnilo ověřit prakticky navržené modely a měřit tepelné účinky zkratových proudů v různých místech statorového vinutí. Součástí pracoviště je jednotka TEMP_12 a program ThermoGear pro monitorování teplotního pole, které jsou podrobně popsány v kapitole 5.

Asi nejdůležitějším zjištěním je fakt, že lokální zvýšená teplota je signifikantním ukazatelem poruchy ve statorovém vinutí AM a že nezáleží na druhu napájení a řízení vlastního motoru. Při přednášení této problematiky i na mezinárodních konferencích bylo několikrát rozporováno z řad účastníků konference, že závislost teploty nemůže být určujícím faktorem pro diagnostiku elektrických statorových vad. Provedená měření naopak potvrzují, že právě

změna teplot ve statorovém vinutí je jednoznačným ukazatelem zkratu. Získané poznatky jsou výchozím materiálem pro dopracování diagnostické metody pro malé AM napájené harmonickým napětím ze sítě a nebo z FM.

Pro další výzkum a analýzu tepelného účinku zkratového proudu ve statorovém vinutí je navržen nový motor pro další experimenty. Tento motor bude vyroben přímo u výrobce SIEMENS ELEKTROMOTORY, spol. s r. o. Díky tomu bude k dispozici kompletní dokumentace, která je nutná k hlubší analýze celého systému. Jeho konstrukce umožňuje studovat i tepelné účinky menšího počtu zkratovaných závitů ve statorovém vinutí, které jsou v praxi pravděpodobné a zároveň umožní i další měření. Nový experimentální motor konstrukčně vychází ze získaných poznatků a zkušeností autora a eliminuje nevhodný návrh odboček u původního EM.

Poměrně jednoznačné závěry teplotní závislosti statorových vad tohoto výzkumu dávají velkou šanci dovést metodu sledování teplotního pole k využití v průmyslové praxi. Následující výzkum až k praktickému využití si do budoucna vyžádá mnoho dalších výpočtů, měření a experimentů.

Literatura

Technická diagnostika

- [1] BILOŠ, Jan. *Diagnostika asynchronních el.-motorů - výzkumná zpráva*. Ostrava: Moravskoslezské teplárny a.s. 1996. 21 s.
- [2] ČERNÝ, Václav. Detekce poruch rotorových tyčí: Metoda pro detekci poruch rotorových tyčí klecových asynchronních motorů. *ELEKTRO: Inovace, technologie, projekty*. Listopad 2001, č. 11, s. 26 – 27. ISSN 1210-0889.
- [3] JAKSCH, Ivan at al. *Diagnostics for Electrical Machines*. Liberec: Ediční středisko TUL. 2003. 124 p. ISBN 80-214-2540-7.
- [4] RANGAARAJAN, M. at al. A survey of methods for detection of stator related faults in induction machines. *Symposium on Diagnostics for Electric Machines, Power Electronics and Drives*. Viena, Austria. 2005. p. 35 – 46. ISBN 0-7803-9123-X.
- [5] SCHNIEDER, Jiří. *Využití obálkové metody při analýze spekter napájecího proudu AS. EL. motorů*. Ostrava: Moravskoslezské teplárny a.s. s.339 - 343. ISBN nenalezeno.
- [6] SOKANSKÝ, Karel - CHMELÍK, Karel. *Projevy mechanických závad v proudových spektrech asynchronních motorů*. Ostrava: Vysoká škola báňská - Technická univerzita. Fakulta elektrotechniky. Katedra elektroenergetiky. s. 84 – 88. ISBN nenalezeno.
- [7] SOKANSKÝ, Karel - NOVÁK, Tomáš. *Diagnostika závad v proudových spektrech pomocí analyzátoru microlog*. Ostrava: Vysoká škola báňská - Technická univerzita. Fakulta elektrotechniky. Katedra elektroenergetiky. s. 348 – 355. ISBN nenalezeno.
- [8] STONE, G.C. - WARREN, V. *Effect of manufacturer, winding age and insulation type on stator winding partial discharge levels - DIEA Future article*. Toronto: Iris power Engineering. 2004. Vol.20, No. 5. p. 13 – 17. ISBN nenalezeno.
- [9] TRNKA, Pavel. *Dizertační práce: Interakce izolantů s pulzním namáháním*. Plzeň: Západočeská univerzita v Plzni. Fakulta elektrotechnická. Katedra Elektrotechnologie. 2005. 87 s., 68 s. příloh. Vedoucí dizertační práce Prof. Ing. Václav Mentlík, CSc.

- [10] PEROUTKA, Zdeněk. *Dizertační práce: Přechodná přepětí ve střídavých regulovaných pohonech a jejich vliv na izolaci motoru*. Plzeň: Západočeská univerzita v Plzni. Fakulta elektrotechnická. Katedra Elektroniky. 2004. 109 s., 1 s. příloh. Vedoucí dizertační práce Doc. Ing. Václav Kůs, CSc.
- [11] ZÁLIŠ, Karel. *Částečné výboje v izolačních systémech elektrických strojů*. Praha: ACADEMIA. 2005. 131 s. ISBN 80-200-1358-X.
- [12] MORRISON, Radim. *Diplomová práce: Vytvoření katalogu vad elektromotorů SIEMENS*. Brno: Vysoké učení technické v Brně. Fakulta strojního inženýrství. Ústav metrologie a zkušebnictví. 2004. 109 s., 1 s. příloh. Vedoucí diplomové práce Ing. Petr Koška, Ph.D.
- [13] UTSUMI, T. – Yamaguchi, I. Detection and Location of Inter-Turn Short Circuit in Linear Induction Motor. In *3th IEEE Symposium on Diagnostics for Electric Machines, Power Electronics and Drives*. Atlanta, GA, USA, 2003. p.63–68. ISBN 0-7803-7838-5/03.
- [14] LEBEY, T. – CASTELAN, P., – KANDEV, N. at al. Testing o low-voltage motor turn insulation intended for pulse-width modulated applications. In *IEEE Transactions on dielectrics and electrical insulation*. 2000. p. 783–789. Vol. 7 No.6. ISBN. 1070-9878.
- [15] [online]. cit[2005-04-02]. *Typical Causes of Winding Failures in Three-Phase Stator Windings* URL: <<http://www.easa.com/indus/stators.html>>

Izolační materiály

- [16] HAMPL, J aj. *Materiály pro elektrotechniku*. Praha: Vydavatelství ČVUT. Fakulta elektrotechnická. 1996. Kapitola 6. Dielektrika a izolanty. s. 94-119. ISBN 80-01-01544-0.
- [17] ARTBAUER, J.- ŠEDOVIČ, J.- ADAMEC A. *Izolanty a izolácie*. 1. vyd. ALFA 1969. ISBN – vzhledem k roku vydání neuvedeno.
- [18] J.F.Chavez, J.J. Martinez Vega. *The High Electric Field Behavior in PET*. 2004 IEEE International Conference on solid Dielectric. Vol.1., page 47-50.. ISBN: 0-7803-8348-6, 2004.
- [19] Militký J., Kovačič V., Znojilová M. and Aneja A. P. *Thermal and mechanical analysis of modified PET fibers* [online]. 1999, <http://centrum.vslib.cz/sekceB/zprava/prilohy2/2-15.pdf>.

- [20] MUŠÁK, Libor. *Ročníkový projekt: Měření izolačního odporu drážkové izolace*. Liberec: Technická univerzita v Liberci. Fakulta mechatroniky a mezipodborových inženýrských studií. Katedra Elektroniky. 2006. 35 s., 15 s. příloh. Vedoucí ročníkového projektu Ing. Beran Leoš.
- [21] [online]. cit[2004-04-05]. *Tepelné stárnutí organických izolantů*, URL: <http://147.229.68.79/uete/predmety/SKLM/Star_izo.pdf>
- [22] [online]. cit[2004-06-05]. *Ageing of polymeric insulating materials and insulation system design*, URL: <<http://www3.interscience.wiley.com/cgi-bin/fulltext/101019717/PDFSTART>> <http://www.easa.com/indus/stators.html>

Matematika

- [23] KVASNICA, Josef. *Matematický aparát fyziky*. 2. opravené. vyd. Praha: Academia nakladatelství Akademie věd České republiky. 1997. 383 s. ISBN 80-200-0603-6.
- [24] REKTORYS, Karel. a spol. *Přehled užití matematiky*. 6. přepr. vyd. Praha: Prometheus, 1995. 906 s. ISBN 80-85849-72-0.

Programování

- [25] MATOUŠEK, David. *Práce s mikrokontroléry ATMEL AT89C2051: 1.díl*. 2. vydání. Praha: BEN - technická literatura, 1998. 263 s. ISBN 80-7300-094-6.
- [26] SKALICKÝ, Petr. *Mikroprocesory řady 8051*. 2. rozšířené vydání. Praha: BEN - technická literatura, 1998. 159 s. ISBN 80-86056-39-2.

Ostatní

- [27] BOLDIŠ, Petr. *Bibliografické citace dokumentu podle ČSN ISO 690 a ČSN ISO 690-2: Část 2 Modely a příklady citací u jednotlivých typů dokumentů*. Verze 3.0 (2004). c 19992004, poslední aktualizace 11. 11. 2004. URL: <http://www.boldis.cz/citace/citace2.pdf>.
- [28] CIGÁNEK, Ladislav. *Stavba elektrických strojů*. Vydání I. Praha: Státní nakladatelství technické literatury, 1958. 716 s. Kapitola 51., Vinutí trojfázového satoru, s. 217-228. ISBN neuvedeno.

- [29] ČAJKA, Josef - KVASIL, Josef. *Teorie lineárních obvodů: Analýza lineárních a linearizovaných obvodů*. Vydání první. Praha: SNTL – Nakladatelství technické literatury, 1979. 355 s. ISBN neuvedeno. DT621.372(075).
- [30] FETTER, František. *Asynchronní motory*. Vydání první. Praha: Státní nakladatelství technické literatury, 1966. 84 s. Typ.číslo L25-B1-IV-33/5758-III. ISBN neuvedeno.
- [31] FUKA, Josef - HAVELKA, Bedřich. *Elektřina a magnetismus*. 3. upravené vydání. Praha: Státní pedagogické nakladatelství, 1964. 656 s. 14-702-79. Kapitola 8. Magnetické pole v látce, s.351–375. ISBN neuvedeno.
- [32] HAŇKA, L. *Teorie elektromagnetického pole*. Vydání první. Praha: Nakladatelství technické literatury, 1975. 578 s. 04-519-75. Kapitola E11. Bilance energie při harmonickém průběhu, s.332–335. ISBN neuvedeno.
- [33] NOVÁK, Miroslav. *Dizertační práce: Přejchodový děj při zapnutí transformátoru - způsoby omezování zapínacího proudu*. Liberec: Technická univerzita v Liberci. Fakulta mechatroniky a mezipoborových inženýrských studií. Katedra elektrotechniky a elektromechanických systémů. 2003. 158 s., 95 s. příloh. Vedoucí dizertační práce Doc. Ing. Aleš Richter, CSc.
- [34] PATOČKA, Miroslav. *Vybrané stati z výkonové elektroniky – Svazek II: Pulsní měniče bez vf. impulsního transformátoru*. Vydání první. Brno: Ústav el. pohonů a výkonové elektroniky FEI VUT , 1997. Kapitola 6.3. Řízení střídačů – sinusová PWM. s. 138-145. ISBN 80-214-0883-9.
- [35] PATOČKA, Miroslav. Několik poznámek k transformátoru. V *SYMEP 2006 Mezinárodní sympozium učitelů elektrických pohonů*. Plzeň: , 2004.
- [36] PRACHAŘ, Jan. *Teplotní technika a hydromechanika II: Aplikovaná nauka o teple. Základy nauky o šíření tepla. Výměníky, kotle, ústřední vytápění*. 1/1. Praha: Státní pedagogické nakladatelství, 1968. 162 s. ISBN neuvedeno.
- [37] RICHTER, Aleš - KONEČNÁ, Eva - RYDLO, Pavel. *Harmonické zkreslení napájecí sítě, jeho definice, měření a praxe*. 1. vydání. Liberec: Katedra elektrotechniky a elektromechanických systémů, 2000.
- [38] RYBIČKA, Jiří. *L^AT_EX pro začátečníky*. 2 vydání. Brno: Konvoj spol. s r.o., 1999. 191p. ISBN 80-85615-74-6.
- [39] VOŽENÍLEK, Petr - NOVOTNÝ, Vladimír - MINDL, Pavel. *Elektromechanické měniče*. Vydání první. Praha: Vydavatelství ČVUT. 2005. 219 s. Kapitola 3. Autotransformátory. s. 60-63. ISBN 80-01-03137-3.

Seznam vlastních publikovaných prací

- [40] BERAN, Leoš – VÁCLAVÍK, Jan. Diagnostic of induction motors. In *Sborník konference ECMS 2003*. Liberec: Technical University of Liberec. Fakulta Mechatroniky a mezipředmětových inženýrských studií, 2003. 5 p. ISBN 80-7083-708-X.
- [41] BERAN, Leoš. Návrh motoru pro experimentální diagnostiku. In *EPVE 2003 ELEKTRICKÉ POHONY A VÝKONOVÁ ELEKTRONIKA*. Brno: Vysoké učení technické v Brně. Fakulta elektrotechniky a komunikačních technologií, 2003. 4 p. ISBN 80-214-2497-4.
- [42] BERAN, Leoš – MARTINEZ, Juan – RICHTER, Aleš. Behaviour PET Polymers in Dependence its Ageing due to High Voltage. In *ECMS 2005 Electronics, Control, Modelling, Measurement and Signals - de l'Ecole Doctorale SYSTEMES*. Toulouse: UNIVERSITE PAUL SABATIER, 2005. 5p. Sborník na CD.
- [43] BERAN, Leoš – DIBLÍK, Martin - PŘÍVRATSKÝ, Petr. Analýza možností diagnostiky motorů napájených z frekvenčních měničů SIEMENS. V *K⁷ vědecko populární časopis Fakulty mechatroniky TU v Liberci*. Liberec: Technická univerzita v Liberci. Fakulta mechatroniky a mezipředmětových inženýrských studií. 2005. 6 p. ISSN 1214 - 7370.
- [44] BERAN, Leoš – DIBLÍK, Martin. Calculation of short out current of stator winding in induction motor. In *ISEM 2006, XIV. International Symposium on Electric Machinery*. Prague: Czech Technical University in Prague. Faculty of electrical engineering. 2006. 7p. ISBN: 80-01-03548-4.
- [45] BERAN, Leoš. Modernizace měřicího pracoviště pro měření asynchronního motoru. V *EPVE 2006, Elektrické pohony a výkonová elektronika – Sborník příspěvků z celostátní konference*. Brno: Vysoké učení technické v Brně. Fakulta elektrotechniky a komunikačních technologií. 2006. 3s. ISBN: 80-214-3286-1.
- [46] BERAN, Leoš. *Výzkum a vývoj mechatronických systémů pro spřádací stroje: APLIKACE LINEÁRNÍHO POHONU* [Výzkumná zpráva]. Liberec: Technická univerzita v Liberci. Fakulta mechatroniky a mezipředmětových inženýrských studií. Katedra elektrotechniky. 2006. 42–45 s. ISRN TUL-KEL-TZ/PZ-06/05/CZ. Projekt č. FT-TA3/017.

Přílohy

A1 Návrh EM 2. generace

Vzhledem k nedostatkům prvního návrhu EM, bylo nutné navrhnout nový motor pro experimentální diagnostiku. Nový motor umožní lepší verifikaci modelu. Bude možné provádět přesné výpočty, které souvisí s materiálovými konstantami a rozměrovými částmi motoru. Tento motor bude využíván hlavně v dalším výzkumu autora. V této práci jsou zahrnuty výsledky z pokusů na motoru podle návrhu na obrázku 5.7.

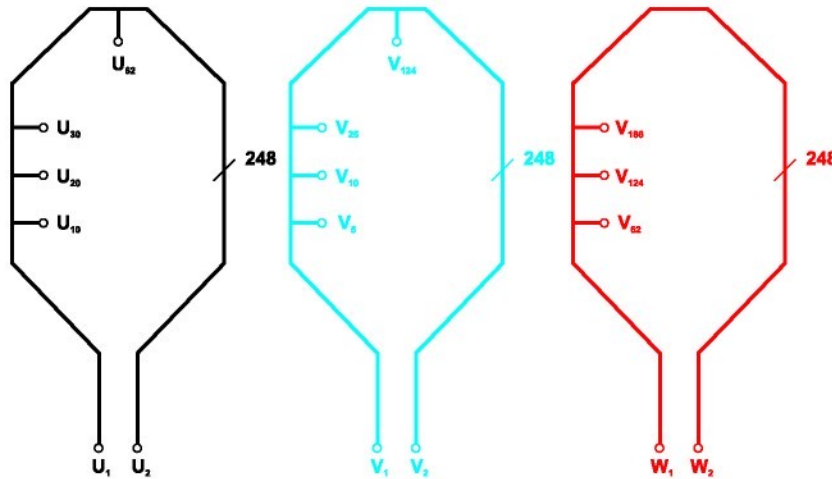
Stejně jako v předchozím návrhu je nutné provést základní výpočty uložení vinutí.

$$y = \frac{Q}{2p} = \frac{24}{2} = 12; \quad q = \frac{Q}{2p \cdot m} = \frac{24}{2 \cdot 3} = 4; \quad r = \frac{Q}{p \cdot m} = \frac{24}{1 \cdot 3} = 8 \quad (\text{A1.1})$$

Vypočtené hodnoty určují uložení vinutí v drážkách statoru. Plán zapojení vinutí je na obrázku A1.2.

$$2p = 2, Q_s = 24, q = 4, m = 3, a = 1, y = 1-11, r = 8$$

Na obrázku A1.1 je plán odboček pro vytváření umělých zkratů. Zkratovací vývody byly zvoleny s ohledem na zkušenosti, které byly získány pomocí experimentů s původním EM. Hlavní důraz je kladen na možnost simulace reálného zkratu a na rozšíření možností verifikace modelů.



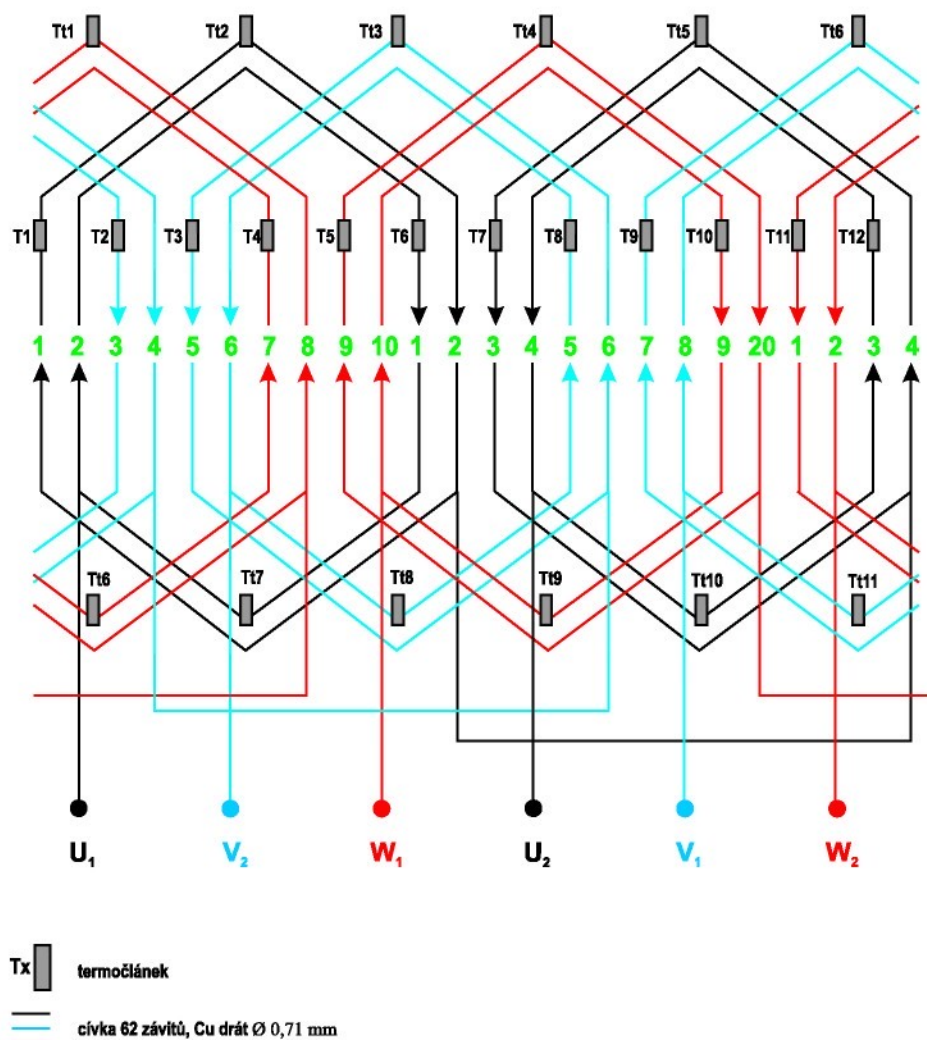
Obrázek A1.1: Plán odboček ve fázích statoru EM 2. generace

Pro snadné navinutí takového vinutí, bylo nutné vybrat motor, který má předimenzovaný statorový svazek plechů. To znamená, že plnění drážky je

49 %. Díky takto nízkému plnění drážky je možné do vinutí vkládat čidla teploty a vyrobit navržené odbočky. Motor bude navinutý ručně v prototypové dílně podle speciálního technologického postupu.

Technická data motoru

Typ:	AM dvoupólový 1LA7-7AA-7BA
Jmenovité otáčky:	2940 ot/min
Jmenovitý výkon:	1,5 kW
Jmenovité napětí:	400 V / 230 V Y/D



Obrázek A1.2: Plán vinutí EM 2. generace

Pro motor EM 2. generace je možné sestavit tabulky možných zkratů, které mohou v tomto motoru vzniknout.

Δz	$p_z = \frac{n_z}{n} \cdot 100$
1 – 124	50 %
125 – 248	50 %
maximální počet zkratovaných závitů $n_{zmax} = 124$ závitů	

Tabulka A1.1: Tabulka možných zkratů v 1 fázi pro EM 2.generace

Δz fáze U	Δz fáze V	Δz_{UV}	$p_z = \frac{n_z}{n} \cdot 100$
1 – 124	125 – 248	372	75 %
1 – 124	1 – 124	496	100 %
125 – 248	1 – 124	124	25 %
125 – 248	125 – 248	248	50 %
maximální počet zkratovaných závitů $n_{zmax} = 496$ závitů			

Tabulka A1.2: Tabulka možných zkratů mezi fázemi pro EM 2. generace



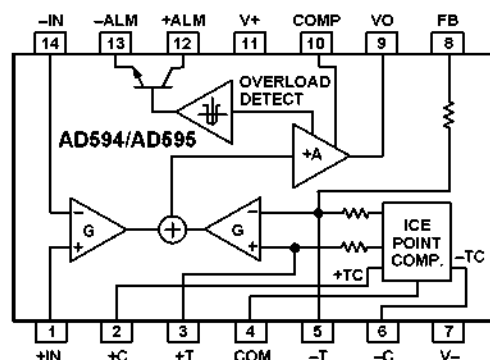
Monolithic Thermocouple Amplifiers with Cold Junction Compensation

AD594/AD595

FEATURES

Pretrimmed for Type J (AD594) or
Type K (AD595) Thermocouples
Can Be Used with Type T Thermocouple Inputs
Low Impedance Voltage Output: 10 mV/°C
Built-In Ice Point Compensation
Wide Power Supply Range: +5 V to ±15 V
Low Power: <1 mW typical
Thermocouple Failure Alarm
Laser Wafer Trimmed to 1°C Calibration Accuracy
Setpoint Mode Operation
Self-Contained Celsius Thermometer Operation
High Impedance Differential Input
Side-Brazed DIP or Low Cost Cerdip

FUNCTIONAL BLOCK DIAGRAM



PRODUCT DESCRIPTION

The AD594/AD595 is a complete instrumentation amplifier and thermocouple cold junction compensator on a monolithic chip. It combines an ice point reference with a precalibrated amplifier to produce a high level (10 mV/°C) output directly from a thermocouple signal. Pin-strapping options allow it to be used as a linear amplifier-compensator or as a switched output setpoint controller using either fixed or remote setpoint control. It can be used to amplify its compensation voltage directly, thereby converting it to a stand-alone Celsius transducer with a low impedance voltage output.

The AD594/AD595 includes a thermocouple failure alarm that indicates if one or both thermocouple leads become open. The alarm output has a flexible format which includes TTL drive capability.

The AD594/AD595 can be powered from a single ended supply (including +5 V) and by including a negative supply, temperatures below 0°C can be measured. To minimize self-heating, an unloaded AD594/AD595 will typically operate with a total supply current 160 µA, but is also capable of delivering in excess of ±5 mA to a load.

The AD594 is precalibrated by laser wafer trimming to match the characteristic of type J (iron-constantan) thermocouples and the AD595 is laser trimmed for type K (chromel-alumel) inputs. The temperature transducer voltages and gain control resistors

are available at the package pins so that the circuit can be recalibrated for the thermocouple types by the addition of two or three resistors. These terminals also allow more precise calibration for both thermocouple and thermometer applications.

The AD594/AD595 is available in two performance grades. The C and the A versions have calibration accuracies of ±1°C and ±3°C, respectively. Both are designed to be used from 0°C to +50°C, and are available in 14-pin, hermetically sealed, side-brazed ceramic DIPs as well as low cost cerdip packages.

PRODUCT HIGHLIGHTS

1. The AD594/AD595 provides cold junction compensation, amplification, and an output buffer in a single IC package.
2. Compensation, zero, and scale factor are all precalibrated by laser wafer trimming (LWT) of each IC chip.
3. Flexible pinout provides for operation as a setpoint controller or a stand-alone temperature transducer calibrated in degrees Celsius.
4. Operation at remote application sites is facilitated by low quiescent current and a wide supply voltage range +5 V to dual supplies spanning 30 V.
5. Differential input rejects common-mode noise voltage on the thermocouple leads.

REV. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781/329-4700 World Wide Web Site: <http://www.analog.com>
Fax: 781/326-8703 © Analog Devices, Inc., 1999

AD594/AD595—SPECIFICATIONS (@ +25°C and $V_S = 5\text{ V}$, Type J (AD594), Type K (AD595) Thermocouple, unless otherwise noted)

Model	AD594A			AD594C			AD595A			AD595C			Units
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
ABSOLUTE MAXIMUM RATING													
+V _S to -V _S			36			36			36			36	Volts
Common-Mode Input Voltage	-V _S - 0.15		+V _S	-V _S - 0.15		+V _S	-V _S - 0.15		+V _S	-V _S - 0.15		+V _S	Volts
Differential Input Voltage	-V _S		+V _S	-V _S		+V _S	-V _S		+V _S	-V _S		+V _S	Volts
Alarm Voltages													
+ALM	-V _S		-V _S + 36	-V _S		-V _S + 36	-V _S		-V _S + 36	-V _S		-V _S + 36	Volts
-ALM	-V _S		+V _S	-V _S		+V _S	-V _S		+V _S	-V _S		+V _S	Volts
Operating Temperature Range	-55		+125	-55		+125	-55		+125	-55		+125	°C
Output Short Circuit to Common	Indefinite			Indefinite			Indefinite			Indefinite			
TEMPERATURE MEASUREMENT													
(Specified Temperature Range 0°C to +50°C)													
Calibration Error at +25°C ¹			±3			±1			±3			±1	°C
Stability vs. Temperature ²			±0.05			±0.025			±0.05			±0.025	°C/°C
Gain Error			±1.5			±0.75			±1.5			±0.75	%
Nominal Transfer Function			10			10			10			10	mV/°C
AMPLIFIER CHARACTERISTICS													
Closed Loop Gain ³		193.4			193.4			247.3			247.3		
Input Offset Voltage		(Temperature in °C) × 51.70 μV/°C			(Temperature in °C) × 51.70 μV/°C			(Temperature in °C) × 40.44 μV/°C			(Temperature in °C) × 40.44 μV/°C		
Input Bias Current		0.1			0.1			0.1			0.1		μA
Differential Input Range	-10		+50	-10		+50	-10		+50	-10		+50	mV
Common-Mode Range	-V _S - 0.15		-V _S - 4	-V _S - 0.15		-V _S - 4	-V _S - 0.15		-V _S - 4	-V _S - 0.15		-V _S - 4	Volts
Common-Mode Sensitivity - RTO		10			10			10			10		mV/V
Power Supply Sensitivity - RTO		10			10			10			10		mV/V
Output Voltage Range													
Dual Supply	-V _S + 2.5		+V _S - 2	-V _S + 2.5		+V _S - 2	-V _S + 2.5		+V _S - 2	-V _S + 2.5		+V _S - 2	Volts
Single Supply	0		+V _S - 2	0		-V _S - 2	0		+V _S + 2	0		+V _S - 2	Volts
Usable Output Current ⁴		±5			±5			±5			±5		mA
3 dB Bandwidth		15			15			15			15		kHz
ALARM CHARACTERISTICS													
V _{CE(SAT)} at 2 mA		0.3			0.3			0.3			0.3		Volts
Leakage Current			±1			±1			±1			±1	μA max
Operating Voltage at - ALM			+V _S - 4			+V _S - 4			+V _S - 4			+V _S - 4	Volts
Short Circuit Current		20			20			20			20		mA
POWER REQUIREMENTS													
Specified Performance		+V _S = 5, -V _S = 0			+V _S = 5, -V _S = 0			+V _S = 5, -V _S = 0			+V _S = 5, -V _S = 0		Volts
Operating ⁵		+V _S to -V _S ≤ 30			+V _S to -V _S ≤ 30			+V _S to -V _S ≤ 30			+V _S to -V _S ≤ 30		Volts
Quiescent Current (No Load)													
+V _S		160	300		160	300		160	300		160	300	μA
-V _S		100			100			100			100		μA
PACKAGE OPTION													
TO-116 (D-14)		AD594AD			AD594CD			AD595AD			AD595CD		
Cerdip (Q-14)		AD594AQ			AD594CQ			AD595AQ			AD595CQ		

NOTES

¹Calibrated for minimum error at +25°C using a thermocouple sensitivity of 51.7 $\mu\text{V}/^\circ\text{C}$. Since a J type thermocouple deviates from this straight line approximation, the AD594 will normally read 3.1 mV when the measuring junction is at 0°C. The AD595 will similarly read 2.7 mV at 0°C.

²Defined as the slope of the line connecting the AD594/AD595 errors measured at 0°C and 50°C ambient temperature.

³Pin 8 shorted to Pin 9.

⁴Current Sink Capability in single supply configuration is limited to current drawn to ground through a 50 k Ω resistor at output voltages below 2.5 V.

⁵ $-V_S$ must not exceed -16.5 V.

Specifications shown in **boldface** are tested on all production units at final electrical test. Results from those tests are used to calculate outgoing quality levels. All min and max specifications are guaranteed, although only those shown in **boldface** are tested on all production units.

Specifications subject to change without notice.

INTERPRETING AD594/AD595 OUTPUT VOLTAGES

To achieve a temperature proportional output of 10 mV/°C and accurately compensate for the reference junction over the rated operating range of the circuit, the AD594/AD595 is gain trimmed to match the transfer characteristic of J and K type thermocouples at 25°C. For a type J output in this temperature range the TC is 51.70 $\mu\text{V}/^\circ\text{C}$, while for a type K it is 40.44 $\mu\text{V}/^\circ\text{C}$. The resulting gain for the AD594 is 193.4 (10 mV/°C divided by 51.7 $\mu\text{V}/^\circ\text{C}$) and for the AD595 is 247.3 (10 mV/°C divided by 40.44 $\mu\text{V}/^\circ\text{C}$). In addition, an absolute accuracy trim induces an input offset to the output amplifier characteristic of 16 μV for the AD594 and 11 μV for the AD595. This offset arises because the AD594/AD595 is trimmed for a 250 mV output while applying a 25°C thermocouple input.

Because a thermocouple output voltage is nonlinear with respect to temperature, and the AD594/AD595 linearly amplifies the

compensated signal, the following transfer functions should be used to determine the actual output voltages:

$$AD594 \text{ output} = (\text{Type J Voltage} + 16 \mu\text{V}) \times 193.4$$

$$AD595 \text{ output} = (\text{Type K Voltage} + 11 \mu\text{V}) \times 247.3 \text{ or conversely:}$$

$$\text{Type J voltage} = (AD594 \text{ output}/193.4) - 16 \mu\text{V}$$

$$\text{Type K voltage} = (AD595 \text{ output}/247.3) - 11 \mu\text{V}$$

Table I lists the ideal AD594/AD595 output voltages as a function of Celsius temperature for type J and K ANSI standard thermocouples, with the package and reference junction at 25°C. As is normally the case, these outputs are subject to calibration, gain and temperature sensitivity errors. Output values for intermediate temperatures can be interpolated, or calculated using the output equations and ANSI thermocouple voltage tables referred to zero degrees Celsius. Due to a slight variation in alloy content between ANSI type J and DIN FE-CUNI

Table I. Output Voltage vs. Thermocouple Temperature (Ambient +25°C, $V_S = -5\text{ V}, +15\text{ V}$)

Thermocouple Temperature °C	Type J Voltage mV	AD594 Output mV	Type K Voltage mV	AD595 Output mV
-200	-7.890	-1523	-5.891	-1454
-180	-7.402	-1428	-5.550	-1370
-160	-6.821	-1316	-5.141	-1269
-140	-6.159	-1188	-4.669	-1152
-120	-5.426	-1046	-4.138	-1021
-100	-4.632	-893	-3.553	-876
-80	-3.785	-729	-2.920	-719
-60	-2.892	-556	-2.243	-552
-40	-1.960	-376	-1.527	-375
-20	-.995	-189	-.777	-189
-10	-.501	-94	-.392	-94
0	0	3.1	0	2.7
10	.507	101	.397	101
20	1.019	200	.798	200
25	1.277	250	1.000	250
30	1.536	300	1.203	300
40	2.058	401	1.611	401
50	2.585	503	2.022	503
60	3.115	606	2.436	605
80	4.186	813	3.266	810
100	5.268	1022	4.095	1015
120	6.359	1233	4.919	1219
140	7.457	1445	5.733	1420
160	8.560	1659	6.539	1620
180	9.667	1873	7.338	1817
200	10.777	2087	8.137	2015
220	11.887	2302	8.938	2213
240	12.998	2517	9.745	2413
260	14.108	2732	10.560	2614
280	15.217	2946	11.381	2817
300	16.325	3160	12.207	3022
320	17.432	3374	13.039	3227
340	18.537	3588	13.874	3434
360	19.640	3801	14.712	3641
380	20.743	4015	15.552	3849
400	21.846	4228	16.395	4057
420	22.949	4441	17.241	4266
440	24.054	4655	18.088	4476
460	25.161	4869	18.938	4686
480	26.272	5084	19.788	4896

Thermocouple Temperature °C	Type J Voltage mV	AD594 Output mV	Type K Voltage mV	AD595 Output mV
500	27.388	5300	20.640	5107
520	28.511	5517	21.493	5318
540	29.642	5736	22.346	5529
560	30.782	5956	23.198	5740
580	31.933	6179	24.050	5950
600	33.096	6404	24.902	6161
620	34.273	6632	25.751	6371
640	35.464	6862	26.599	6581
660	36.671	7095	27.445	6790
680	37.893	7332	28.288	6998
700	39.130	7571	29.128	7206
720	40.382	7813	29.965	7413
740	41.647	8058	30.799	7619
750	42.283	8181	31.214	7722
760	-	-	31.629	7825
780	-	-	32.455	8029
800	-	-	33.277	8232
820	-	-	34.095	8434
840	-	-	34.909	8636
860	-	-	35.718	8836
880	-	-	36.524	9035
900	-	-	37.325	9233
920	-	-	38.122	9430
940	-	-	38.915	9626
960	-	-	39.703	9821
980	-	-	40.488	10015
1000	-	-	41.269	10209
1020	-	-	42.045	10400
1040	-	-	42.817	10591
1060	-	-	43.585	10781
1080	-	-	44.359	10970
1100	-	-	45.108	11158
1120	-	-	45.863	11345
1140	-	-	46.612	11530
1160	-	-	47.356	11714
1180	-	-	48.095	11897
1200	-	-	48.828	12078
1220	-	-	49.555	12258
1240	-	-	50.276	12436
1250	-	-	50.633	12524

thermocouples Table I should not be used in conjunction with European standard thermocouples. Instead the transfer function given previously and a DIN thermocouple table should be used. ANSI type K and DIN NiCr-Ni thermocouples are composed

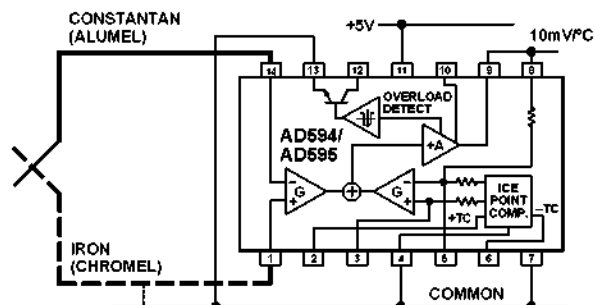


Figure 1. Basic Connection, Single Supply Operation

of identical alloys and exhibit similar behavior. The upper temperature limits in Table I are those recommended for type J and type K thermocouples by the majority of vendors.

SINGLE AND DUAL SUPPLY CONNECTIONS

The AD594/AD595 is a completely self-contained thermocouple conditioner. Using a single +5 V supply the interconnections shown in Figure 1 will provide a direct output from a type J thermocouple (AD594) or type K thermocouple (AD595) measuring from 0°C to +300°C.

Any convenient supply voltage from +5 V to +30 V may be used, with self-heating errors being minimized at lower supply levels. In the single supply configuration the +5 V supply connects to Pin 11 with the V- connection at Pin 7 strapped to power and signal common at Pin 4. The thermocouple wire inputs connect to Pins 1 and 14 either directly from the measuring point or through intervening connections of similar thermocouple wire type. When the alarm output at Pin 13 is not used it should be connected to common or -V. The precalibrated feedback network at Pin 8 is tied to the output at Pin 9 to provide a 10 mV/°C nominal temperature transfer characteristic.

By using a wider ranging dual supply, as shown in Figure 2, the AD594/AD595 can be interfaced to thermocouples measuring both negative and extended positive temperatures.

AD594/AD595

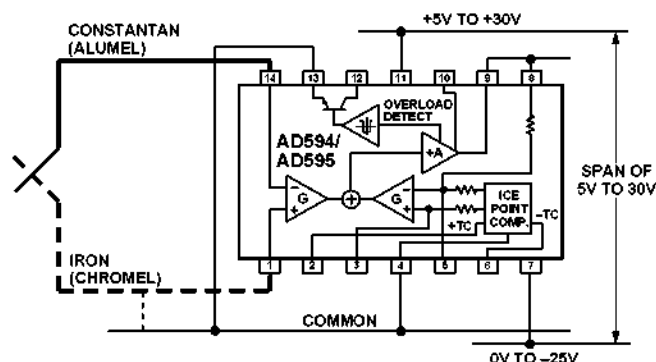


Figure 2. Dual Supply Operation

With a negative supply the output can indicate negative temperatures and drive grounded loads or loads returned to positive voltages. Increasing the positive supply from 5 V to 15 V extends the output voltage range well beyond the 750°C temperature limit recommended for type J thermocouples (AD594) and the 1250°C for type K thermocouples (AD595).

Common-mode voltages on the thermocouple inputs must remain within the common-mode range of the AD594/AD595, with a return path provided for the bias currents. If the thermocouple is not remotely grounded, then the dotted line connections in Figures 1 and 2 are recommended. A resistor may be needed in this connection to assure that common-mode voltages induced in the thermocouple loop are not converted to normal mode.

THERMOCOUPLE CONNECTIONS

The isothermal terminating connections of a pair of thermocouple wires forms an effective reference junction. This junction must be kept at the same temperature as the AD594/AD595 for the internal cold junction compensation to be effective.

A method that provides for thermal equilibrium is the printed circuit board connection layout illustrated in Figure 3.

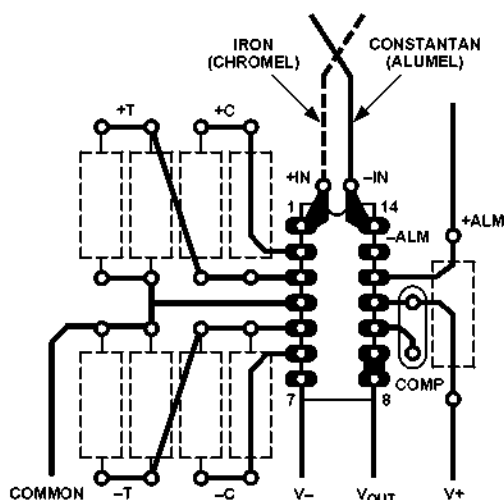


Figure 3. PCB Connections

Here the AD594/AD595 package temperature and circuit board are thermally contacted in the copper printed circuit board tracks under Pins 1 and 14. The reference junction is now composed of a copper-constantan (or copper-alumel) connection and copper-iron (or copper-chromel) connection, both of which are at the same temperature as the AD594/AD595.

The printed circuit board layout shown also provides for placement of optional alarm load resistors, recalibration resistors and a compensation capacitor to limit bandwidth.

To ensure secure bonding the thermocouple wire should be cleaned to remove oxidation prior to soldering. Noncorrosive rosin flux is effective with iron, constantan, chromel and alumel and the following solders: 95% tin-5% antimony, 95% tin-5% silver or 90% tin-10% lead.

FUNCTIONAL DESCRIPTION

The AD594 behaves like two differential amplifiers. The outputs are summed and used to control a high gain amplifier, as shown in Figure 4.

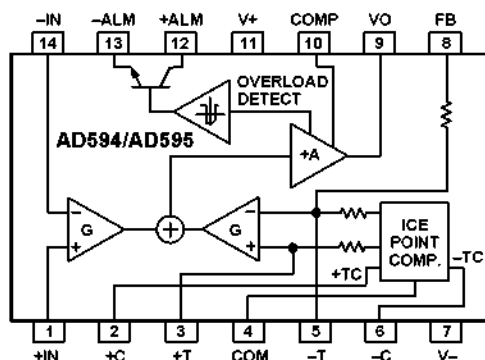


Figure 4. AD594/AD595 Block Diagram

In normal operation the main amplifier output, at Pin 9, is connected to the feedback network, at Pin 8. Thermocouple signals applied to the floating input stage, at Pins 1 and 14, are amplified by gain G of the differential amplifier and are then further amplified by gain A in the main amplifier. The output of the main amplifier is fed back to a second differential stage in an inverting connection. The feedback signal is amplified by this stage and is also applied to the main amplifier input through a summing circuit. Because of the inversion, the amplifier causes the feedback to be driven to reduce this difference signal to a small value. The two differential amplifiers are made to match and have identical gains, G. As a result, the feedback signal that must be applied to the right-hand differential amplifier will precisely match the thermocouple input signal when the difference signal has been reduced to zero. The feedback network is trimmed so that the effective gain to the output, at Pins 8 and 9, results in a voltage of 10 mV/°C of thermocouple excitation.

In addition to the feedback signal, a cold junction compensation voltage is applied to the right-hand differential amplifier. The compensation is a differential voltage proportional to the Celsius temperature of the AD594/AD595. This signal disturbs the differential input so that the amplifier output must adjust to restore the input to equal the applied thermocouple voltage.

The compensation is applied through the gain scaling resistors so that its effect on the main output is also 10 mV/°C. As a result, the compensation voltage adds to the effect of the thermocouple voltage a signal directly proportional to the difference between 0°C and the AD594/AD595 temperature. If the thermocouple reference junction is maintained at the AD594/AD595 temperature, the output of the AD594/AD595 will correspond to the reading that would have been obtained from amplification of a signal from a thermocouple referenced to an ice bath.

The AD594/AD595 also includes an input open circuit detector that switches on an alarm transistor. This transistor is actually a current-limited output buffer, but can be used up to the limit as a switch transistor for either pull-up or pull-down operation of external alarms.

The ice point compensation network has voltages available with positive and negative temperature coefficients. These voltages may be used with external resistors to modify the ice point compensation and recalibrate the AD594/AD595 as described in the next column.

The feedback resistor is separately pinned out so that its value can be padded with a series resistor, or replaced with an external resistor between Pins 5 and 9. External availability of the feedback resistor allows gain to be adjusted, and also permits the AD594/AD595 to operate in a switching mode for setpoint operation.

CAUTIONS:

The temperature compensation terminals (+C and -C) at Pins 2 and 6 are provided to supply small calibration currents only. The AD594/AD595 may be permanently damaged if they are grounded or connected to a low impedance.

The AD594/AD595 is internally frequency compensated for feedback ratios (corresponding to normal signal gain) of 75 or more. If a lower gain is desired, additional frequency compensation should be added in the form of a 300 pF capacitor from Pin 10 to the output at Pin 9. As shown in Figure 5 an additional 0.01 μ F capacitor between Pins 10 and 11 is recommended.

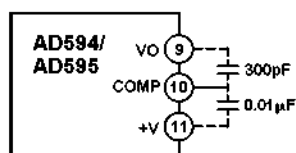


Figure 5. Low Gain Frequency Compensation

RECALIBRATION PRINCIPLES AND LIMITATIONS

The ice point compensation network of the AD594/AD595 produces a differential signal which is zero at 0°C and corresponds to the output of an ice referenced thermocouple at the temperature of the chip. The positive TC output of the circuit is proportional to Kelvin temperature and appears as a voltage at +T. It is possible to decrease this signal by loading it with a resistor from +T to COM, or increase it with a pull-up resistor from +T to the larger positive TC voltage at +C. Note that adjustments to +T should be made by measuring the voltage which tracks it at -T. To avoid destabilizing the feedback amplifier the measuring instrument should be isolated by a few thousand ohms in series with the lead connected to -T.

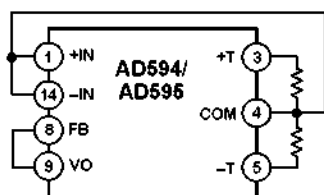


Figure 6. Decreased Sensitivity Adjustment

Changing the positive TC half of the differential output of the compensation scheme shifts the zero point away from 0°C. The zero can be restored by adjusting the current flow into the negative input of the feedback amplifier, the -T pin. A current into

this terminal can be produced with a resistor between -C and -T to balance an increase in +T, or a resistor from -T to COM to offset a decrease in +T.

If the compensation is adjusted substantially to accommodate a different thermocouple type, its effect on the final output voltage will increase or decrease in proportion. To restore the nominal output to 10 mV/°C the gain may be adjusted to match the new compensation and thermocouple input characteristics. When reducing the compensation the resistance between -T and COM automatically increases the gain to within 0.5% of the correct value. If a smaller gain is required, however, the nominal 47 k Ω internal feedback resistor can be paralleled or replaced with an external resistor.

Fine calibration adjustments will require temperature response measurements of individual devices to assure accuracy. Major reconfigurations for other thermocouple types can be achieved without seriously compromising initial calibration accuracy, so long as the procedure is done at a fixed temperature using the factory calibration as a reference. It should be noted that intermediate recalibration conditions may require the use of a negative supply.

EXAMPLE: TYPE E RECALIBRATION—AD594/AD595

Both the AD594 and AD595 can be configured to condition the output of a type E (chromel-constantan) thermocouple. Temperature characteristics of type E thermocouples differ less from type J, than from type K, therefore the AD594 is preferred for recalibration.

While maintaining the device at a constant temperature follow the recalibration steps given here. First, measure the device temperature by tying both inputs to common (or a selected common-mode potential) and connecting FB to VO. The AD594 is now in the stand alone Celsius thermometer mode. For this example assume the ambient is 24°C and the initial output VO is 240 mV. Check the output at VO to verify that it corresponds to the temperature of the device.

Next, measure the voltage -T at Pin 5 with a high impedance DVM (capacitance should be isolated by a few thousand ohms of resistance at the measured terminals). At 24°C the -T voltage will be about 8.3 mV. To adjust the compensation of an AD594 to a type E thermocouple a resistor, R1, should be connected between +T and +C, Pins 2 and 3, to raise the voltage at -T by the ratio of thermocouple sensitivities. The ratio for converting a type J device to a type E characteristic is:

$$r(\text{AD594}) = (60.9 \mu\text{V}/^\circ\text{C}) / (51.7 \mu\text{V}/^\circ\text{C}) = 1.18$$

Thus, multiply the initial voltage measured at -T by r and experimentally determine the R1 value required to raise -T to that level. For the example the new -T voltage should be about 9.8 mV. The resistance value should be approximately 1.8 k Ω .

The zero differential point must now be shifted back to 0°C. This is accomplished by multiplying the original output voltage VO by r and adjusting the measured output voltage to this value by experimentally adding a resistor, R2, between -C and -T, Pins 5 and 6. The target output value in this case should be about 283 mV. The resistance value of R2 should be approximately 240 k Ω .

Finally, the gain must be recalibrated such that the output VO indicates the device's temperature once again. Do this by adding a third resistor, R3, between FB and -T, Pins 8 and 5. VO should now be back to the initial 240 mV reading. The resistance value

AD594/AD595

of R3 should be approximately 280 k Ω . The final connection diagram is shown in Figure 7. An approximate verification of the effectiveness of recalibration is to measure the differential gain to the output. For type E it should be 164.2.

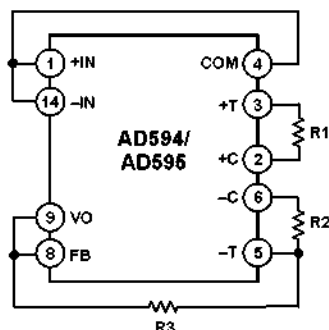


Figure 7. Type E Recalibration

When implementing a similar recalibration procedure for the AD595 the values for R1, R2, R3 and r will be approximately 650 Ω , 84 k Ω , 93 k Ω and 1.51, respectively. Power consumption will increase by about 50% when using the AD595 with type E inputs.

Note that during this procedure it is crucial to maintain the AD594/AD595 at a stable temperature because it is used as the temperature reference. Contact with fingers or any tools not at ambient temperature will quickly produce errors. Radiational heating from a change in lighting or approach of a soldering iron must also be guarded against.

USING TYPE T THERMOCOUPLES WITH THE AD595

Because of the similarity of thermal EMFs in the 0°C to +50°C range between type K and type T thermocouples, the AD595 can be directly used with both types of inputs. Within this ambient temperature range the AD595 should exhibit no more than an additional 0.2°C output calibration error when used with type T inputs. The error arises because the ice point compensator is trimmed to type K characteristics at 25°C. To calculate the AD595 output values over the recommended -200°C to +350°C range for type T thermocouples, simply use the ANSI thermocouple voltages referred to 0°C and the output equation given on page 2 for the AD595. Because of the relatively large nonlinearities associated with type T thermocouples the output will deviate widely from the nominal 10 mV/°C. However, cold junction compensation over the rated 0°C to +50°C ambient will remain accurate.

STABILITY OVER TEMPERATURE

Each AD594/AD595 is tested for error over temperature with the measuring thermocouple at 0°C. The combined effects of cold junction compensation error, amplifier offset drift and gain error determine the stability of the AD594/AD595 output over the rated ambient temperature range. Figure 8 shows an AD594/AD595 drift error envelope. The slope of this figure has units of °C/°C.

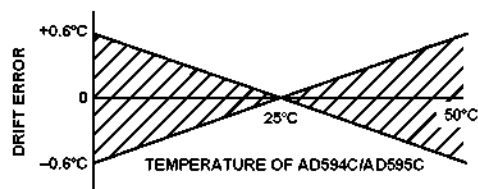


Figure 8. Drift Error vs. Temperature

THERMAL ENVIRONMENT EFFECTS

The inherent low power dissipation of the AD594/AD595 and the low thermal resistance of the package make self-heating errors almost negligible. For example, in still air the chip to ambient thermal resistance is about 80°C/watt (for the D package). At the nominal dissipation of 800 μ W the self-heating in free air is less than 0.065°C. Submerged in fluorinert liquid (unstirred) the thermal resistance is about 40°C/watt, resulting in a self-heating error of about 0.032°C.

SETPOINT CONTROLLER

The AD594/AD595 can readily be connected as a setpoint controller as shown in Figure 9.

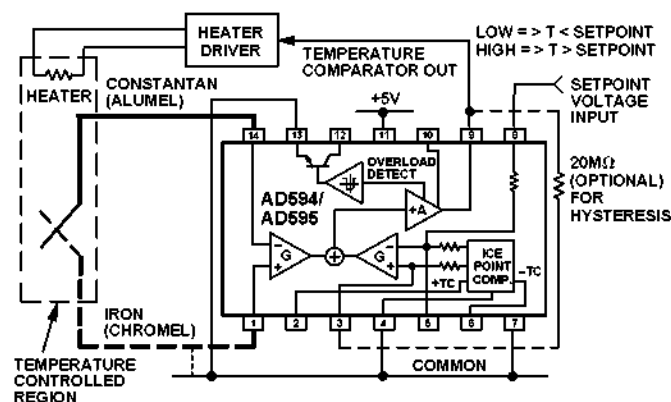


Figure 9. Setpoint Controller

The thermocouple is used to sense the unknown temperature and provide a thermal EMF to the input of the AD594/AD595. The signal is cold junction compensated, amplified to 10 mV/°C and compared to an external setpoint voltage applied by the user to the feedback at Pin 8. Table I lists the correspondence between setpoint voltage and temperature, accounting for the nonlinearity of the measurement thermocouple. If the setpoint temperature range is within the operating range (-55°C to +125°C) of the AD594/AD595, the chip can be used as the transducer for the circuit by shorting the inputs together and utilizing the nominal calibration of 10 mV/°C. This is the centigrade thermometer configuration as shown in Figure 13.

In operation if the setpoint voltage is above the voltage corresponding to the temperature being measured the output swings low to approximately zero volts. Conversely, when the temperature rises above the setpoint voltage the output switches to the positive limit of about 4 volts with a +5 V supply. Figure 9 shows the setpoint comparator configuration complete with a heater element driver circuit being controlled by the AD594/AD595 toggled output. Hysteresis can be introduced by injecting a current into the positive input of the feedback amplifier when the output is toggled high. With an AD594 about 200 nA into the +T terminal provides 1°C of hysteresis. When using a single 5 V supply with an AD594, a 20 M Ω resistor from VO to +T will supply the 200 nA of current when the output is forced high (about 4 V). To widen the hysteresis band decrease the resistance connected from VO to +T.

ALARM CIRCUIT

In all applications of the AD594/AD595 the $-ALM$ connection, Pin 13, should be constrained so that it is not more positive than $(V+) - 4\text{ V}$. This can be most easily achieved by connecting Pin 13 to either common at Pin 4 or $V-$ at Pin 7. For most applications that use the alarm signal, Pin 13 will be grounded and the signal will be taken from $+ALM$ on Pin 12. A typical application is shown in Figure 10.

In this configuration the alarm transistor will be off in normal operation and the $20\text{ k}\Omega$ pull up will cause the $+ALM$ output on Pin 12 to go high. If one or both of the thermocouple leads are interrupted, the $+ALM$ pin will be driven low. As shown in Figure 10 this signal is compatible with the input of a TTL gate which can be used as a buffer and/or inverter.

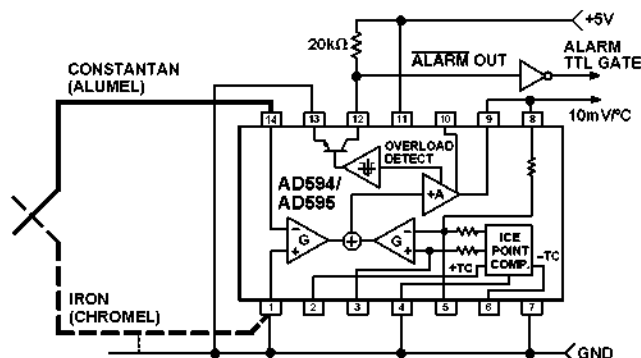


Figure 10. Using the Alarm to Drive a TTL Gate ("Grounded" Emitter Configuration)

Since the alarm is a high level output it may be used to directly drive an LED or other indicator as shown in Figure 11.

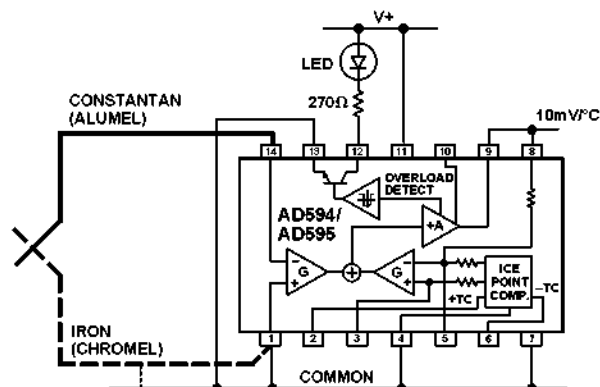


Figure 11. Alarm Directly Drives LED

A $270\ \Omega$ series resistor will limit current in the LED to 10 mA , but may be omitted since the alarm output transistor is current limited at about 20 mA . The transistor, however, will operate in a high dissipation mode and the temperature of the circuit will rise well above ambient. Note that the cold junction compensation will be affected whenever the alarm circuit is activated. The time required for the chip to return to ambient temperature will depend on the power dissipation of the alarm circuit, the nature of the thermal path to the environment and the alarm duration.

The alarm can be used with both single and dual supplies. It can be operated above or below ground. The collector and emitter of the output transistor can be used in any normal switch configuration. As an example a negative referenced load can be driven from $-ALM$ as shown in Figure 12.

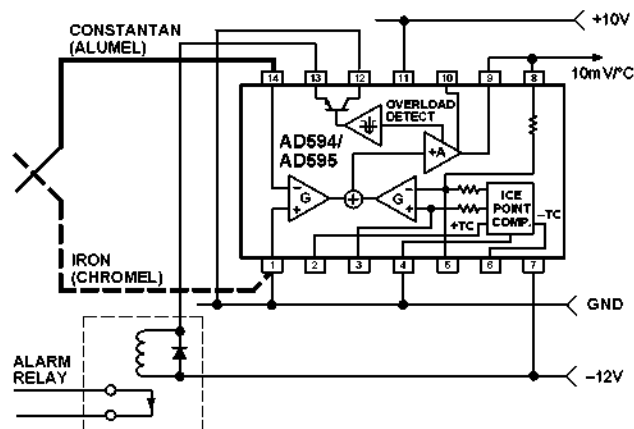


Figure 12. $-ALM$ Driving A Negative Referenced Load

The collector ($+ALM$) should not be allowed to become more positive than $(V-) + 36\text{ V}$, however, it may be permitted to be more positive than $V+$. The emitter voltage ($-ALM$) should be constrained so that it does not become more positive than 4 volts below the $V+$ applied to the circuit.

Additionally, the AD594/AD595 can be configured to produce an extreme upscale or downscale output in applications where an extra signal line for an alarm is inappropriate. By tying either of the thermocouple inputs to common most runaway control conditions can be automatically avoided. A $+IN$ to common connection creates a downscale output if the thermocouple opens, while connecting $-IN$ to common provides an upscale output.

CELSIUS THERMOMETER

The AD594/AD595 may be configured as a stand-alone Celsius thermometer as shown in Figure 13.

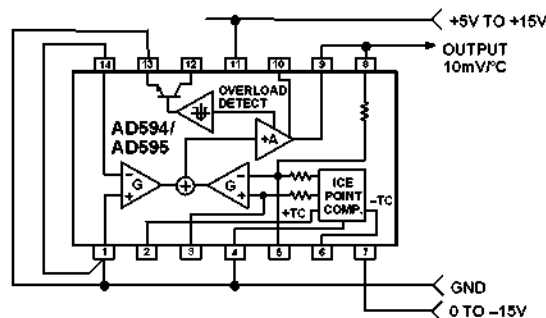


Figure 13. AD594/AD595 as a Stand-Alone Celsius Thermometer

Simply omit the thermocouple and connect the inputs (Pins 1 and 14) to common. The output now will reflect the compensation voltage and hence will indicate the AD594/AD595 temperature with a scale factor of $10\text{ mV}/^\circ\text{C}$. In this three terminal, voltage output, temperature sensing mode, the AD594/AD595 will operate over the full military -55°C to $+125^\circ\text{C}$ temperature range.

AD594/AD595

THERMOCOUPLE BASICS

Thermocouples are economical and rugged; they have reasonably good long-term stability. Because of their small size, they respond quickly and are good choices where fast response is important. They function over temperature ranges from cryogenics to jet-engine exhaust and have reasonable linearity and accuracy.

Because the number of free electrons in a piece of metal depends on both temperature and composition of the metal, two pieces of dissimilar metal in isothermal and contact will exhibit a potential difference that is a repeatable function of temperature, as shown in Figure 14. The resulting voltage depends on the temperatures, T_1 and T_2 , in a repeatable way.

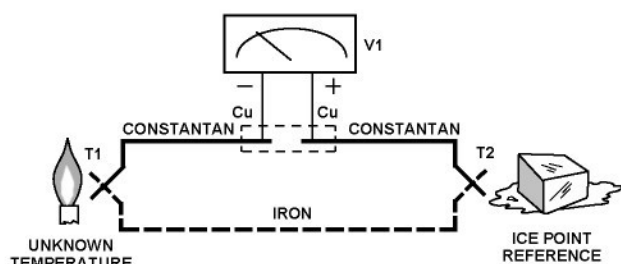


Figure 14. Thermocouple Voltage with 0°C Reference

Since the thermocouple is basically a differential rather than absolute measuring device, a known reference temperature is required for one of the junctions if the temperature of the other is to be inferred from the output voltage. Thermocouples made of specially selected materials have been exhaustively characterized in terms of voltage versus temperature compared to primary temperature standards. Most notably the water-ice point of 0°C is used for tables of standard thermocouple performance.

An alternative measurement technique, illustrated in Figure 15, is used in most practical applications where accuracy requirements do not warrant maintenance of primary standards. The reference junction temperature is allowed to change with the environment of the measurement system, but it is carefully measured by some type of absolute thermometer. A measurement of the thermocouple voltage combined with a knowledge of the reference temperature can be used to calculate the measurement junction temperature. Usual practice, however, is to use a convenient thermoelectric method to measure the reference temperature

and to arrange its output voltage so that it corresponds to a thermocouple referred to 0°C. This voltage is simply added to the thermocouple voltage and the sum then corresponds to the standard voltage tabulated for an ice-point referenced thermocouple.

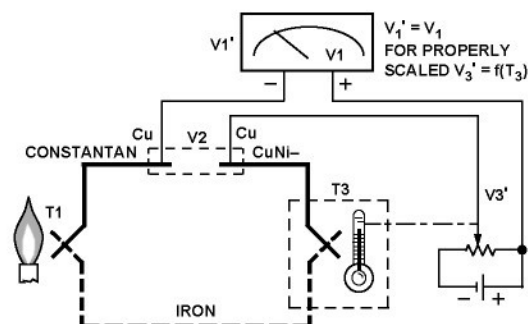


Figure 15. Substitution of Measured Reference Temperature for Ice Point Reference

The temperature sensitivity of silicon integrated circuit transistors is quite predictable and repeatable. This sensitivity is exploited in the AD594/AD595 to produce a temperature related voltage to compensate the reference of "cold" junction of a thermocouple as shown in Figure 16.

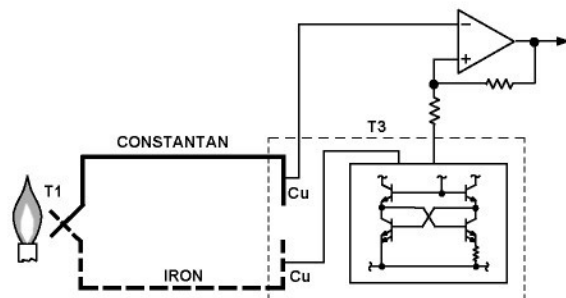


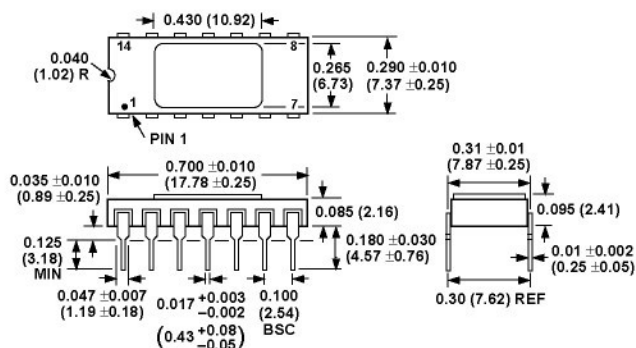
Figure 16. Connecting Isothermal Junctions

Since the compensation is at the reference junction temperature, it is often convenient to form the reference "junction" by connecting directly to the circuit wiring. So long as these connections and the compensation are at the same temperature no error will result.

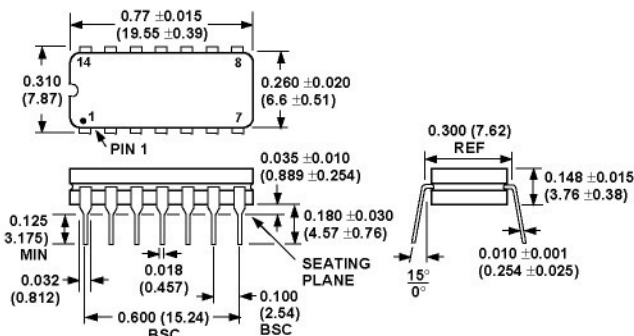
OUTLINE DIMENSIONS

Dimensions shown in inches and (mm).

TO-116 (D) Package



Cerdip (Q) Package

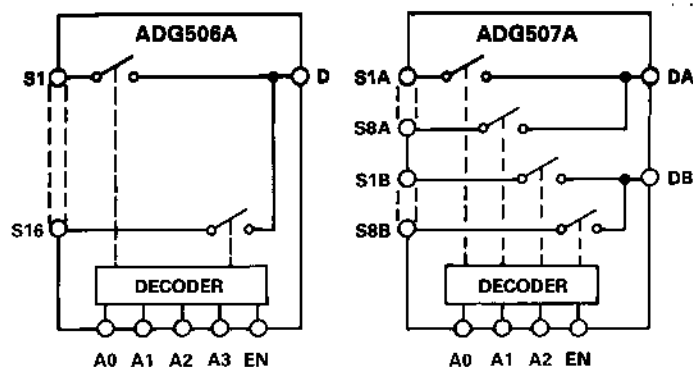


ADG506A/ADG507A

FEATURES

44 V Supply Maximum Rating
 V_{SS} to V_{DD} Analog Signal Range
Single/Dual Supply Specifications
Wide Supply Ranges (10.8 V to 16.5 V)
Extended Plastic Temperature Range
 (–40°C to +85°C)
Low Power Dissipation (28 mW max)
Low Leakage (20 pA typ)
Available in 28-Lead DIP, SOIC, PLCC, TSSOP and LCCC Packages
Superior Alternative to:
DG506A, HI-506
DG507A, HI-507

FUNCTIONAL BLOCK DIAGRAM



GENERAL DESCRIPTION

The ADG506A and ADG507A are CMOS monolithic analog multiplexers with 16 channels and dual 8 channels, respectively. The ADG506A switches one of 16 inputs to a common output, depending on the state of four binary addresses and an enable input. The ADG507A switches one of eight differential inputs to a common differential output, depending on the state of three binary addresses and an enable input. Both devices have TTL and 5 V CMOS logic compatible digital inputs.

The ADG506A and ADG507A are designed on an enhanced LC²MOS process, which gives an increased signal capability of V_{SS} to V_{DD} and enables operation over a wide range of supply voltages. The devices can operate comfortably anywhere in the 10.8 V to 16.5 V single or dual supply range. These multiplexers also feature high switching speeds and low R_{ON} .

PRODUCT HIGHLIGHTS

- Single/Dual Supply Specifications with a Wide Tolerance**
The devices are specified in the 10.8 V to 16.5 V range for both single and dual supplies.
- Extended Signal Range**
The enhanced LC²MOS processing results in a high break-down and an increased analog signal range of V_{SS} to V_{DD} .
- Break-Before-Make Switching**
Switches are guaranteed break-before-make so input signals are protected against momentary shorting.
- Low Leakage**
Leakage currents in the range of 20 pA make these multiplexers suitable for high precision circuits.

ORDERING GUIDE

Model ¹	Temperature Range	Package Option ²
ADG506AKN	–40°C to +85°C	N-28
ADG506AKR	–40°C to +85°C	R-28
ADG506AKP	–40°C to +85°C	P-28A
ADG506ABQ	–40°C to +85°C	Q-28
ADG506ATQ	–55°C to +125°C	Q-28
ADG506ATE	–55°C to +125°C	E-28A
ADG507AKN	–40°C to +85°C	N-28
ADG507AKR	–40°C to +85°C	R-28
ADG507AKP	–40°C to +85°C	P-28A
ADG507AKRU	–40°C to +85°C	RU-28
ADG507ABQ	–40°C to +85°C	Q-28
ADG507ATQ	–55°C to +125°C	Q-28
ADG507ATE	–55°C to +125°C	E-28A

NOTES

¹To order MIL-STD-883, Class B processed parts, add /883B to part number. See Analog Devices' *Military/Aerospace Reference Manual* (1994) for military data sheet.

²E = Leadless Ceramic Chip Carrier (LCCC); N = Plastic DIP; P = Plastic Leaded Chip Carrier (PLCC); Q = Cerdip; R = 0.3" Small Outline IC (SOIC); RU = Thin Shrink Small Outline Package (TSSOP).

REV. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

ADG506A/ADG507A—SPECIFICATIONS

Dual Supply ($V_{DD} = +10.8 \text{ V}$ to $+16.5 \text{ V}$, $V_{SS} = -10.8 \text{ V}$ to -16.5 V unless otherwise noted)

	ADG506A ADG507A K Version -40°C to		ADG506A ADG507A B Version -40°C to		ADG506A ADG507A T Version -55°C to			
Parameter	+25°C	+85°C	+25°C	+85°C	+25°C	+125°C	Units	Comments
ANALOG SWITCH								
Analog Signal Range	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V min	
	V _{DD}	V _{DD}	V _{DD}	V _{DD}	V _{DD}	V _{DD}	V max	
R _{ON}	280		280		280		Ω typ	-10 V ≤ V _S ≤ +10 V, I _{DS} = 1 mA; Test Circuit 1
	450	600	450	600	450	600	Ω max	
	300	400	300	400			Ω max	V _{DD} = 15 V (±10%), V _{SS} = -15 V (±10%)
					300	400	Ω max	V _{DD} = 15 V (±5%), V _{SS} = -15 V (±5%)
R _{ON} Drift	0.6		0.6		0.6		%/°C typ	-10 V ≤ V _S ≤ +10 V, I _{DS} = 1 mA
R _{ON} Match	5		5		5		% typ	-10 V ≤ V _S ≤ +10 V, I _{DS} = 1 mA
I _S (OFF), Off Input Leakage	0.02		0.02		0.02		nA typ	V1 = ±10 V, V2 = ∓10 V; Test Circuit 2
	1	50	1	50	1	50	nA max	
I _D (OFF), Off Output Leakage	0.04		0.04		0.04		nA typ	V1 = ±10 V, V2 = ∓10 V; Test Circuit 3
ADG506A	1	200	1	200	1	200	nA max	
ADG507A	1	100	1	100	1	100	nA max	
I _D (ON), On Channel Leakage	0.04		0.04		0.04		nA typ	V1 = ±10 V, V2 = ∓10 V; Test Circuit 4
ADG506A	1	200	1	200	1	200	nA max	
ADG507A	1	100	1	100	1	100	nA max	
I _{DIFF} , Differential Off Output Leakage (ADG507A Only)		25		25		25	nA max	V1 = ±10 V, V2 = ∓10 V; Test Circuit 5
DIGITAL CONTROL								
V _{INH} , Input High Voltage		2.4		2.4		2.4	V min	
V _{INL} , Input Low Voltage		0.8		0.8		0.8	V max	
I _{INL} or I _{INH}		1		1		1	μA max	V _{IN} = 0 to V _{DD}
C _{IN} Digital Input Capacitance	8		8		8		pF max	
DYNAMIC CHARACTERISTICS								
t _{TRANSITION} ¹	200		200		200		ns typ	V1 = ±10 V, V2 = +10 V; Test Circuit 6
	300	400	300	400	300	400	ns max	
t _{OPEN} ¹	50		50		50		ns typ	Test Circuit 7
	25	10	25	10	25	10	ns min	
t _{ON} (EN) ¹	200		200		200		ns typ	Test Circuit 8
	300	400	300	400	300	400	ns max	
t _{OFF} (EN) ¹	200		200		200		ns typ	Test Circuit 8
	300	400	300	400	300	400	ns max	
OFF Isolation	68		68		68		dB typ	V _{EN} = 0.8 V, R _L = 1 kΩ, C _L = 15 pF,
	50		50		50		dB min	V _S = 7 V _{rms} , f = 100 kHz
C _S (OFF)	5		5		5		pF typ	V _{EN} = 0.8 V
C _D (OFF)								
ADG506A	44		44		44		pF typ	V _{EN} = 0.8 V
ADG507A	22		22		22		pF typ	
Q _{INJ} , Charge Injection	4		4		4		pC typ	R _S = 0 Ω, V _S = 0 V; Test Circuit 9
POWER SUPPLY								
I _{DD}	0.6		0.6		0.6		mA typ	V _{IN} = V _{INL} or V _{INH}
		1.5		1.5		1.5	mA max	
I _{SS}	20		20		20		μA typ	V _{IN} = V _{IN} or V _{INH}
		0.2		0.2		0.2	mA max	
Power Dissipation	10		10		10		mW typ	
		28		28		28	mW max	

NOTES

¹Sample tested at +25°C to ensure compliance.

Specifications subject to change without notice.

Single Supply ($V_{DD} = +10.8 \text{ V}$ to $+16.5 \text{ V}$, $V_{SS} = \text{GND} = 0 \text{ V}$ unless otherwise noted)

	ADG506A ADG507A K Version		ADG506A ADG507A B Version		ADG506A ADG507A T Version			
Parameter	+25°C	-40°C to +85°C	+25°C	-40°C to +85°C	+25°C	-55°C to +125°C	Units	Comments
ANALOG SWITCH								
Analog Signal Range	V _{SS} V _{DD}	V _{SS} V _{DD}	V _{SS} V _{DD}	V _{SS} V _{DD}	V _{SS} V _{DD}	V _{SS} V _{DD}	V min V max	0 V ≤ V _S ≤ +10 V, I _{DS} = 0.5 mA; Test Circuit 1
R _{ON}	500 700	1000	500 700	1000	500 700	1000	Ω typ Ω max	
R _{ON} Drift	0.6		0.6		0.6		%/°C typ	
R _{ON} Match	5		5		5		% typ	
I _S (OFF), Off Input Leakage	0.02 1	50	0.02 1	50	0.02 1	50	nA typ nA max	V ₁ = +10 V/0 V, V ₂ = 0 V/+10 V; Test Circuit 2
I _D (OFF), Off Output Leakage	0.04 1	200	0.04 1	200	0.04 1	200	nA typ nA max	V ₁ = +10 V/0 V, V ₂ = 0 V/+10 V; Test Circuit 3
ADG506A	1	100	1	100	1	100	nA max	
ADG507A	1	100	1	100	1	100	nA max	
I _D (ON), On Channel Leakage	0.04 1	200	0.04 1	200	0.04 1	200	nA typ nA max	V ₁ = +10 V/0 V, V ₂ = 0 V/+10 V; Test Circuit 4
ADG506A	1	100	1	100	1	100	nA max	
ADG507A	1	100	1	100	1	100	nA max	
I _{DIFF} , Differential Off Output Leakage (ADG507A Only)		25		25		25	nA max	V ₁ = +10 V/0 V, V ₂ = 0 V/+10 V; Test Circuit 5
DIGITAL CONTROL								
V _{INH} , Input High Voltage		2.4		2.4		2.4	V min	V _{IN} = 0 to V _{DD}
V _{INL} , Input Low Voltage		0.8		0.8		0.8	V max	
I _{INL} or I _{INH}		1		1		1	μA max	
C _{IN} Digital Input Capacitance	8		8		8		pF max	
DYNAMIC CHARACTERISTICS								
t _{TRANSITION} ¹	300 450	600	300 450	600	300 450	600	ns typ ns max	V ₁ = +10 V/0 V, V ₂ = +10 V; Test Circuit 6
t _{OPEN} ¹	50 25	10	50 25	10	50 25	10	ns typ ns min	Test Circuit 7
t _{ON} (EN) ¹	250 450	600	250 450	600	250 450	600	ns typ ns max	Test Circuit 8
t _{OFF} (EN) ¹	250 450	600	250 450	600	250 450	600	ns typ ns max	Test Circuit 8
OFF Isolation	68 50		68 50		68 50		dB typ dB min	V _{EN} = 0.8 V, R _L = 1 kΩ, C _L = 15 pF, V _S = 3.5 V rms, f = 100 kHz
C _S (OFF)	5		5		5		pF typ	V _{EN} = 0.8 V
C _D (OFF)								
ADG506A	44		44		44		pF typ	V _{EN} = 0.8 V
ADG507A	22		22		22		pF typ	
Q _{INJ} , Charge Injection	4		4		4		pC typ	R _S = 0 Ω, V _S = 0 V; Test Circuit 9
POWER SUPPLY								
I _{DD}	0.6		0.6		0.6		mA typ	V _{IN} = V _{INL} or V _{INH}
		1.5		1.5		1.5	mA max	
Power Dissipation	10		10		10		mW typ	
		25		25		25	mW max	

NOTES

¹Sample tested at +25°C to ensure compliance.

Specifications subject to change without notice.

Truth Table (ADG506A)

A3	A2	A1	A0	EN	On Switch
X	X	X	X	0	NONE
0	0	0	0	1	1
0	0	0	1	1	2
0	0	1	0	1	3
0	0	1	1	1	4
0	1	0	0	1	5
0	1	0	1	1	6
0	1	1	0	1	7
0	1	1	1	1	8
1	0	0	0	1	9
1	0	0	1	1	10
1	0	1	0	1	11
1	0	1	1	1	12
1	1	0	0	1	13
1	1	0	1	1	14
1	1	1	0	1	15
1	1	1	1	1	16

Truth Table (ADG507A)

A2	A1	A0	EN	On Switch Pair
X	X	X	0	NONE
0	0	0	1	1
0	0	1	1	2
0	1	0	1	3
0	1	1	1	4
1	0	0	1	5
1	0	1	1	6
1	1	0	1	7
1	1	1	1	8

X = Don't Care

ADG506A/ADG507A

ABSOLUTE MAXIMUM RATINGS¹

(T_A = 25°C unless otherwise noted)

V _{DD} to V _{SS}	44 V
V _{DD} to GND	25 V
V _{SS} to GND	-25 V
Analog Inputs ²	
Voltage at S, D	V _{SS} - 2 V to V _{DD} + 2 V or 20 mA, Whichever Occurs First
Continuous Current, S or D	20 mA
Pulsed Current S or D	
1 ms Duration, 10% Duty Cycle	40 mA
Digital Inputs ²	
Voltage at A, EN	V _{SS} - 4 V to V _{DD} + 4 V or 20 mA, Whichever Occurs First

CAUTION

ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although the ADG506A/ADG507A feature proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.

Power Dissipation (Any Package)

Up to +75°C	470 mW
Derates above +75°C by	6 mW/°C

Operating Temperature

Commercial (K Version)	-40°C to +85°C
Industrial (B Version)	-40°C to +85°C
Extended (T Version)	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 secs)	+300°C

NOTES

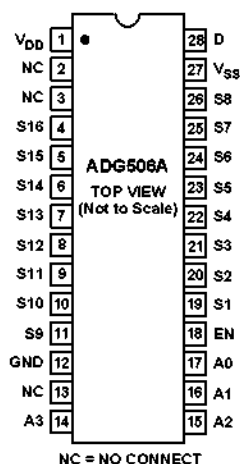
¹Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

²Overvoltage at A, EN, S or D will be clamped by diodes. Current should be limited to the Maximum Rating above.

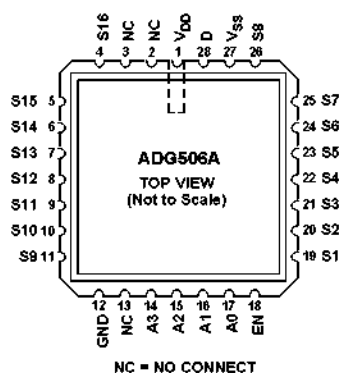


PIN CONFIGURATIONS

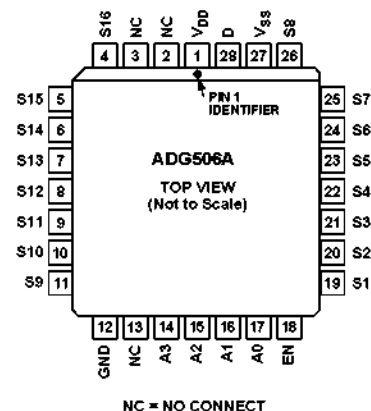
DIP, SOIC



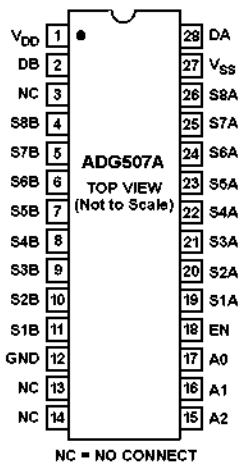
LCCC



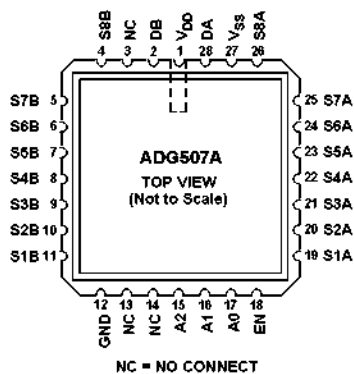
PLCC



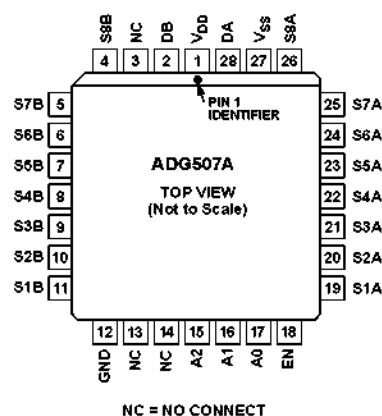
DIP, SOIC, TSSOP



LCCC



PLCC



Typical Performance Characteristics—ADG506A/ADG507A

The multiplexers are guaranteed functional with reduced single or dual supplies down to 4.5 V.

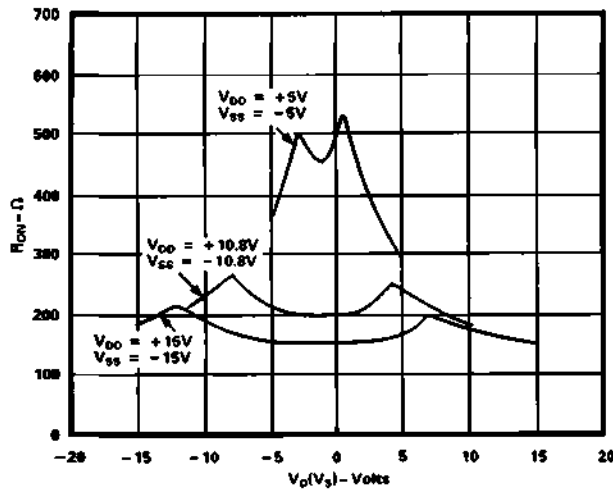


Figure 1. R_{ON} as a Function of V_D (V_S): Dual Supply Voltage, $T_A = +25^\circ\text{C}$

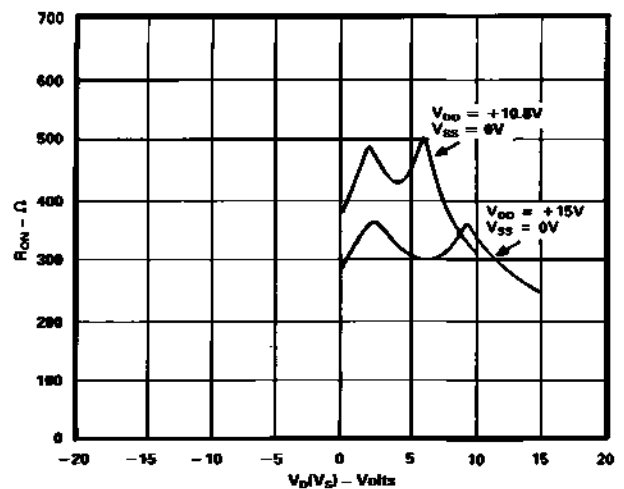


Figure 4. R_{ON} as a Function of V_D (V_S) Single Supply Voltage, $T_A = +25^\circ\text{C}$

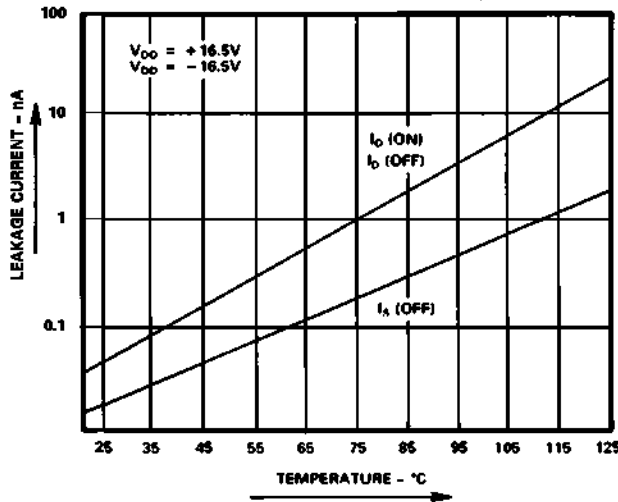


Figure 2. Leakage Current as a Function of Temperature (Note: Leakage Currents Reduce as the Supply Voltages Reduce)

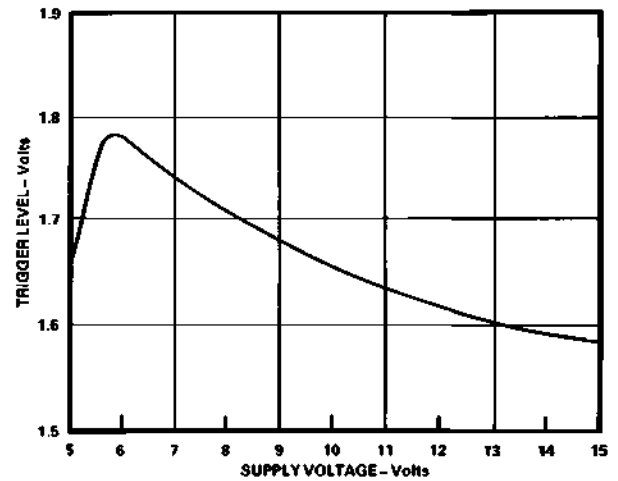


Figure 5. Trigger Levels vs. Power Supply Voltage, Dual or Single Supply, $T_A = +25^\circ\text{C}$

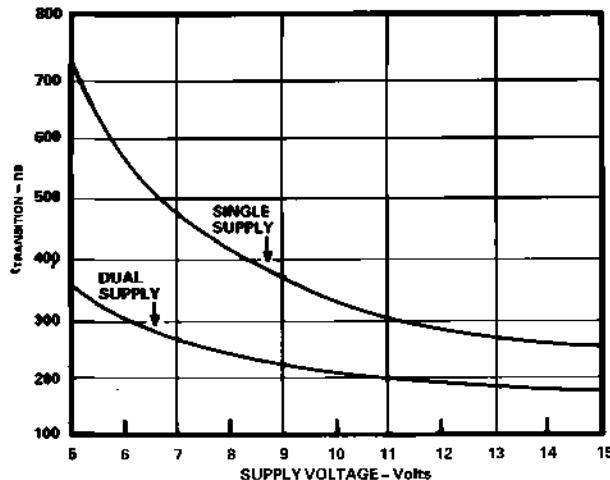


Figure 3. $t_{TRANSITION}$ vs. Supply Voltage: Dual and Single Supplies, $T_A = +25^\circ\text{C}$ (Note: For V_{DD} and $|V_{SS}| < 10\text{ V}$; $V1 = V_{DD}/V_{SS}$, $V2 = V_{SS}/V_{DD}$. See Test Circuit 6)

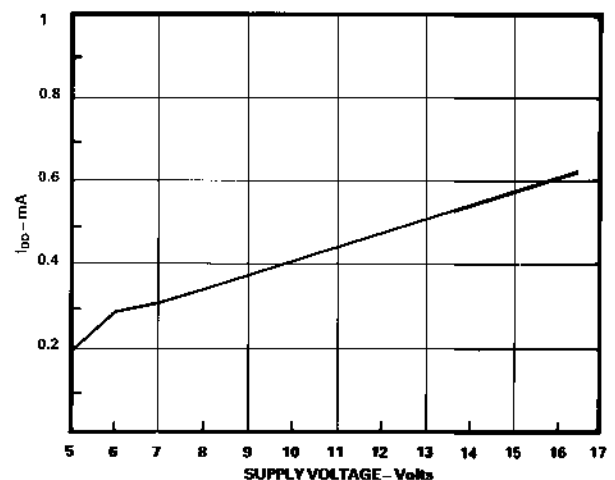
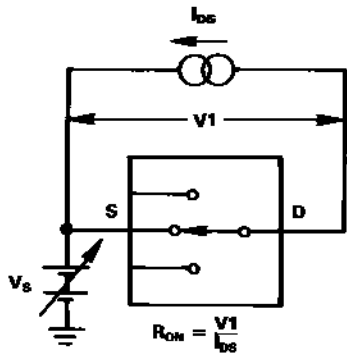


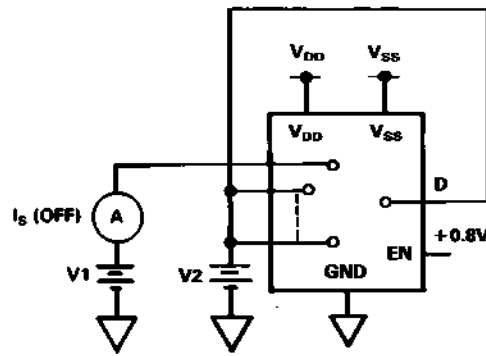
Figure 6. I_{DD} vs. Supply Voltage: Dual or Single Supply, $T_A = +25^\circ\text{C}$

ADG506A/ADG507A-Test Circuits

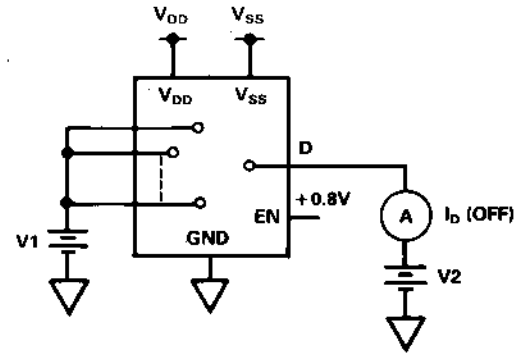
Note: All Digital Input Signal Rise and Fall Times Measured from 10% to 90% of 3 V. $t_R = t_F = 20$ ns.



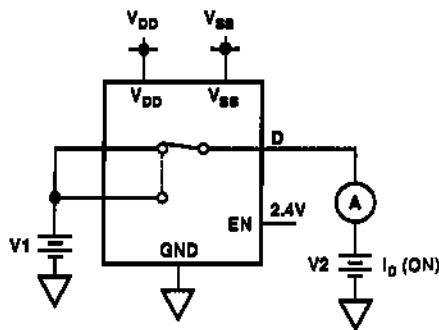
Test Circuit 1. R_{ON}



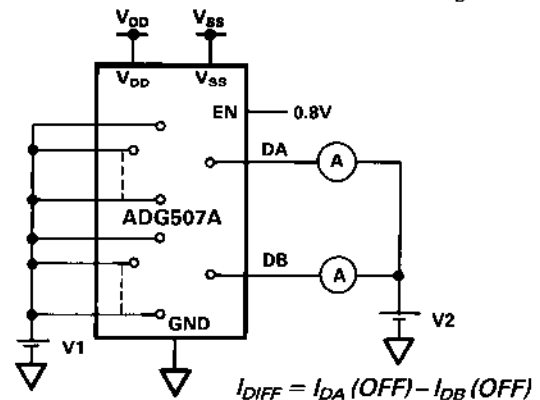
Test Circuit 2. $I_S(OFF)$



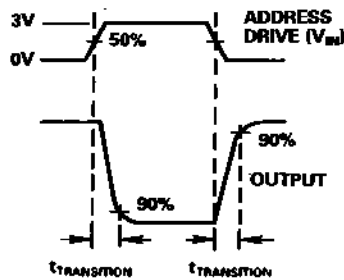
Test Circuit 3. $I_D(OFF)$



Test Circuit 4. $I_D(ON)$

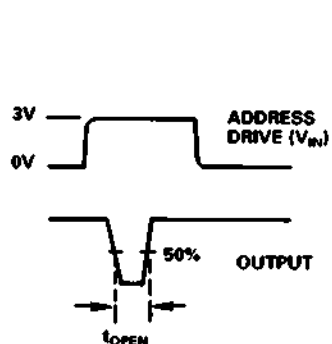
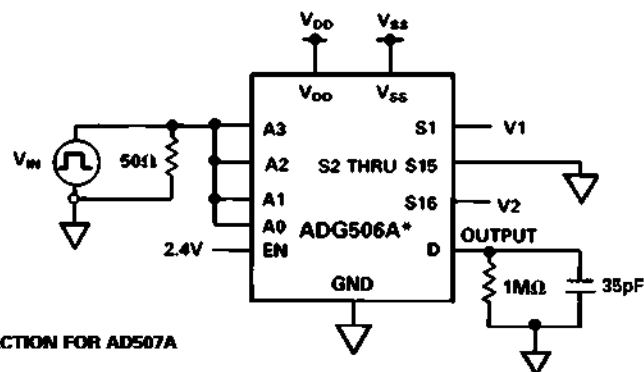


Test Circuit 5. I_{DIFF}



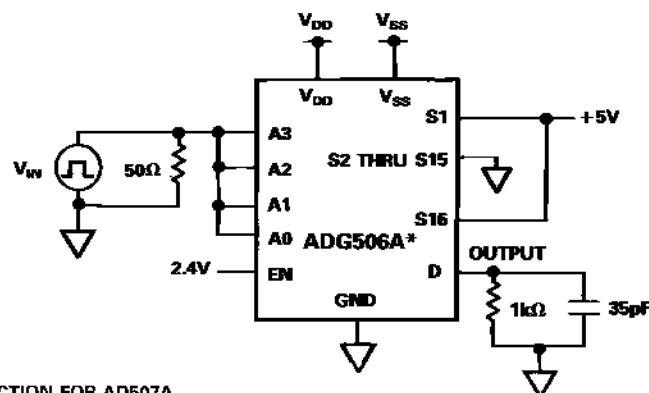
*SIMILAR CONNECTION FOR AD507A

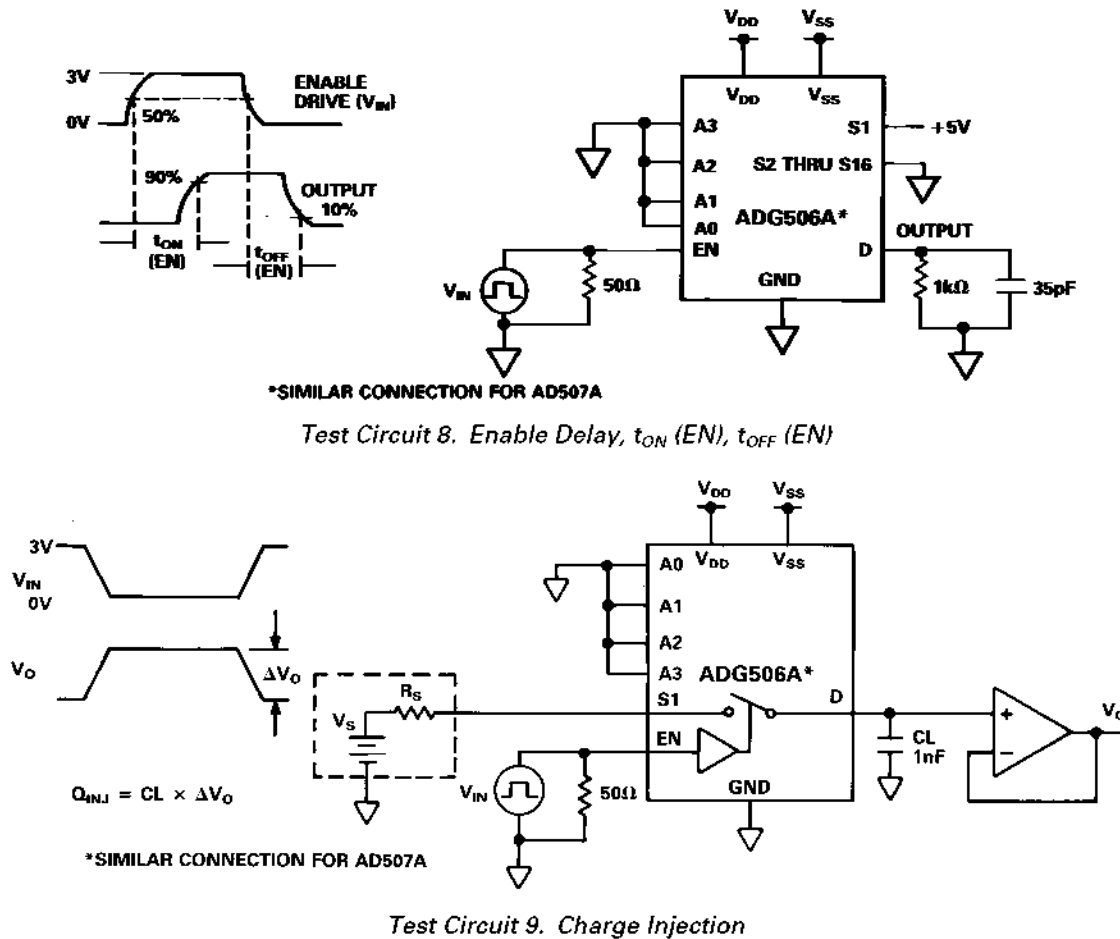
Test Circuit 6. Switching Time of Multiplexer, $t_{TRANSITION}$



*SIMILAR CONNECTION FOR AD507A

Test Circuit 7. Break-Before-Make Delay, t_{OPEN}





SINGLE SUPPLY AUTOMOTIVE APPLICATION

The excellent performance of the multiplexers under single supply conditions makes the ADG506A/ADG507A suitable in applications such as automotive and disc drives where only positive power supply voltages are normally available. The following application circuit shows the ADG507A connected as an 8-channel differential multiplexer in an automotive, data acquisition application circuit.

The AD7580 is a 10-bit successive approximation ADC, which has an on-chip sample-and-hold amplifier and provides a conversion result in 20 μ s. The ADC has differential analog inputs and is configured in the application circuit for a span of 2.5 V over a common-mode range 0 V to +5 V. Wider common-mode ranges can be accommodated. See the AD7579/AD7580 data sheet for more details. The complete system operates from +12 V (+10%) and +5 V supplies. The analog input signals to the ADG507A contain information such as temperature, pressure, speed etc.

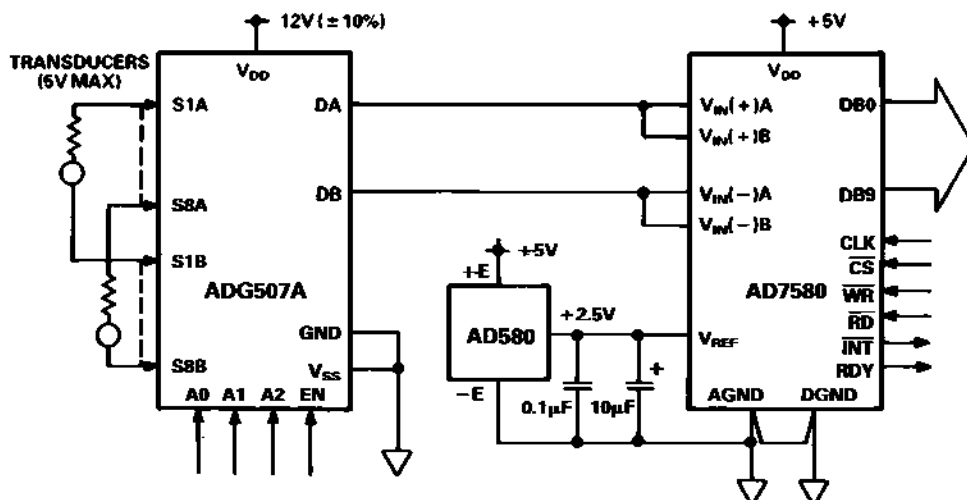


Figure 7. ADG507A in a Single Supply Automotive Data Acquisition Application

ADG506A/ADG507A

TERMINOLOGY

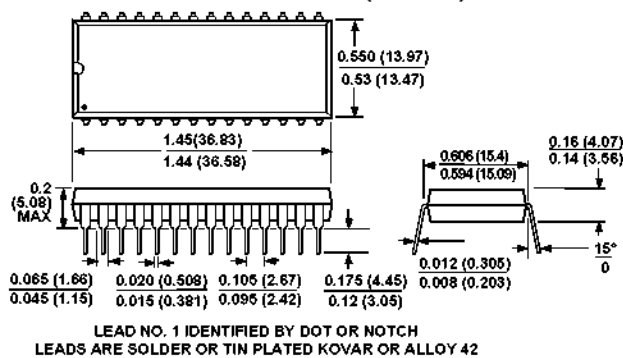
R_{ON}	Ohmic resistance between terminals D and S
R_{ON} Match	Difference between the R_{ON} of any two channels
R_{ON} Drift	Change in R_{ON} versus temperature
I_S (OFF)	Source terminal leakage current when the switch is off
I_D (OFF)	Drain terminal leakage current when the switch is off
I_D (ON)	Leakage current that flows from the closed switch into the body
V_S (V_D)	Analog voltage on terminal S or D
C_S (OFF)	Channel input capacitance for "OFF" condition
C_D (OFF)	Channel output capacitance for "OFF" condition
C_{IN}	Digital input capacitance
t_{ON} (EN)	Delay time between the 50% and 90% points of the digital input and switch "ON" condition

t_{OFF} (EN)	Delay time between the 50% and 10% points of the digital input and switch "OFF" condition
$t_{TRANSITION}$	Delay time between the 50% and 90% points of the digital inputs and switch "ON" condition when switching from one address state to another
t_{OPEN}	"OFF" time measured between 50% points of both switches when switching from one address state to another
V_{INL}	Maximum input voltage for Logic "0"
V_{INH}	Minimum input voltage for Logic "1"
I_{INL} (I_{INH})	Input current of the digital input
V_{DD}	Most positive voltage supply
V_{SS}	Most negative voltage supply
I_{DD}	Positive supply current
I_{SS}	Negative supply current

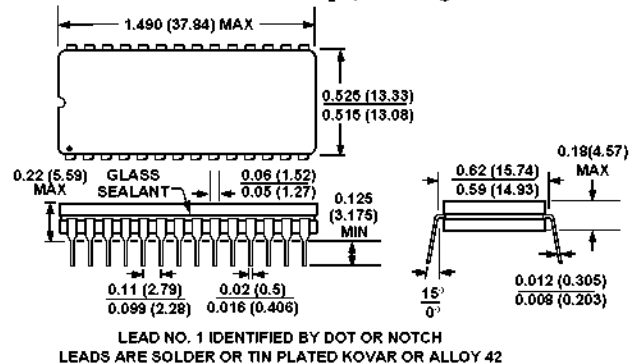
OUTLINE DIMENSIONS

Dimensions shown in inches and (mm).

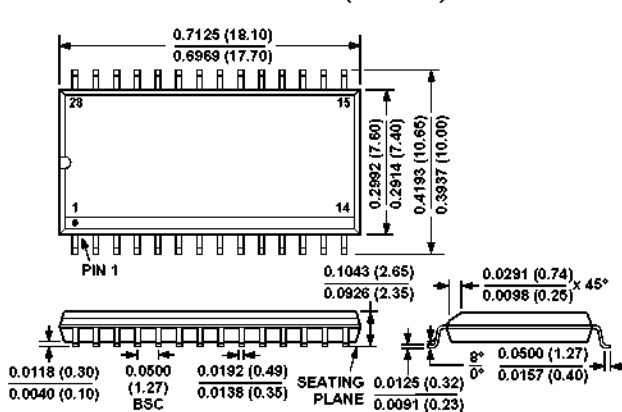
28-Lead Plastic DIP (Suffix N)



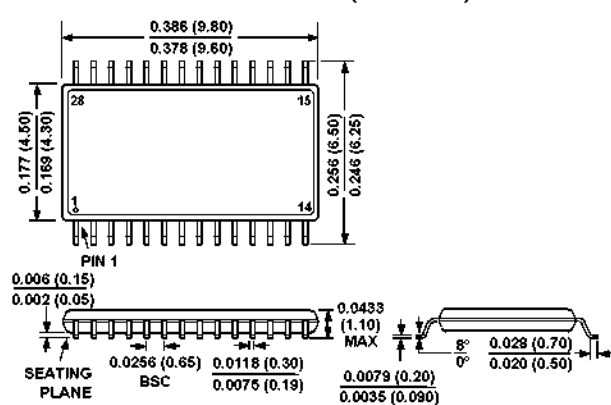
28-Lead Cerdip (Suffix Q)



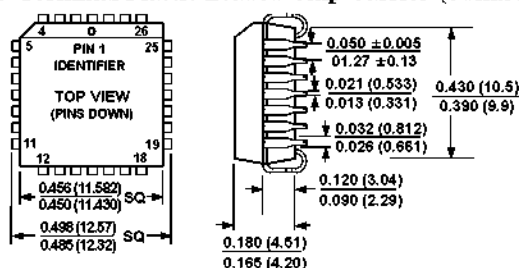
28-Lead SOIC (Suffix R)



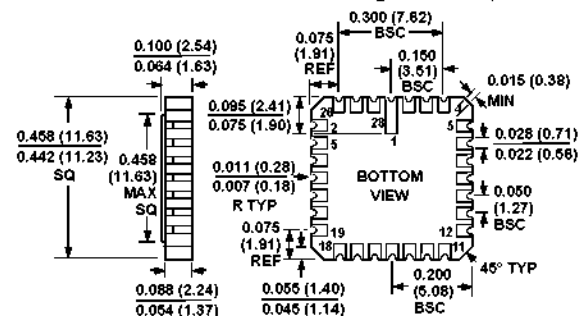
28-Lead TSSOP (Suffix RU)



28-Terminal Plastic Leaded Chip Carrier (Suffix P)



28-Terminal Leadless Ceramic Chip Carrier (Suffix E)



This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.



MicroConverter[®], Dual-Channel 16-/24-Bit ADCs with Embedded FLASH MCU

ADuC824

FEATURES

High Resolution Sigma-Delta ADCs

- Two Independent ADCs (16- and 24-Bit Resolution)
- Programmable Gain Front End
- 24-Bit No Missing Codes, Primary ADC
- 13-Bit p-p Resolution @ 20 Hz, 20 mV Range
- 18-Bit p-p Resolution @ 20 Hz, 2.56 V Range

Memory

- 8 KB On-Chip Flash/EE Program Memory
- 640 Bytes On-Chip Flash/EE Data Memory
- Flash/EE, 100 Year Retention, 100 Kcycles Endurance
- 256 Bytes On-Chip Data RAM

8051-Based Core

- 8051-Compatible Instruction Set (12.58 MHz Max)
- 32 kHz External Crystal, On-Chip Programmable PLL
- Three 16-Bit Timer/Counters
- 26 Programmable I/O Lines
- 11 Interrupt Sources, Two Priority Levels

Power

- Specified for 3 V and 5 V Operation
- Normal: 3 mA @ 3 V (Core CLK = 1.5 MHz)
- Power-Down: 20 μ A (32 kHz Crystal Running)

On-Chip Peripherals

- On-Chip Temperature Sensor
- 12-Bit Voltage Output DAC
- Dual Excitation Current Sources
- Reference Detect Circuit
- Time Interval Counter (TIC)
- UART Serial I/O
- I²C[®]-Compatible and SPI[®] Serial I/O
- Watchdog Timer (WDT), Power Supply Monitor (PSM)

APPLICATIONS

- Intelligent Sensors (IEEE1451.2-Compatible)
- Weigh Scales
- Portable Instrumentation
- Pressure Transducers
- 4–20 mA Transmitters

GENERAL DESCRIPTION

The ADuC824 is a complete smart transducer front-end, integrating two high-resolution sigma delta ADCs, an 8-bit MCU, and program/data Flash/EE Memory on a single chip. This low power device accepts low-level signals directly from a transducer.

The two independent ADCs (Primary and Auxiliary) include a temperature sensor and a PGA (allowing direct measurement of

MicroConverter is a registered trademark of Analog Devices, Inc.

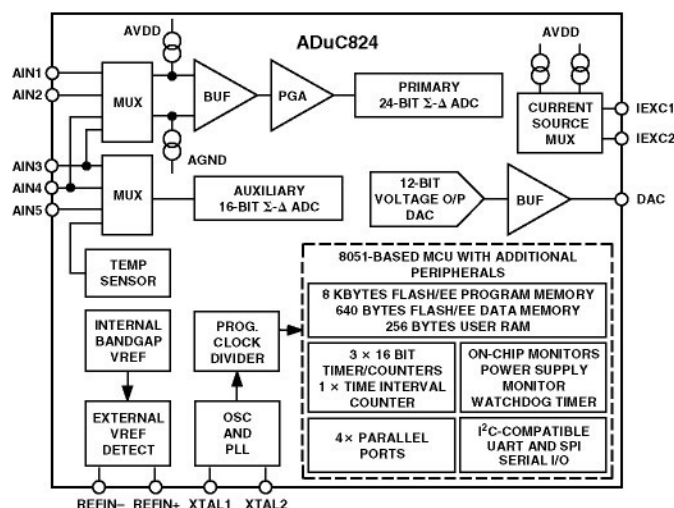
SPI is a registered trademark of Motorola, Inc.

I²C is a registered trademark of Philips Semiconductors, Inc.

REV.B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

FUNCTIONAL BLOCK DIAGRAM



low-level signals). The ADCs with on-chip digital filtering are intended for the measurement of wide dynamic range, low-frequency signals, such as those in weigh scale, strain-gauge, pressure transducer, or temperature measurement applications. The ADC output data rates are programmable and the ADC output resolution will vary with the programmed gain and output rate.

The device operates from a 32 kHz crystal with an on-chip PLL generating a high-frequency clock of 12.58 MHz. This clock is, in turn, routed through a programmable clock divider from which the MCU core clock operating frequency is generated. The microcontroller core is an 8052 and therefore 8051-instruction-set-compatible. The microcontroller core machine cycle consists of 12 core clock periods of the selected core operating frequency. 8 Kbytes of nonvolatile Flash/EE program memory are provided on-chip. 640 bytes of nonvolatile Flash/EE data memory and 256 bytes RAM are also integrated on-chip.

The ADuC824 also incorporates additional analog functionality with a 12-bit DAC, current sources, power supply monitor, and a bandgap reference. On-chip digital peripherals include a watchdog timer, time interval counter, three timers/counters, and three serial I/O ports (SPI, UART, and I²C-compatible).

On-chip factory firmware supports in-circuit serial download and debug modes (via UART), as well as single-pin emulation mode via the $\overline{EA}$ pin. A functional block diagram of the ADuC824 is shown above with a more detailed block diagram shown in Figure 12.

The part operates from a single 3 V or 5 V supply. When operating from 3 V supplies, the power dissipation for the part is below 10 mW. The ADuC824 is housed in a 52-lead MQFP package.

ADuC824

TABLE OF CONTENTS

FEATURES	1	NONVOLATILE FLASH/EE MEMORY	37
GENERAL DESCRIPTION	1	Flash/EE Memory Overview	37
SPECIFICATIONS	3	Flash/EE Memory and the ADuC824	37
TIMING SPECIFICATIONS	8	ADuC824 Flash/EE Memory Reliability	37
ABSOLUTE MAXIMUM RATINGS	18	Using the Flash/EE Program Memory	38
PIN CONFIGURATION	18	Flash/EE Program Memory Security	39
ORDERING GUIDE	18	Using the Flash/EE Data Memory	39
PIN FUNCTION DESCRIPTIONS	19	USER INTERFACE TO OTHER ON-CHIP ADuC824	
ADuC824 BLOCK DIAGRAM	21	PERIPHERALS	41
MEMORY ORGANIZATION	22	DAC	41
OVERVIEW OF MCU-RELATED SFRS	23	On-Chip PLL	42
Accumulator (ACC)	23	Time Interval Counter (TIC)	43
B SFR (B)	23	Watchdog Timer	46
Stack Pointer (SP)	23	Power Supply Monitor	47
Data Pointer (DPTR)	23	Serial Peripheral Interface	48
Program Status Word (PSW)	23	I ² C-Compatible Interface	50
Power Control (PCON)	23	8051-COMPATIBLE ON-CHIP PERIPHERALS	51
SPECIAL FUNCTION REGISTERS	24	Parallel I/O Ports 0–3	51
SFR INTERFACE TO THE PRIMARY AND		Timers/Counters	51
AUXILIARY ADCs	25	TIMER/COUNTER 0 AND 1 OPERATING MODES	54
ADCSTAT	25	UART Serial Interface	57
ADCMODE	26	Interrupt System	60
ADC0CON	27	ADuC824 HARDWARE DESIGN CONSIDERATIONS...	62
ADC1CON	28	Clock Oscillator	62
SF	28	External Memory Interface	62
ICON	29	Power-On Reset Operation	63
ADC0H/ADC0M/ADC0L	29	Power Supplies	63
ADC1H/ADC1L	29	Power Consumption	64
OF0H/OF0M/OF0L	30	Power-Saving Modes	64
OF1H/OF1L	30	Grounding and Board Layout Recommendations	64
GN0H/GN0M/GN0L	30	ADuC824 System Self-Identification	65
GN1H/GN1L	30	OTHER HARDWARE CONSIDERATIONS	65
PRIMARY AND AUXILIARY ADC DESCRIPTION	31	In-Circuit Serial Download Access	65
Overview	31	Embedded Serial Port Debugger	65
Primary ADC	31	Single-Pin Emulation Mode	65
Auxiliary ADC	32	Enhanced-Hooks Emulation Mode	66
PRIMARY AND AUXILIARY ADC NOISE		Typical System Configuration	66
PERFORMANCE	33	QUICKSTART DEVELOPMENT SYSTEM	67
Analog Input Channels	33	OUTLINE DIMENSIONS	68
Primary and Auxiliary ADC Inputs	33	Revision History	68
Analog Input Ranges	33		
Programmable Gain Amplifier	34		
Bipolar/Unipolar Inputs	34		
Burnout Currents	34		
Excitation Currents	35		
Reference Input	35		
Reference Detect	35		
Sigma-Delta Modulator	35		
Digital Filter	35		
ADC Chopping	36		
Calibration	37		

SPECIFICATIONS¹

($AV_{DD} = 2.7\text{ V to }3.6\text{ V or }4.75\text{ V to }5.25\text{ V}$, $DV_{DD} = 2.7\text{ V to }3.6\text{ V or }4.75\text{ V to }5.25\text{ V}$, $REFIN(+) = 2.5\text{ V}$; $REFIN(-) = AGND$; $AGND = DGND = 0\text{ V}$; $XTAL1/XTAL2 = 32.768\text{ kHz}$ Crystal; all specifications T_{MIN} to T_{MAX} unless otherwise noted.)

Parameter	ADuC824BS	Test Conditions/Comments	Unit
ADC SPECIFICATIONS			
Conversion Rate	5.4 105	On Both Channels Programmable in 0.732 ms Increments	Hz min Hz max
Primary ADC			
No Missing Codes ²	24	20 Hz Update Rate	Bits min
Resolution	13 18	Range = $\pm 20\text{ mV}$, 20 Hz Update Rate Range = $\pm 2.56\text{ V}$, 20 Hz Update Rate	Bits p-p typ Bits p-p typ
Output Noise	See Tables IX and X in ADC Description	Output Noise Varies with Selected Update Rate and Gain Range	
Integral Nonlinearity	± 15		ppm of FSR max
Offset Error ³	± 3		μV typ
Offset Error Drift	± 10		$\text{nV}/^{\circ}\text{C}$ typ
Full-Scale Error ⁴	± 10		μV typ
Gain Error Drift ⁵	± 0.5		$\text{ppm}/^{\circ}\text{C}$ typ
ADC Range Matching	± 2	$A_{IN} = 18\text{ mV}$	μV typ
Power Supply Rejection (PSR)	113 80	$A_{IN} = 7.8\text{ mV}$, Range = $\pm 20\text{ mV}$ $A_{IN} = 1\text{ V}$, Range = $\pm 2.56\text{ V}$	dBs typ dBs min
Common-Mode DC Rejection			
On A_{IN}	95	At DC, $A_{IN} = 7.8\text{ mV}$, Range = $\pm 20\text{ mV}$	dBs min
On A_{IN}	113	At DC, $A_{IN} = 1\text{ V}$, Range = $\pm 2.56\text{ V}$	dBs typ
On $REFIN$	125	At DC, $A_{IN} = 1\text{ V}$, Range = $\pm 2.56\text{ V}$	dBs typ
Common-Mode 50 Hz/60 Hz Rejection ²			
On A_{IN}	95 90	20 Hz Update Rate 50 Hz/60 Hz $\pm 1\text{ Hz}$, $A_{IN} = 7.8\text{ mV}$, Range = $\pm 20\text{ mV}$ 50 Hz/60 Hz $\pm 1\text{ Hz}$, $A_{IN} = 1\text{ V}$, Range = $\pm 2.56\text{ V}$	dBs min dBs min
On $REFIN$	90	50 Hz/60 Hz $\pm 1\text{ Hz}$, $A_{IN} = 1\text{ V}$, Range = $\pm 2.56\text{ V}$	dBs min
Normal Mode 50 Hz/60 Hz Rejection ²			
On A_{IN}	60	50 Hz/60 Hz $\pm 1\text{ Hz}$, 20 Hz Update Rate	dBs min
On $REFIN$	60	50 Hz/60 Hz $\pm 1\text{ Hz}$, 20 Hz Update Rate	dBs min
Auxiliary ADC			
No Missing Codes ²	16		Bits min
Resolution	16	Range = $\pm 2.5\text{ V}$, 20 Hz Update Rate	Bits p-p typ
Output Noise	See Table XI in ADC Description	Output Noise Varies with Selected Update Rate	
Integral Nonlinearity	± 15		ppm of FSR max
Offset Error ³	-2		LSB typ
Offset Error Drift	1		$\mu\text{V}/^{\circ}\text{C}$ typ
Full-Scale Error ⁶	-2.5		LSB typ
Gain Error Drift ⁵	± 0.5		$\text{ppm}/^{\circ}\text{C}$ typ
Power Supply Rejection (PSR)	80	$A_{IN} = 1\text{ V}$, 20 Hz Update Rate	dBs min
Normal Mode 50 Hz/60 Hz Rejection ²			
On A_{IN}	60	50 Hz/60 Hz $\pm 1\text{ Hz}$	dBs min
On $REFIN$	60	50 Hz/60 Hz $\pm 1\text{ Hz}$, 20 Hz Update Rate	dBs min
DAC PERFORMANCE			
DC Specifications ⁷			
Resolution	12		Bits
Relative Accuracy	± 3		LSB typ
Differential Nonlinearity	-1	Guaranteed 12-Bit Monotonic	LSB max
Offset Error	± 50		mV max
Gain Error ⁸	± 1 ± 1	AV_{DD} Range V_{REF} Range	% max % typ
AC Specifications ^{2, 7}			
Voltage Output Settling Time	15	Settling Time to 1 LSB of Final Value	μs typ
Digital-to-Analog Glitch Energy	10	1 LSB Change at Major Carry	nVs typ

ADuC824

Parameter	ADuC824BS	Test Conditions/Comments	Unit
INTERNAL REFERENCE			
ADC Reference			
Reference Voltage	$1.25 \pm 1\%$	Initial Tolerance @ 25°C, $V_{DD} = 5\text{ V}$	V min/max
Power Supply Rejection	45		dBs typ
Reference Tempco	100		ppm/°C typ
DAC Reference			
Reference Voltage	$2.5 \pm 1\%$	Initial Tolerance @ 25°C, $V_{DD} = 5\text{ V}$	V min/max
Power Supply Rejection	50		dBs typ
Reference Tempco	± 100		ppm/°C typ
ANALOG INPUTS/REFERENCE INPUTS			
Primary ADC			
Differential Input Voltage Ranges ^{9, 10}		External Reference Voltage = 2.5 V RN2, RN1, RN0 of ADC0CON Set to	
Bipolar Mode (ADC0CON3 = 0)	± 20	0 0 0 (Unipolar Mode 0 to 20 mV)	mV
	± 40	0 0 1 (Unipolar Mode 0 to 40 mV)	mV
	± 80	0 1 0 (Unipolar Mode 0 to 80 mV)	mV
	± 160	0 1 1 (Unipolar Mode 0 to 160 mV)	mV
	± 320	1 0 0 (Unipolar Mode 0 to 320 mV)	mV
	± 640	1 0 1 (Unipolar Mode 0 to 640 mV)	mV
	± 1.28	1 1 0 (Unipolar Mode 0 to 1.28 V)	V
	± 2.56	1 1 1 (Unipolar Mode 0 to 2.56 V)	V
Analog Input Current ²	± 1		nA max
Analog Input Current Drift	± 5		pA/°C typ
Absolute AIN Voltage Limits	AGND + 100 mV AV _{DD} – 100 mV		V min V max
Auxiliary ADC			
Input Voltage Range ^{9, 10}	0 to V _{REF}	Unipolar Mode, for Bipolar Mode See Note 11	V
Average Analog Input Current	125	Input Current Will Vary with Input	nA/V typ
Average Analog Input Current Drift ²	± 2	Voltage on the Unbuffered Auxiliary ADC	pA/V/°C typ
Absolute AIN Voltage Limits ¹¹	AGND – 30 mV AV _{DD} + 30 mV		V min V max
External Reference Inputs			
REFIN(+) to REFIN(–) Range ²	1 AV _{DD}		V min V max
Average Reference Input Current	1	Both ADCs Enabled	μA/V typ
Average Reference Input Current Drift	± 0.1		nA/V/°C typ
‘NO Ext. REF’ Trigger Voltage	0.3 0.65	NOXREF Bit Active if V _{REF} < 0.3 V NOXREF Bit Inactive if V _{REF} > 0.65 V	V min V max
ADC SYSTEM CALIBRATION			
Full-Scale Calibration Limit	$+1.05 \times \text{FS}$		V max
Zero-Scale Calibration Limit	$-1.05 \times \text{FS}$		V min
Input Span	$+0.8 \times \text{FS}$ $+2.1 \times \text{FS}$		V min V max
ANALOG (DAC) OUTPUTS			
Voltage Range	0 to V _{REF} 0 to AV _{DD}	DACRN = 0 in DACCON SFR DACRN = 1 in DACCON SFR	V typ V typ
Resistive Load	10	From DAC Output to AGND	kΩ typ
Capacitive Load	100	From DAC Output to AGND	pF typ
Output Impedance	0.5		Ω typ
I _{SINK}	50		μA typ
TEMPERATURE SENSOR			
Accuracy	± 2		°C typ
Thermal Impedance (θ _{JA})	90		°C/W typ

Parameter	ADuC824BS	Test Conditions/Comments	Unit
TRANSDUCER BURNOUT CURRENT SOURCES			
AIN+ Current	−100	AIN+ is the Selected Positive Input to the Primary ADC	nA typ
AIN− Current	+100	AIN− is the Selected Negative Input to the Auxiliary ADC	nA typ
Initial Tolerance @ 25°C Drift	±10		% typ
Drift	0.03		%/°C typ
EXCITATION CURRENT SOURCES			
Output Current	−200	Available from Each Current Source	μA typ
Initial Tolerance @ 25°C	±10		% typ
Drift	200		ppm/°C typ
Initial Current Matching @ 25°C	±1	Matching Between Both Current Sources	% typ
Drift Matching	20		ppm/°C typ
Line Regulation (AV _{DD})	1	AV _{DD} = 5 V + 5%	μA/V typ
Load Regulation	0.1		μA/V typ
Output Compliance	AV _{DD} − 0.6 AGND		V max min
LOGIC INPUTS			
All Inputs Except SCLOCK, RESET, and XTAL1			
V _{INL} , Input Low Voltage	0.8	DV _{DD} = 5 V	V max
	0.4	DV _{DD} = 3 V	V max
V _{INH} , Input High Voltage	2.0		V min
SCLOCK and RESET Only (Schmitt-Triggered Inputs) ²			
V _{T+}	1.3/3	DV _{DD} = 5 V	V min/V max
	0.95/2.5	DV _{DD} = 3 V	V min/V max
V _{T−}	0.8/1.4	DV _{DD} = 5 V	V min/V max
	0.4/1.1	DV _{DD} = 3 V	V min/V max
V _{T+} − V _{T−}	0.3/0.85	DV _{DD} = 5 V	V min/V max
	0.3/0.85	DV _{DD} = 3 V	V min/V max
Input Currents			
Port 0, P1.2–P1.7, $\overline{EA}$	±10	V _{IN} = 0 V or V _{DD}	μA max
SCLOCK, SDATA/MOSI, MISO, $\overline{SS}$ ¹²	−10 min, −40 max	V _{IN} = 0 V, DV _{DD} = 5 V, Internal Pull-Up	μA min/μA max
	±10	V _{IN} = V _{DD} , DV _{DD} = 5 V	μA max
RESET	±10	V _{IN} = 0 V, DV _{DD} = 5 V	μA max
	35 min, 105 max	V _{IN} = V _{DD} , DV _{DD} = 5 V, Internal Pull-Down	μA min/μA max
P1.0, P1.1, Ports 2 and 3	±10	V _{IN} = V _{DD} , DV _{DD} = 5 V	μA max
	−180	V _{IN} = 2 V, DV _{DD} = 5 V	μA min
	−660		μA max
	−20	V _{IN} = 450 mV, DV _{DD} = 5 V	μA min
	−75		μA max
Input Capacitance	5	All Digital Inputs	pF typ
CRYSTAL OSCILLATOR (XTAL1 AND XTAL2)			
Logic Inputs, XTAL1 Only			
V _{INL} , Input Low Voltage	0.8	DV _{DD} = 5 V	V max
	0.4	DV _{DD} = 3 V	V max
V _{INH} , Input High Voltage	3.5	DV _{DD} = 5 V	V min
	2.5	DV _{DD} = 3 V	V min
XTAL1 Input Capacitance	18		pF typ
XTAL2 Output Capacitance	18		pF typ

ADuC824

Parameter	ADuC824BS	Test Conditions/Comments	Unit
LOGIC OUTPUTS (Not Including XTAL2) ²			
V _{OH} , Output High Voltage	2.4	V _{DD} = 5 V, I _{SOURCE} = 80 μA	V min
	2.4	V _{DD} = 3 V, I _{SOURCE} = 20 μA	V min
V _{OL} , Output Low Voltage ¹³	0.4	I _{SINK} = 8 mA, SCLOCK, SDATA/MOSI	V max
	0.4	I _{SINK} = 10 mA, P1.0 and P1.1	V max
Floating State Leakage Current	±10	I _{SINK} = 1.6 mA, All Other Outputs	V max
Floating State Output Capacitance	5		μA max pF typ
POWER SUPPLY MONITOR (PSM)			
AV _{DD} Trip Point Selection Range	2.63 4.63	Four Trip Points Selectable in This Range Programmed via TPA1–0 in PSMCON	V min V max
AV _{DD} Power Supply Trip Point Accuracy	±3.5		% max
DV _{DD} Trip Point Selection Range	2.63 4.63	Four Trip Points Selectable in This Range Programmed via TPD1–0 in PSMCON	V min V max
DV _{DD} Power Supply Trip Point Accuracy	±3.5		% max
WATCHDOG TIMER (WDT)			
Timeout Period	0 2000	Nine Timeout Periods in This Range Programmed via PRE3–0 in WDCON	ms min ms max
MCU CORE CLOCK RATE			
MCU Clock Rate ²	98.3 12.58	Clock Rate Generated via On-Chip PLL Programmable via CD2–0 Bits in PLLCON SFR	kHz min MHz max
START-UP TIME			
At Power-On	300	OSC_PD Bit = 0 in PLLCON SFR	ms typ
From Idle Mode	1		ms typ
From Power-Down Mode			
Oscillator Running			
Wakeup with INT0 Interrupt	1		ms typ
Wakeup with SPI/I ² C Interrupt	1	OSC_PD Bit = 1 in PLLCON SFR	ms typ
Wakeup with TIC Interrupt	1		ms typ
Wakeup with External RESET	3.4		ms typ
Oscillator Powered Down			
Wakeup with External RESET	0.9		sec typ
After External RESET in Normal Mode	3.3	Controlled via WDCON SFR	ms typ
After WDT Reset in Normal Mode	3.3		ms typ
FLASH/EE MEMORY RELIABILITY CHARACTERISTICS ¹⁴			
Endurance ¹⁵	100,000		Cycles min
Data Retention ¹⁶	100		Years min
POWER REQUIREMENTS			
Power Supply Voltages		DV _{DD} and AV _{DD} Can Be Set Independently	
AV _{DD} , 3 V Nominal Operation	2.7 3.6		V min V max
AV _{DD} , 5 V Nominal Operation	4.75 5.25		V min V max
DV _{DD} , 3 V Nominal Operation	2.7 3.6		V min V max
DV _{DD} , 5 V Nominal Operation	4.75 5.25		V min V max

Parameter	ADuC824BS	Test Conditions/Comments	Unit
POWER REQUIREMENTS (continued)			
Power Supply Currents Normal Mode ^{17, 18}			
DV _{DD} Current	4	DV _{DD} = 4.75 V to 5.25 V, Core CLK = 1.57 MHz	mA max
	2.1	DV _{DD} = 2.7 V to 3.6 V, Core CLK = 1.57 MHz	mA max
AV _{DD} Current	170	AV _{DD} = 5.25 V, Core CLK = 1.57 MHz	μA max
DV _{DD} Current	15	DV _{DD} = 4.75 V to 5.25 V, Core CLK = 12.58 MHz	mA max
	8	DV _{DD} = 2.7 V to 3.6 V, Core CLK = 12.58 MHz	mA max
AV _{DD} Current	170	AV _{DD} = 5.25 V, Core CLK = 12.58 MHz	μA max
Power Supply Currents Idle Mode ^{17, 18}			
DV _{DD} Current	1.2	DV _{DD} = 4.75 V to 5.25 V, Core CLK = 1.57 MHz	mA max
	750	DV _{DD} = 2.7 V to 3.6 V, Core CLK = 1.57 MHz	μA typ
AV _{DD} Current	140	Measured @ AV _{DD} = 5.25 V, Core CLK = 1.57 MHz	μA typ
DV _{DD} Current	2	DV _{DD} = 4.75 V to 5.25 V, Core CLK = 12.58 MHz	mA typ
	1	DV _{DD} = 2.7 V to 3.6 V, Core CLK = 12.58 MHz	mA typ
AV _{DD} Current	140	Measured at AV _{DD} = 5.25 V, Core CLK = 12.58 MHz	μA typ
Power Supply Currents Power-Down Mode ^{17, 18}			
DV _{DD} Current	50	Core CLK = 1.57 MHz or 12.58 MHz	μA max
	20	DV _{DD} = 4.75 V to 5.25 V, Osc. On, TIC On	μA max
		DV _{DD} = 2.7 V to 3.6 V, Osc. On, TIC On	μA max
AV _{DD} Current	1	Measured at AV _{DD} = 5.25 V, Osc. On or Osc. Off	μA max
DV _{DD} Current	20	DV _{DD} = 4.75 V to 5.25 V, Osc. Off	μA max
	5	DV _{DD} = 2.7 V to 3.6 V, Osc. Off	μA typ
Typical Additional Power Supply Currents			
(AI _{DD} and DI _{DD})		Core CLK = 1.57 MHz, AV _{DD} = DV _{DD} = 5 V	
PSM Peripheral	50		μA typ
Primary ADC	1		mA typ
Auxiliary ADC	500		μA typ
DAC	150		μA typ
Dual Current Sources	400		μA typ

NOTES

- ¹Temperature Range: -40°C to +85°C.
- ²These numbers are not production tested but are guaranteed by Design and/or Characterization data on production release.
- ³System Zero-Scale Calibration can remove this error.
- ⁴The primary ADC is factory calibrated at 25°C with AV_{DD} = DV_{DD} = 5 V yielding this full-scale error of 10 μV. If user power supply or temperature conditions are significantly different than these, an Internal Full-Scale Calibration will restore this error to 10 μV. A system zero-scale and full-scale calibration will remove this error altogether.
- ⁵Gain Error Drift is a span drift. To calculate Full-Scale Error Drift, add the Offset Error Drift to the Gain Error Drift times the full-scale input.
- ⁶The auxiliary ADC is factory calibrated at 25°C with AV_{DD} = DV_{DD} = 5 V yielding this full-scale error of -2.5 LSB. A system zero-scale and full-scale calibration will remove this error altogether.
- ⁷DAC linearity and AC Specifications are calculated using:
reduced code range of 48 to 4095, 0 to V_{REF},
reduced code range of 48 to 3995, 0 to V_{DD}.
- ⁸Gain Error is a measure of the span error of the DAC.
- ⁹In general terms, the bipolar input voltage range to the primary ADC is given by Range_{ADC} = ±(V_{REF} 2^{RN})/125, where:
V_{REF} = REFIN(+) to REFIN(-) voltage and V_{REF} = 1.25 V when internal ADC V_{REF} is selected. RN = decimal equivalent of RN2, RN1, RN0, e.g., V_{REF} = 2.5 V and RN2, RN1, RN0 = 1, 1, 0 the Range_{ADC} = ±1.28 V. In unipolar mode the effective range is 0 V to 1.28 V in our example.
- ¹⁰1.25 V is used as the reference voltage to the ADC when internal V_{REF} is selected via XREF0 and XREF1 bits in ADC0CON and ADC1CON, respectively.
- ¹¹In bipolar mode, the Auxiliary ADC can only be driven to a minimum of A_{GND} - 30 mV as indicated by the Auxiliary ADC absolute AIN voltage limits. The bipolar range is still -V_{REF} to +V_{REF}; however, the negative voltage is limited to -30 mV.
- ¹²Pins configured in I²C-compatible mode or SPI mode, pins configured as digital inputs during this test.
- ¹³Pins configured in I²C-compatible mode only.
- ¹⁴Flash/EE Memory Reliability Characteristics apply to both the Flash/EE program memory and Flash/EE data memory.
- ¹⁵Endurance is qualified to 100 Kcycles as per JEDEC Std. 22 method A117 and measured at -40°C, +25°C and +85°C; typical endurance at 25°C is 700 K cycles.
- ¹⁶Retention lifetime equivalent at junction temperature (T_j) = 55°C as per JEDEC Std. 22, Method A117. Retention lifetime based on an activation energy of 0.6e V will derate with junction temperature as shown in Figure 27 in the Flash/EE Memory description section of this data sheet.
- ¹⁷Power Supply current consumption is measured in Normal, Idle, and Power-Down Modes under the following conditions:
Normal Mode: Reset = 0.4 V, Digital I/O pins = open circuit, Core Clk changed via CD bits in PLLCON, Core Executing internal software loop.
Idle Mode: Reset = 0.4 V, Digital I/O pins = open circuit, Core Clk changed via CD bits in PLLCON, PCON.0 = 1, Core Execution suspended in idle mode.
Power-Down Mode: Reset = 0.4 V, All P0 pins and P1.2-P1.7 pins = 0.4 V, All other digital I/O pins are open circuit, Core Clk changed via CD bits in PLLCON, PCON.1 = 1, Core Execution suspended in power-down mode, OSC turned ON or OFF via OSC_PD bit (PLLCON.7) in PLLCON SFR.
- ¹⁸DV_{DD} power supply current will increase typically by 3 mA (3 V operation) and 10 mA (5 V operation) during a Flash/EE memory program or erase cycle.
- Specifications subject to change without notice.

ADuC824

TIMING SPECIFICATIONS^{1, 2, 3} ($AV_{DD} = 2.7\text{ V to }3.6\text{ V or }4.75\text{ V to }5.25\text{ V}$, $DV_{DD} = 2.7\text{ V to }3.6\text{ V or }4.75\text{ V to }5.25\text{ V}$; all specifications T_{MIN} to T_{MAX} unless otherwise noted.)

Parameter		32.768 kHz External Crystal			Unit	Figure
		Min	Typ	Max		
CLOCK INPUT (External Clock Driven XTAL1)						
t _{CK}	XTAL1 Period		30.52		μs	1
t _{CKL}	XTAL1 Width Low		15.24		μs	1
t _{CKH}	XTAL1 Width High		15.24		μs	1
t _{CKR}	XTAL1 Rise Time		20		ns	1
t _{CKF}	XTAL1 Fall Time		20		ns	1
1/t _{CORE}	ADuC824 Core Clock Frequency ⁴	0.098		12.58	MHz	
t _{CORE}	ADuC824 Core Clock Period ⁵		0.636		μs	
t _{CYC}	ADuC824 Machine Cycle Time ⁶	0.95	7.6	122.45	μs	

NOTES

¹AC inputs during testing are driven at $DV_{DD} - 0.5\text{ V}$ for a Logic 1 and 0.45 V for a Logic 0. Timing measurements are made at V_{IH} min for a Logic 1 and V_{IL} max for a Logic 0 as shown in Figure 2.

²For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when a 100 mV change from the loaded V_{OH}/V_{OL} level occurs as shown in Figure 2.

³ C_{LOAD} for Port0, ALE, $\overline{PSEN}$ outputs = 100 pF ; C_{LOAD} for all other outputs = 80 pF unless otherwise noted.

⁴ADuC824 internal PLL locks onto a multiple (384 times) the external crystal frequency of 32.768 kHz to provide a Stable 12.583 MHz internal clock for the system. The core can operate at this frequency or at a binary submultiple called Core_Clk, selected via the PLLCON SFR.

⁵This number is measured at the default Core_Clk operating frequency of 1.57 MHz .

⁶ADuC824 Machine Cycle Time is nominally defined as $12/\text{Core_CLK}$.

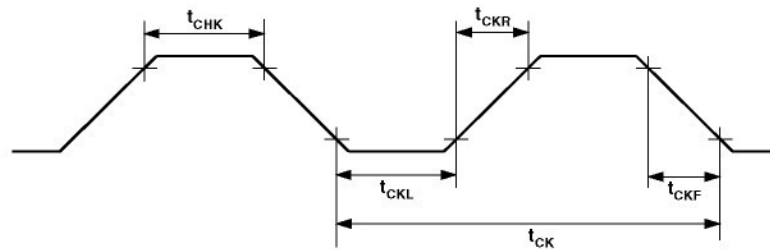


Figure 1. XTAL1 Input

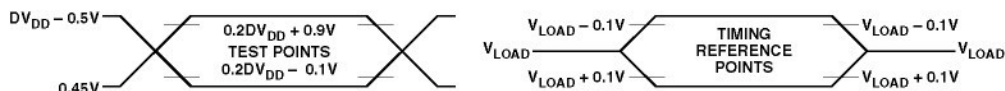


Figure 2. Timing Waveform Characteristics

Parameter		12.58 MHz Core_Clk		Variable Core_Clk		Unit	Figure
		Min	Max	Min	Max		
EXTERNAL PROGRAM MEMORY							
t _{LHLL}	ALE Pulsewidth	119		2t _{CORE} – 40		ns	3
t _{AVLL}	Address Valid to ALE Low	39		t _{CORE} – 40		ns	3
t _{LLAX}	Address Hold after ALE Low	49		t _{CORE} – 30		ns	3
t _{LLIV}	ALE Low to Valid Instruction In		218		4t _{CORE} – 100	ns	3
t _{LLPL}	ALE Low to $\overline{\text{PSEN}}$ Low	49		t _{CORE} – 30		ns	3
t _{PLPH}	$\overline{\text{PSEN}}$ Pulsewidth	193		3t _{CORE} – 45		ns	3
t _{PLIV}	$\overline{\text{PSEN}}$ Low to Valid Instruction In		133		3t _{CORE} – 105	ns	3
t _{PXIX}	Input Instruction Hold after $\overline{\text{PSEN}}$	0		0		ns	3
t _{PXIZ}	Input Instruction Float after $\overline{\text{PSEN}}$		54		t _{CORE} – 25	ns	3
t _{AVIV}	Address to Valid Instruction In		292		5t _{CORE} – 105	ns	3
t _{PLAZ}	$\overline{\text{PSEN}}$ Low to Address Float		25		25	ns	3
t _{PHAX}	Address Hold after $\overline{\text{PSEN}}$ High	0		0		ns	3

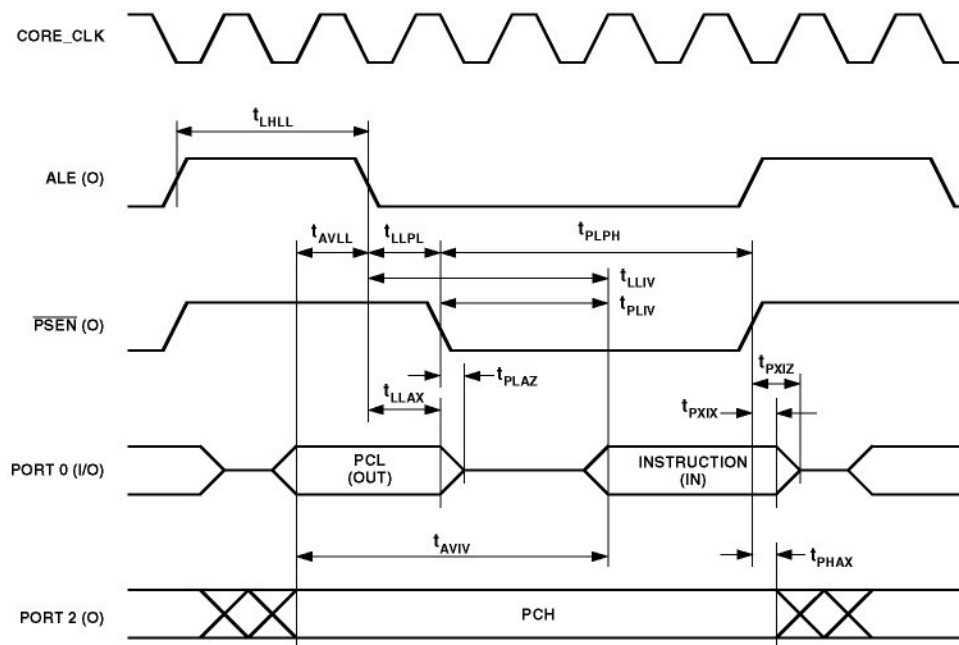


Figure 3. External Program Memory Read Cycle

Parameter		12.58 MHz Core_Clk		Variable Core_Clk		Unit	Figure
		Min	Max	Min	Max		
EXTERNAL DATA MEMORY READ CYCLE							
t _{RLRH}	$\overline{\text{RD}}$ Pulsewidth	377		6t _{CORE} – 100		ns	4
t _{AVLL}	Address Valid after ALE Low	39		t _{CORE} – 40		ns	4
t _{LLAX}	Address Hold after ALE Low	44		t _{CORE} – 35		ns	4
t _{RLDV}	$\overline{\text{RD}}$ Low to Valid Data In		232		5t _{CORE} – 165	ns	4
t _{RHDX}	Data and Address Hold after $\overline{\text{RD}}$	0		0		ns	4
t _{RHDZ}	Data Float after $\overline{\text{RD}}$		89		2t _{CORE} – 70	ns	4
t _{LLDV}	ALE Low to Valid Data In		486		8t _{CORE} – 150	ns	4
t _{AVDV}	Address to Valid Data In		550		9t _{CORE} – 165	ns	4
t _{LLWL}	ALE Low to $\overline{\text{RD}}$ Low	188	288	3t _{CORE} – 50	3t _{CORE} + 50	ns	4
t _{AVWL}	Address Valid to $\overline{\text{RD}}$ Low	188		4t _{CORE} – 130		ns	4
t _{RLAZ}	$\overline{\text{RD}}$ Low to Address Float		0		0	ns	4
t _{WHLH}	$\overline{\text{RD}}$ High to ALE High	39	119	t _{CORE} – 40	t _{CORE} + 40	ns	4

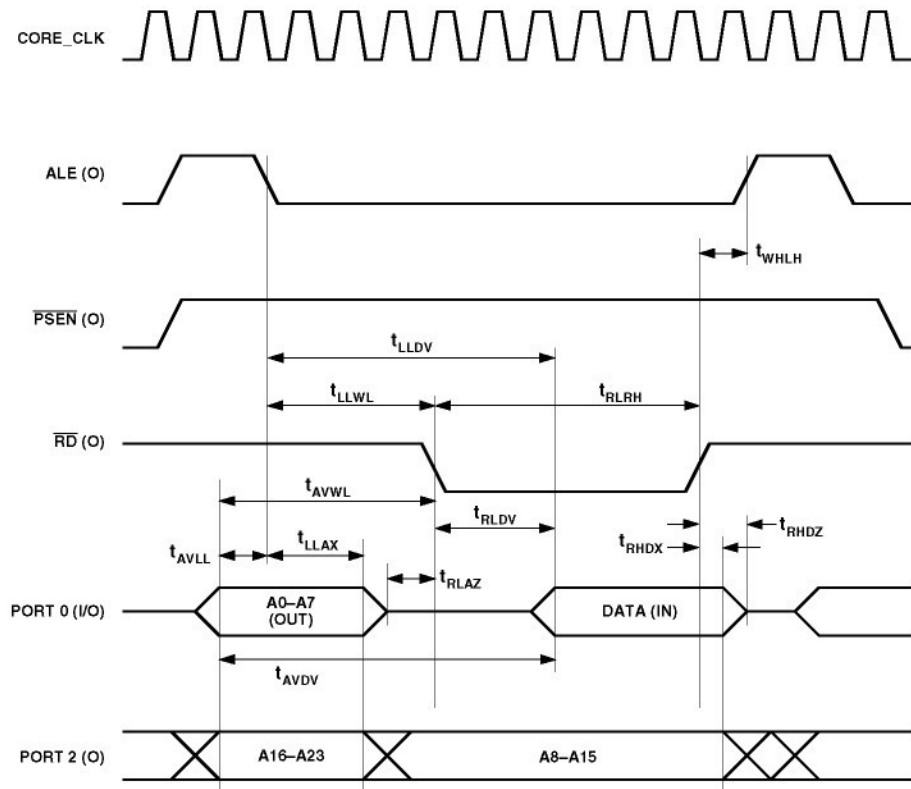


Figure 4. External Data Memory Read Cycle

Parameter		12.58 MHz Core_Clk		Variable Core_Clk		Unit	Figure
		Min	Max	Min	Max		
EXTERNAL DATA MEMORY WRITE CYCLE							
t _{WLWH}	$\overline{WR}$ Pulsewidth	377		6t _{CORE} – 100		ns	5
t _{AVLL}	Address Valid after ALE Low	39		t _{CORE} – 40		ns	5
t _{LLAX}	Address Hold after ALE Low	44		t _{CORE} – 35		ns	5
t _{LLWL}	ALE Low to $\overline{WR}$ Low	188	288	3t _{CORE} – 50	3t _{CORE} + 50	ns	5
t _{AVWL}	Address Valid to $\overline{WR}$ Low	188		4t _{CORE} – 130		ns	5
t _{QVWX}	Data Valid to $\overline{WR}$ Transition	29		t _{CORE} – 50		ns	5
t _{QVWH}	Data Setup before $\overline{WR}$	406		7t _{CORE} – 150		ns	5
t _{WHQX}	Data and Address Hold after $\overline{WR}$	29		t _{CORE} – 50		ns	5
t _{WHLH}	$\overline{WR}$ High to ALE High	39	119	t _{CORE} – 40	t _{CORE} + 40	ns	5

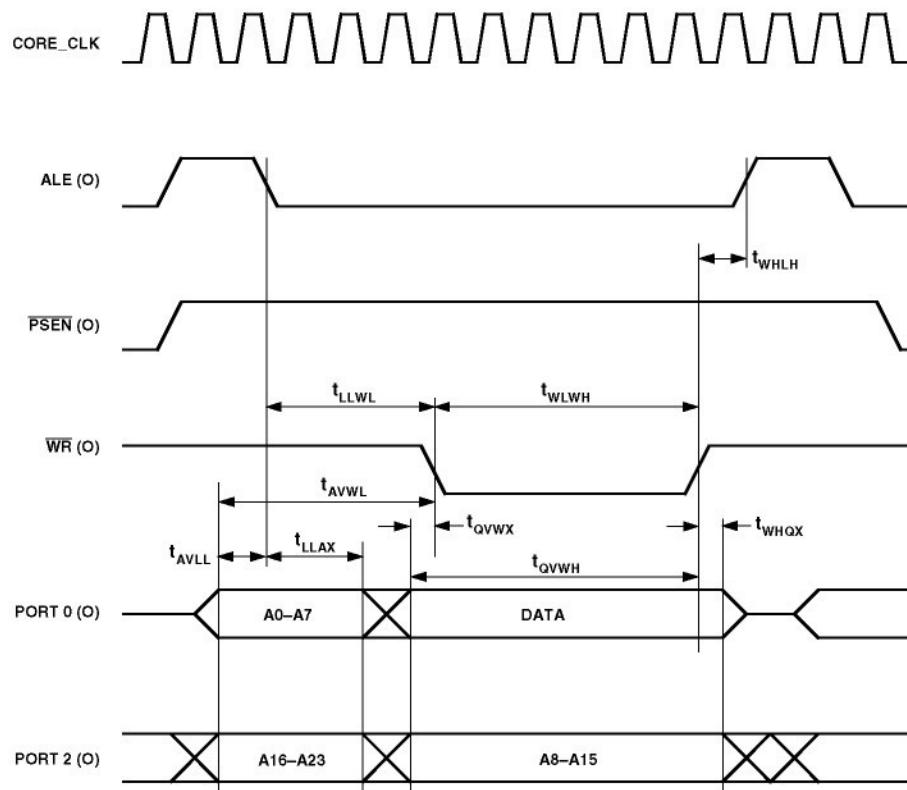


Figure 5. External Data Memory Write Cycle

Parameter		12.58 MHz Core_Clk			Variable Core_Clk			Unit	Figure
		Min	Typ	Max	Min	Typ	Max		
UART TIMING (Shift Register Mode)									
t _{XLXL}	Serial Port Clock Cycle Time		0.95			12t _{CORE}		μs	6
t _{QVXH}	Output Data Setup to Clock	662			10t _{CORE} – 133			ns	6
t _{DVXH}	Input Data Setup to Clock	292			2t _{CORE} + 133			ns	6
t _{XHDX}	Input Data Hold after Clock	0			0			ns	6
t _{XHQX}	Output Data Hold after Clock	42			2t _{CORE} – 117			ns	6

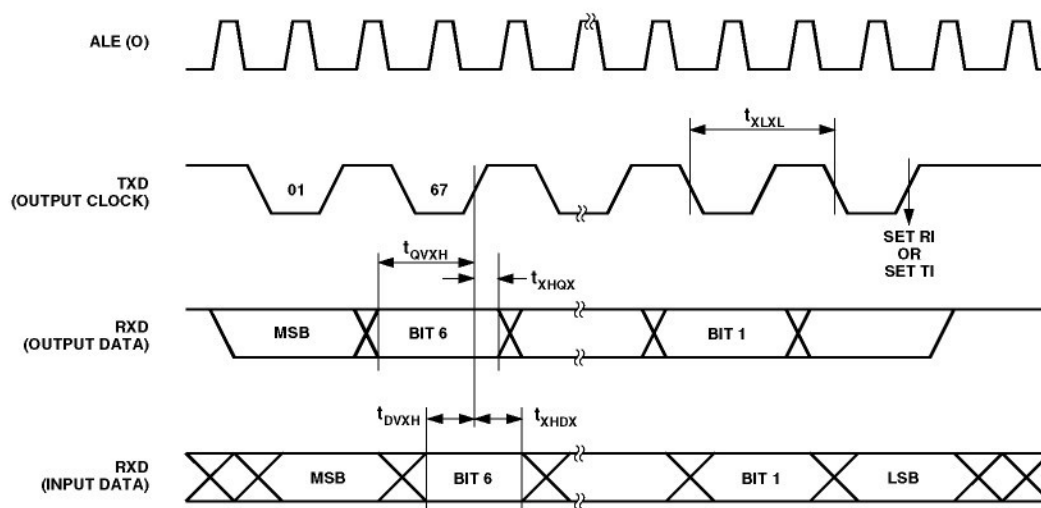


Figure 6. UART Timing in Shift Register Mode

Parameter		Min	Max	Unit	Figure
I²C-COMPATIBLE INTERFACE TIMING					
t_L	SCLOCK Low Pulsewidth	4.7		μ s	7
t_H	SCLOCK High Pulsewidth	4.0		μ s	7
t_{SHD}	Start Condition Hold Time	0.6		μ s	7
t_{DSU}	Data Setup Time	100		μ s	7
t_{DHD}	Data Hold Time		0.9	μ s	7
t_{RSU}	Setup Time for Repeated Start	0.6		μ s	7
t_{PSU}	Stop Condition Setup Time	0.6		μ s	7
t_{BUF}	Bus Free Time between a STOP Condition and a START Condition	1.3		μ s	7
t_R	Rise Time of Both SCLOCK and SDATA		300	ns	7
t_F	Fall Time of Both SCLOCK and SDATA		300	ns	7
t_{SUP}^*	Pulsewidth of Spike Suppressed		50	ns	7

*Input filtering on both the SCLOCK and SDATA inputs suppresses noise spikes less than 50 ns.

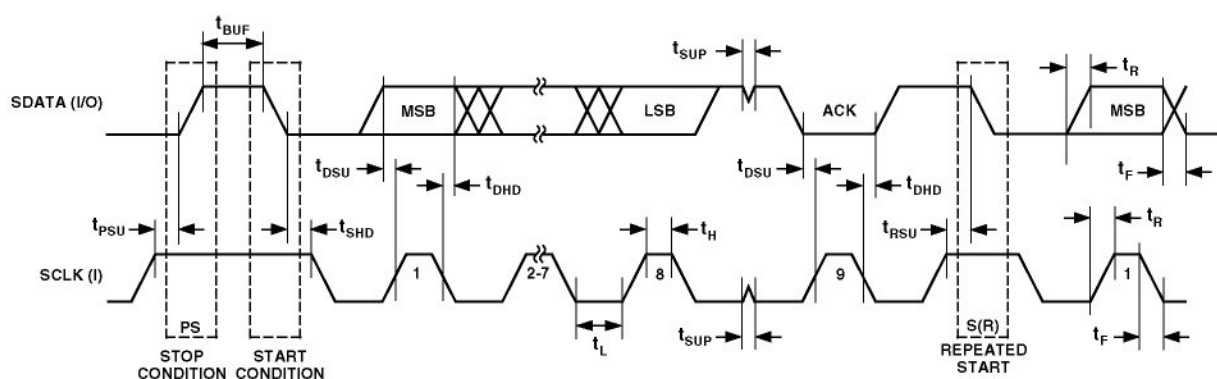


Figure 7. I²C-Compatible Interface Timing

Parameter	Min	Typ	Max	Unit	Figure
SPI MASTER MODE TIMING (CPHA = 1)					
t_{SL} SCLOCK Low Pulsewidth*		630		ns	8
t_{SH} SCLOCK High Pulsewidth*		630		ns	8
t_{DAV} Data Output Valid after SCLOCK Edge			50	ns	8
t_{DSU} Data Input Setup Time before SCLOCK Edge	100			ns	8
t_{DHD} Data Input Hold Time after SCLOCK Edge	100			ns	8
t_{DF} Data Output Fall Time		10	25	ns	8
t_{DR} Data Output Rise Time		10	25	ns	8
t_{SR} SCLOCK Rise Time		10	25	ns	8
t_{SF} SCLOCK Fall Time		10	25	ns	8

*Characterized under the following conditions:

- Core clock divider bits CD2, CD1, and CD0 bits in PLLCON SFR set to 0, 1, and 1 respectively, i.e., core clock frequency = 1.57 MHz and
- SPI bit-rate selection bits SPR1 and SPR0 bits in SPICON SFR set to 0 and 0 respectively.

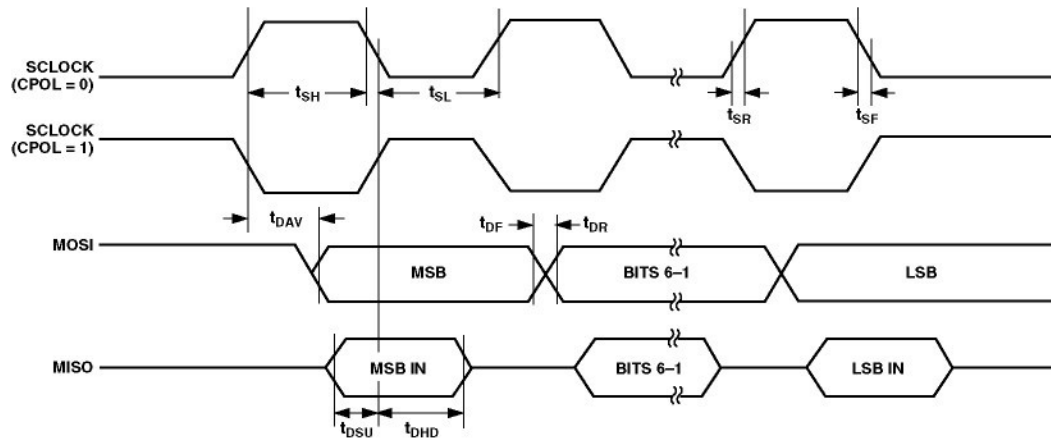


Figure 8. SPI Master Mode Timing (CPHA = 1)

Parameter	Min	Typ	Max	Unit	Figure
SPI MASTER MODE TIMING (CPHA = 0)					
t_{SL} SCLOCK Low Pulsewidth*		630		ns	9
t_{SH} SCLOCK High Pulsewidth*		630		ns	9
t_{DAV} Data Output Valid after SCLOCK Edge			50	ns	9
t_{DOSU} Data Output Setup before SCLOCK Edge			150	ns	9
t_{DSU} Data Input Setup Time before SCLOCK Edge	100			ns	9
t_{DHD} Data Input Hold Time after SCLOCK Edge	100			ns	9
t_{DF} Data Output Fall Time		10	25	ns	9
t_{DR} Data Output Rise Time		10	25	ns	9
t_{SR} SCLOCK Rise Time		10	25	ns	9
t_{SF} SCLOCK Fall Time		10	25	ns	9

*Characterized under the following conditions:

- Core clock divider bits CD2, CD1, and CD0 bits in PLLCON SFR set to 0, 1, and 1 respectively, i.e., core clock frequency = 1.57 MHz and
- SPI bit-rate selection bits SPR1 and SPR0 bits in SPICON SFR set to 0 and 0 respectively.

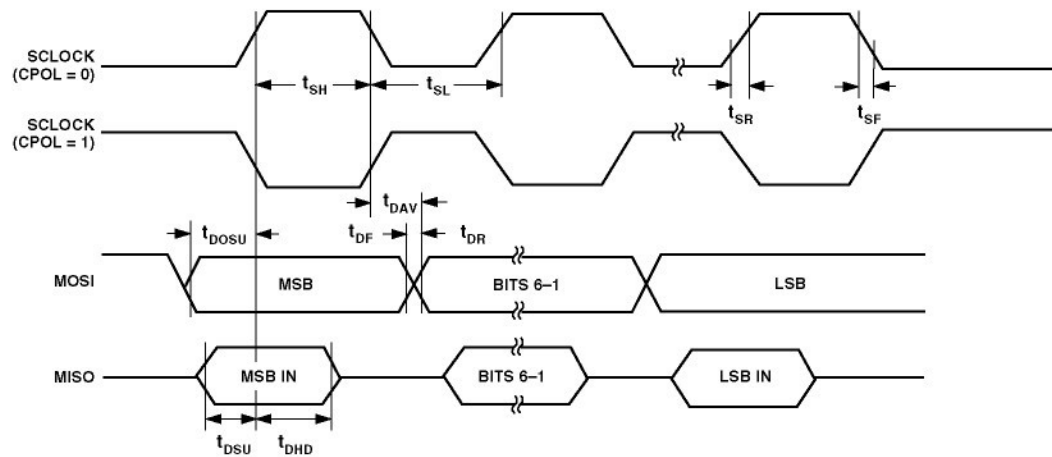


Figure 9. SPI Master Mode Timing (CPHA = 0)

Parameter	Min	Typ	Max	Unit	Figure
SPI SLAVE MODE TIMING (CPHA = 1)					
t_{SS} $\overline{SS}$ to SCLOCK Edge	0			ns	10
t_{SL} SCLOCK Low Pulsewidth		330		ns	10
t_{SH} SCLOCK High Pulsewidth		330		ns	10
t_{DAV} Data Output Valid after SCLOCK Edge			50	ns	10
t_{DSU} Data Input Setup Time before SCLOCK Edge	100			ns	10
t_{DHD} Data Input Hold Time after SCLOCK Edge	100			ns	10
t_{DF} Data Output Fall Time		10	25	ns	10
t_{DR} Data Output Rise Time		10	25	ns	10
t_{SR} SCLOCK Rise Time		10	25	ns	10
t_{SF} SCLOCK Fall Time		10	25	ns	10
t_{SFS} $\overline{SS}$ High after SCLOCK Edge	0			ns	10

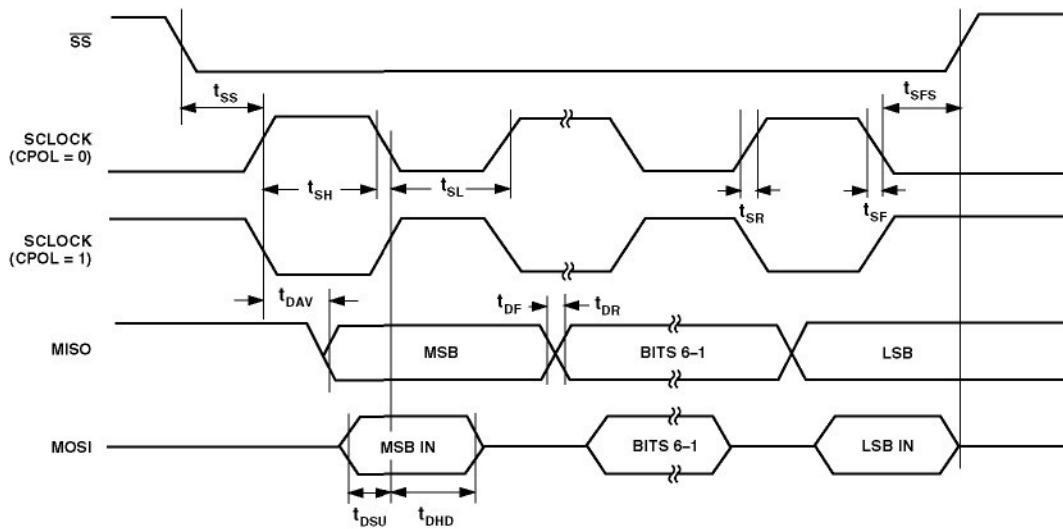


Figure 10. SPI Slave Mode Timing (CPHA = 1)

Parameter	Min	Typ	Max	Unit	Figure
SPI SLAVE MODE TIMING (CPHA = 0)					
t_{SS} $\overline{SS}$ to SCLOCK Edge	0			ns	11
t_{SL} SCLOCK Low Pulsewidth		330		ns	11
t_{SH} SCLOCK High Pulsewidth		330		ns	11
t_{DAV} Data Output Valid after SCLOCK Edge			50	ns	11
t_{DSU} Data Input Setup Time before SCLOCK Edge	100			ns	11
t_{DHD} Data Input Hold Time after SCLOCK Edge	100			ns	11
t_{DF} Data Output Fall Time		10	25	ns	11
t_{DR} Data Output Rise Time		10	25	ns	11
t_{SR} SCLOCK Rise Time		10	25	ns	11
t_{SF} SCLOCK Fall Time		10	25	ns	11
t_{SSR} $\overline{SS}$ to SCLOCK Edge			50	ns	11
t_{DOSS} Data Output Valid after $\overline{SS}$ Edge			20	ns	11
t_{SFS} $\overline{SS}$ High after SCLOCK Edge	0			ns	11

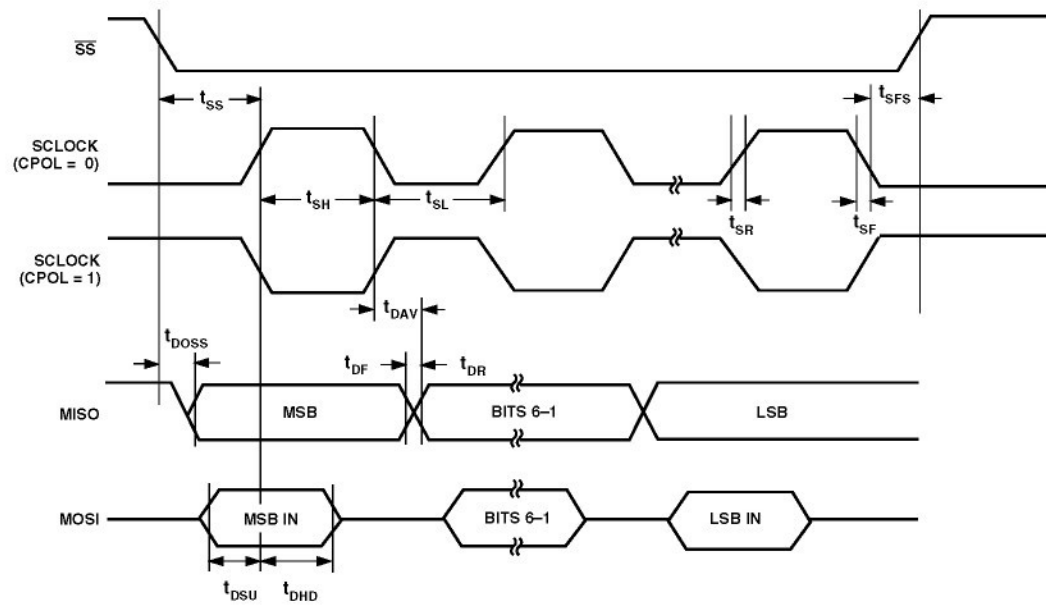


Figure 11. SPI Slave Mode Timing (CPHA = 0)

ADuC824

ABSOLUTE MAXIMUM RATINGS¹

(T_A = 25°C unless otherwise noted.)

AV _{DD} to AGND	−0.3 V to +7 V
AV _{DD} to DGND	−0.3 V to +7 V
DV _{DD} to AGND	−0.3 V to +7 V
DV _{DD} to DGND	−0.3 V to +7 V
AGND to DGND ²	−0.3 V to +0.3 V
AV _{DD} to DV _{DD}	−2 V to +5 V
Analog Input Voltage to AGND ³	−0.3 V to AV _{DD} + 0.3 V
Reference Input Voltage to AGND	−0.3 V to AV _{DD} + 0.3 V
AIN/REFIN Current (Indefinite)	30 mA
Digital Input Voltage to DGND	−0.3 V to DV _{DD} + 0.3 V
Digital Output Voltage to DGND	−0.3 V to DV _{DD} + 0.3 V
Operating Temperature Range	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Junction Temperature	150°C
θ _{JA} Thermal Impedance	90°C/W
Lead Temperature, Soldering	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

NOTES

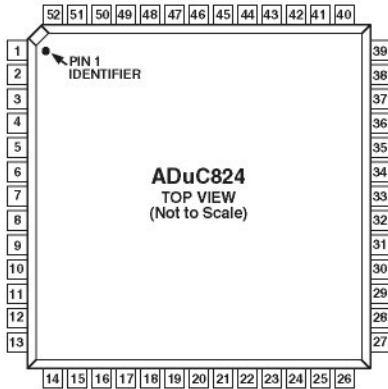
- ¹Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those listed in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.
- ²AGND and DGND are shorted internally on the ADuC824.
- ³Applies to P1.2 to P1.7 pins operating in analog or digital input modes.

ORDERING GUIDE

Model	Temperature Range	Package Description	Package Option
ADuC824BS	−40°C to +85°C	52-Lead Plastic Quad Flatpack	S-52

QuickStart Development System Model	Description
EVAL-ADUC824QS	Development System for the ADuC824 MicroConverter, containing: Evaluation Board Serial Port Cable Plug-In Power Supply Windows® Serial Downloader (WSD)* Windows Debugger (DeBug) Windows ADuC824 Simulator (ADSIM) Windows ADC Analysis Software Program (WASP) 8051 Assembler (Metalink) C-Compiler (Keil) Evaluation Copy Limited to 2 Kcode Example Code Documentation

PIN CONFIGURATION



CAUTION

ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although the ADuC824 features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.



*Windows is a registered trademark of Microsoft Corporation.

PIN FUNCTION DESCRIPTIONS

Pin No.	Mnemonic	Type*	Description
1	P1.0/T2	I/O	Port 1.0 can function as a digital input or digital output and has a pull-up configuration as described below for Port 3. P1.0 has an increased current drive sink capability of 10 mA and can also be used to provide a clock input to Timer 2. When Enabled, Counter 2 is incremented in response to a negative transition on the T2 input pin.
2	P1.1/T2EX	I/O	Port 1.1 can function as a digital input or digital output and has a pull-up configuration as described below for Port 3. P1.1 has an increased current drive sink capability of 10 mA and can also be used to provide a control input to Timer 2. When Enabled, a negative transition on the T2EX input pin will cause a Timer 2 capture or reload event.
3	P1.2/DAC/EXC1	I/O	Port 1.2. This pin has no digital output driver; it can function as a digital input for which '0' must be written to the port bit. As a digital input, P1.2 must be driven high or low externally. The voltage output from the DAC can also be configured to appear at this pin. If the DAC output is not being used, one or both of the excitation current sources (200 μ A or $2 \times 200 \mu$ A) can be programmed to be sourced at this pin.
4	P1.3/AIN5/EXC2	I	Port 1.3. This pin has no digital output driver; it can function as a digital input for which '0' must be written to the port bit. As a digital input, P1.3 must be driven high or low externally. This pin can provide an analog input (AIN5) to the auxiliary ADC and one or both of the excitation current sources (200 μ A or $2 \times 200 \mu$ A) can be programmed to be sourced at this pin.
5	AV _{DD}	S	Analog Supply Voltage, 3 V or 5 V
6	AGND	S	Analog Ground. Ground reference pin for the analog circuitry
7	REFIN(-)	I	Reference Input, Negative Terminal
8	REFIN(+)	I	Reference Input, Positive Terminal
9–11	P1.4–P1.6	I	Port 1.4 to P1.6. These pins have no digital output drivers; they can function as digital inputs, for which '0' must be written to the respective port bit. As a digital input, these pins must be driven high or low externally. These port pins also have the following analog functionality:
	P1.4/AIN1	I	Primary ADC Channel, Positive Analog Input
	P1.5/AIN2	I	Primary ADC Channel, Negative Analog Input
	P1.6/AIN3	I	Auxiliary ADC Input or muxed Primary ADC Channel, Positive Analog Input
12	P1.7/AIN4/DAC	I/O	Port 1.7. This pin has no digital output driver; it can function as a digital input for which '0' must be written to the port bit. As a digital input, P1.7 must be driven high or low externally. This pin can provide an analog input (AIN4) to the auxiliary ADC or muxed Primary ADC Channel, Negative Analog Input. The voltage output from the DAC can also be configured to appear at this pin.
13	$\overline{SS}$	I	Slave Select Input for the SPI Interface. A weak pull-up is present on this pin.
14	MISO	I/O	Master Input/Slave Output for the SPI Interface. There is a weak pull-up on this input pin.
15	RESET	I	Reset Input. A high level on this pin for 24 core clock cycles while the oscillator is running resets the device. There is a weak pull-down and a Schmitt trigger input stage on this pin. External POR (power-on reset) circuitry must be added to drive the RESET pin as described later in this data sheet.
16–19	P3.0–P3.3	I/O	P3.0–P3.3 are bidirectional port pins with internal pull-up resistors. Port 3 pins that have 1s written to them are pulled high by the internal pull-up resistors, and in that state can be used as inputs. As inputs, Port 3 pins being pulled externally low will source current because of the internal pull-up resistors. When driving a 0-to-1 output transition, a strong pull-up is active for two core clock periods of the instruction cycle. Port 3 pins also have various secondary functions described below.
	P3.0/RXD	I/O	Receiver Data Input (asynchronous) or Data Input/Output (synchronous) of serial (UART) port.
	P3.1/TXD	I/O	Transmitter Data Output (asynchronous) or Clock Output (synchronous) of serial (UART) port.
	P3.2/ $\overline{INT0}$	I/O	Interrupt 0, programmable edge or level triggered Interrupt input, which can be programmed to one of two priority levels. This pin can also be used as a gate control input to Timer0.
	P3.3/ $\overline{INT1}$	I/O	Interrupt 1, programmable edge-or level-triggered Interrupt input, which can be programmed to one of two priority levels. This pin can also be used as a gate control input to Timer1.
20, 34, 48	DV _{DD}	S	Digital supply, 3 V or 5 V
21, 35, 47	DGND	S	Digital ground, ground reference point for the digital circuitry

PIN FUNCTION DESCRIPTIONS (continued)

Pin No.	Mnemonic	Type*	Description
22–25	P3.4–P3.7	I/O	P3.4–P3.7 are bidirectional port pins with internal pull-up resistors. Port 3 pins that have 1s written to them are pulled high by the internal pull-up resistors, and in that state can be used as inputs. As inputs, Port 3 pins being pulled externally low will source current because of the internal pull-up resistors. When driving a 0-to-1 output transition, a strong pull-up is active for two core clock periods of the instruction cycle. The secondary functions of Port 3 pins are:
	P3.4/T0	I/O	Timer/Counter 0 Input
	P3.5/T1	I/O	Timer/Counter 1 Input
	P3.6/ $\overline{\text{WR}}$	I/O	Write Control Signal, Logic Output. Latches the data byte from Port 0 into an external data memory.
	P3.7/ $\overline{\text{RD}}$	I/O	Read Control Signal, Logic Output. Enables the data from an external data memory to Port 0.
26	SCLK	I/O	Serial interface clock for either the I ² C-compatible or SPI interface. As an input this pin is a Schmitt-triggered input and a weak internal pull-up is present on this pin unless it is outputting logic low.
27	SDATA/MOSI	I/O	Serial data I/O for the I ² C compatible interface or master output/slave input for the SPI interface. A weak internal pull-up is present on this pin unless it is outputting logic low.
28 – 31	P2.0 – P2.3	I/O	Port 2 is a bidirectional port with internal pull-up resistors. Port 2 pins that have 1s (A8–A11) written to them are pulled high by the internal pull-up resistors, and in that state can (A16–A19) be used as inputs. As inputs, Port 2 pins being pulled externally low will source current because of the internal pull-up resistors. Port 2 emits the high order address bytes during fetches from external program memory and middle and high order address bytes during accesses to the 24-bit external data memory space.
32	XTAL1	I	Input to the crystal oscillator inverter
33	XTAL2	O	Output from the crystal oscillator inverter
36 – 39	P2.4 – P2.7	I/O	Port 2 is a bidirectional port with internal pull-up resistors. Port 2 pins that have 1s (A12–A15) written to them are pulled high by the internal pull-up resistors, and in that state they (A20–A23) can be used as inputs. As inputs, Port 2 pins being pulled externally low will source current because of the internal pull-up resistors. Port 2 emits the high order address bytes during fetches from external program memory and middle and high order address bytes during accesses to the 24-bit external data memory space.
40	$\overline{\text{EA}}$	I/O	External Access Enable, Logic Input. When held high, this input enables the device to fetch code from internal program memory locations 0000H to 1FFFH. When held low, this input enables the device to fetch all instructions from external program memory. To determine the mode of code execution, i.e., internal or external, the $\overline{\text{EA}}$ pin is sampled at the end of an external RESET assertion or as part of a device power cycle. $\overline{\text{EA}}$ may also be used as an external emulation I/O pin and therefore the voltage level at this pin must not be changed during normal mode operation as it may cause an emulation interrupt that will halt code execution.
41	$\overline{\text{PSEN}}$	O	Program Store Enable, Logic Output. This output is a control signal that enables the external program memory to the bus during external fetch operations. It is active every six oscillator periods except during external data memory accesses. This pin remains high during internal program execution. $\overline{\text{PSEN}}$ can also be used to enable serial download mode when pulled low through a resistor at the end of an external RESET assertion or as part of a device power cycle.
42	ALE	O	Address Latch Enable, Logic Output. This output is used to latch the low byte (and page byte for 24-bit data address space accesses) of the address to external memory during external code or data memory access cycles. It is activated every six oscillator periods except during an external data memory access. It can be disabled by setting the PCON.4 bit in the PCON SFR.
43 – 46	P0.0 – P0.3 (AD0 – AD3)	I/O	P0.0 – P0.3 pins are part of Port 0, which is an 8-bit open-drain bidirectional. I/O port. Port 0 pins that have 1s written to them float and in that state can be used as high impedance inputs. An external pull-up resistor will be required on P0 outputsto force a valid logic high level externally. Port 0 is also the multiplexed low-order address and data bus during accesses to external program or data memory. In this application it uses strong internal pull-ups when emitting 1s.
49 – 52	P0.4 – P0.7 (AD4 – AD7)	I/O	P0.4 – P0.7 pins are part of Port 0, which is an 8-bit open drain bidirectional. I/O port. Port 0 pins that have 1s written to them float and in that state can be used as high impedance inputs. Port 0 is also the multiplexed low-order address and data bus during accesses to external program or data memory. In this application it uses strong internal pull-ups when emitting 1s.

*I = Input, O = Output, S = Supply

NOTES

1. In the following descriptions, SET implies a Logic 1 state and CLEARED implies a Logic 0 state unless otherwise stated.
2. In the following descriptions, SET and CLEARED also imply that the bit is set or automatically cleared by the ADuC824 hardware unless otherwise stated.
3. User software should not write 1s to reserved or unimplemented bits as they may be used in future products.

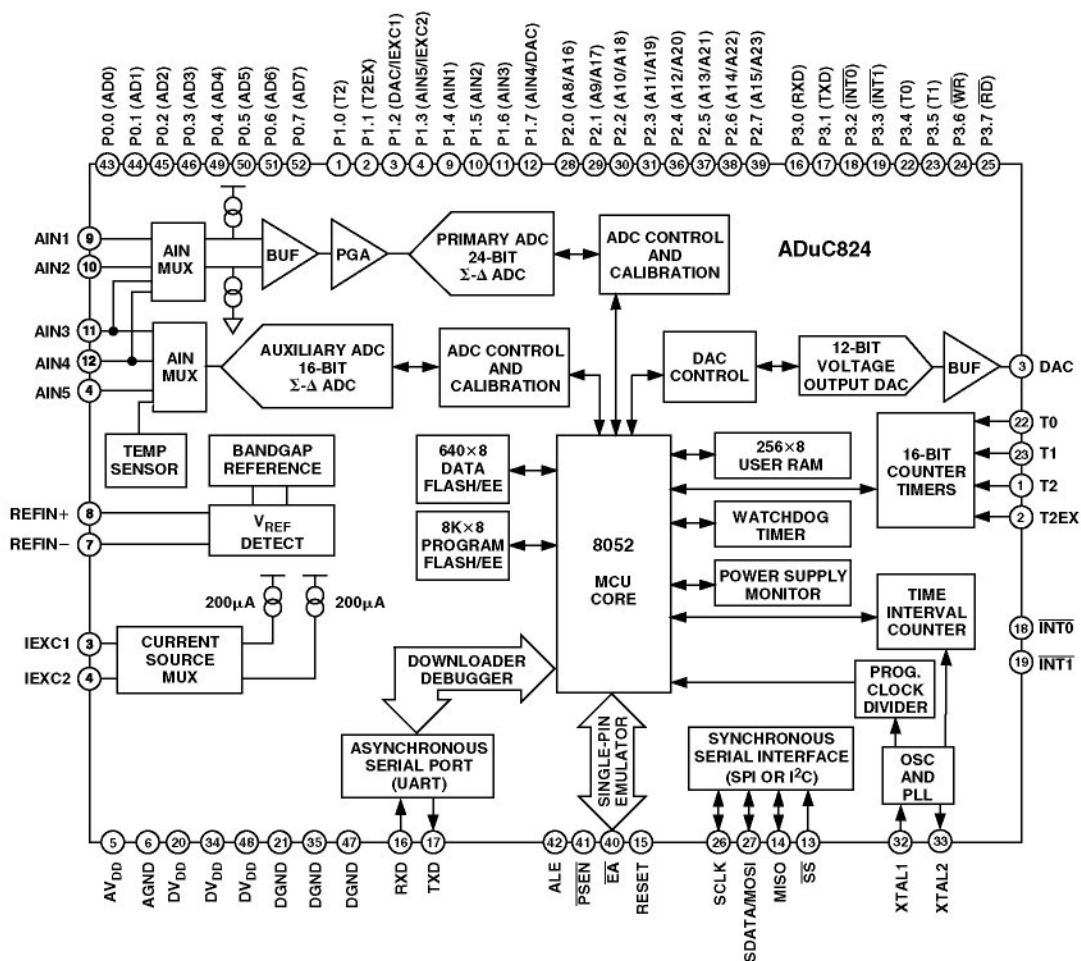


Figure 12. Block Diagram

ADuC824

MEMORY ORGANIZATION

As with all 8051-compatible devices, the ADuC824 has separate address spaces for Program and Data memory as shown in Figure 13 and Figure 14.

If the user applies power or resets the device while the $\overline{EA}$ pin is pulled low, the part will execute code from the external program space, otherwise the part defaults to code execution from its internal 8 Kbyte Flash/EE program memory. This internal code space can be downloaded via the UART serial port while the device is in-circuit.

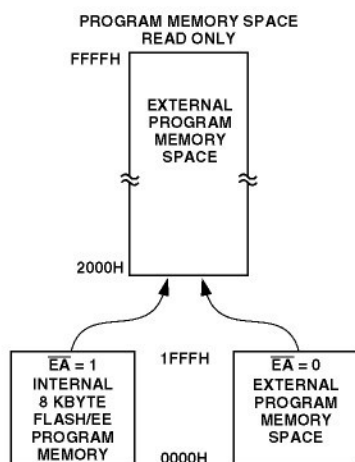


Figure 13. Program Memory Map

The data memory address space consists of internal and external memory space. The internal memory space is divided into four physically separate and distinct blocks, namely the lower 128 bytes of RAM, the upper 128 bytes of RAM, the 128 bytes of special function register (SFR) area, and a 640-byte Flash/EE Data memory. While the upper 128 bytes of RAM, and the SFR area share the same address locations, they are accessed through different address modes.

The lower 128 bytes of data memory can be accessed through direct or indirect addressing, the upper 128 bytes of RAM can be accessed through indirect addressing, and the SFR area is accessed through direct addressing.

Also, as shown in Figure 13, the additional 640 Bytes of Flash/EE Data Memory are available to the user and can be accessed indirectly via a group of control registers mapped into the Special Function Register (SFR) area. Access to the Flash/EE Data memory is discussed in detail later as part of the Flash/EE memory section in this data sheet.

The external data memory area can be expanded up to 16 Mbytes. This is an enhancement of the 64 KByte external data memory space available on standard 8051-compatible cores.

The external data memory is discussed in more detail in the ADuC824 Hardware Design Considerations section.

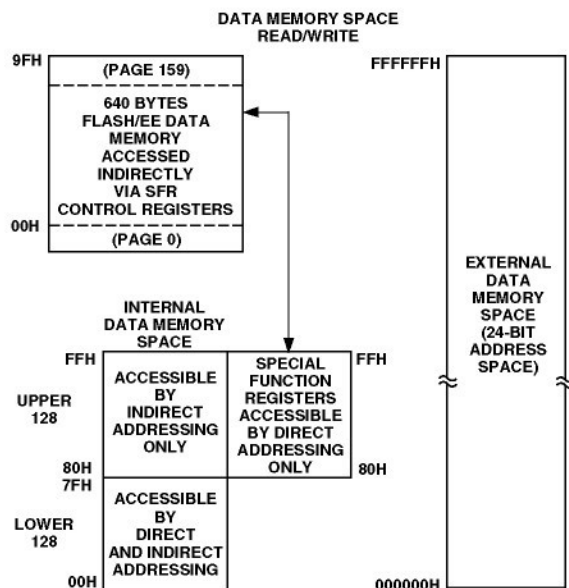


Figure 14. Data Memory Map

The lower 128 bytes of internal data memory are mapped as shown in Figure 15. The lowest 32 bytes are grouped into four banks of eight registers addressed as R0 through R7. The next 16 bytes (128 bits), locations 20 Hex through 2 FHex above the register banks, form a block of directly addressable bit locations at bit addresses 00H through 7FH. The stack can be located anywhere in the internal memory address space, and the stack depth can be expanded up to 256 bytes.

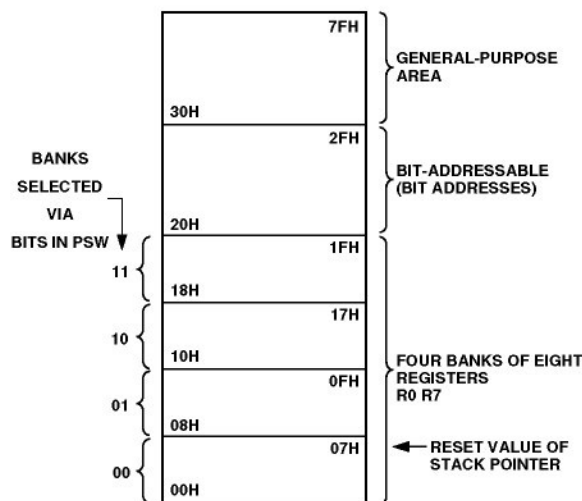


Figure 15. Lower 128 Bytes of Internal Data Memory

Reset initializes the stack pointer to location 07 Hex and increments it once to start from locations 08 Hex which is also the first register (R0) of register bank 1. Thus, if one is going to use more than one register bank, the stack pointer should be initialized to an area of RAM not used for data storage.

The SFR space is mapped to the upper 128 bytes of internal data memory space and accessed by direct addressing only. It provides an interface between the CPU and all on-chip peripherals. A block diagram showing the programming model of the ADuC824 via the SFR area is shown in Figure 16. A complete SFR map is shown in Figure 17.

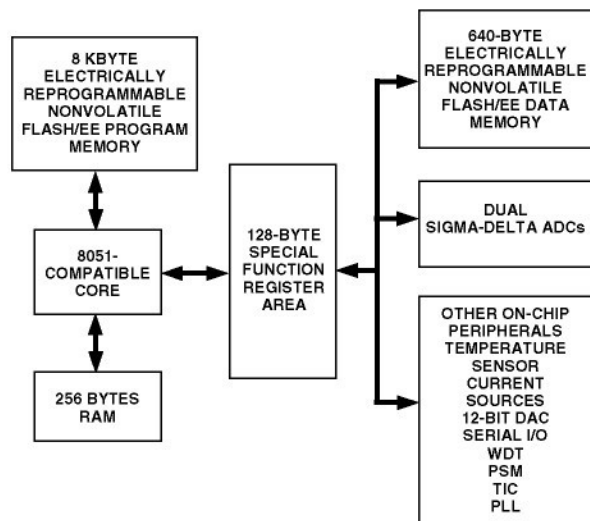


Figure 16. Programming Model

OVERVIEW OF MCU-RELATED SFRs

Accumulator SFR

ACC is the Accumulator register and is used for math operations including addition, subtraction, integer multiplication and division, and Boolean bit manipulations. The mnemonics for accumulator-specific instructions refer to the Accumulator as A.

B SFR

The B register is used with the ACC for multiplication and division operations. For other instructions it can be treated as a general-purpose scratchpad register.

Stack Pointer SFR

The SP register is the stack pointer and is used to hold an internal RAM address that is called the 'top of the stack.' The SP register is incremented before data is stored during PUSH and CALL executions. While the stack may reside anywhere in on-chip RAM, the SP register is initialized to 07H after a reset. This causes the stack to begin at location 08H.

Data Pointer

The Data Pointer is made up of three 8-bit registers, named DPP (page byte), DPH (high byte), and DPL (low byte). These are used to provide memory addresses for internal and external code access and external data access. It may be manipulated as a 16-bit register (DPTR = DPH, DPL), although INC DPTR instructions will automatically carry over to DPP, or as three independent 8-bit registers (DPP, DPH, DPL).

Program Status Word SFR

The PSW register is the Program Status Word which contains several bits reflecting the current status of the CPU as detailed in Table I.

SFR Address D0H
Power ON Default Value 00H
Bit Addressable Yes

CY	AC	F0	RS1	RS0	OV	F1	P
----	----	----	-----	-----	----	----	---

Table I. PSW SFR Bit Designations

Bit	Name	Description
7	CY	Carry Flag
6	AC	Auxiliary Carry Flag
5	F0	General-Purpose Flag
4	RS1	Register Bank Select Bits
3	RS0	RS1 RS0 Selected Bank
		0 0 0
		0 1 1
		1 0 2
		1 1 3
2	OV	Overflow Flag
1	F1	General-Purpose Flag
0	P	Parity Bit

Power Control SFR

The Power Control (PCON) register contains bits for power-saving options and general-purpose status flags as shown in Table II.

SFR Address 87H
Power ON Default Value 00H
Bit Addressable No

SMOD	SERIPD	INT0PD	ALEOFF	GF1	GF0	PD	IDL
------	--------	--------	--------	-----	-----	----	-----

Table II. PCON SFR Bit Designations

Bit	Name	Description
7	SMOD	Double UART Baud Rate
6	SERIPD	I ² C/SPI Power-Down Interrupt Enable
5	INT0PD	INT0 Power-Down Interrupt Enable
4	ALEOFF	Disable ALE Output
3	GF1	General-Purpose Flag Bit
2	GF0	General-Purpose Flag Bit
1	PD	Power-Down Mode Enable
0	IDL	Idle Mode Enable

SPECIAL FUNCTION REGISTERS

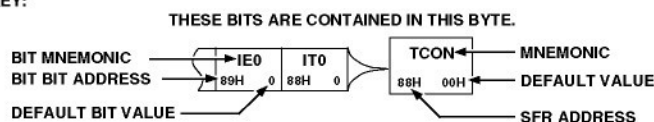
All registers, except the program counter and the four general-purpose register banks, reside in the SFR area. The SFR registers include control, configuration, and data registers that provide an interface between the CPU and all on-chip peripherals.

Figure 17 shows a full SFR memory map and SFR contents on RESET. NOT USED indicates unoccupied SFR locations. Unoccupied locations in the SFR address space are not implemented; i.e., no register exists at this location. If an unoccupied location is read, an unspecified value is returned. SFR locations reserved for future use are shaded (RESERVED) and should not be accessed by user software.

ISPI FFH 0	WCOL FEH 0	SPE FDH 0	SPIM FCH 0	CPOL FBH 0	CPHA FAH 1	SPR1 F9H 0	SPR0 F8H 0	BITS	SPICON F8H 04H	RESERVED	RESERVED	DACL FBH 00H	DACH FCH 00H	DACCON FDH 00H	RESERVED	RESERVED
F7H 0	F6H 0	F5H 0	F4H 0	F3H 0	F2H 0	F1H 0	F0H 0	BITS	B F0H 00H	RESERVED	RESERVED	NOT USED	RESERVED	RESERVED	RESERVED	SPIDAT F7H 00H
MDO EFH 0	MDE EEH 0	MCO EDH 0	MDI ECH 0	I2CM EBH 0	I2CRS EAH 0	I2CTX E9H 0	I2CI E8H 0	BITS	I2CCON E8H 00H	GN0L* E9H 55H	GN0M* EAH 55H	GN0H* EBH 53H	GN1L* ECH 9AH	GN1H* EDH 59H	RESERVED	RESERVED
E7H 0	E6H 0	E5H 0	E4H 0	E3H 0	E2H 0	E1H 0	E0H 0	BITS	ACC E0H 00H	OF0L* E1H 00H	OF0M* E2H 00H	OF0H* E3H 80H	OF1L* E4H 00H	OF1H* E5H 80H	RESERVED	RESERVED
RDY0 DFH 0	RDY1 DEH 0	CAL DDH 0	NOXREF DCH 0	ERR0 DBH 0	ERR1 DAH 0	D9H 0	D8H 0	BITS	ADCSTAT D8H 00H	ADC0L D9H 00H	ADC0M DAH 00H	ADC0H DBH 00H	ADC1L DCH 00H	ADC1H DDH 00H	RESERVED	PSMCON DFH DEH
CY D7H 0	AC D6H 0	F0 D5H 0	RSI D4H 0	RS0 D3H 0	OV D2H 0	FI D1H 0	P D0H 0	BITS	PSW D0H 00H	ADCMODE D1H 00H	ADC0CON D2H 07H	ADC1CON D3H 00H	SF D4H 45H	ICON D5H 00H	RESERVED	PLLCON D7H 03H
TF2 CFH 0	EXF2 CEH 0	RCLK CDH 0	TCLK CCH 0	EXEN2 CBH 0	TR2 CAH 0	CNT2 C9H 0	CAP2 C8H 0	BITS	T2CON C8H 00H	RESERVED	RCAP2L CAH 00H	RCAP2H CBH 00H	TL2 CCH 00H	TH2 CDH 00H	RESERVED	RESERVED
PRE3 C7H 0	PRE2 C6H 0	PRE1 C5H 0	PRE0 C4H 0	WDIR C3H 0	WDS C2H 0	WDE C1H 0	WDWR C0H 0	BITS	WDCON C0H 10H	RESERVED	CHIPID C2H 06H	RESERVED	RESERVED	RESERVED	EADRL C6H 00H	RESERVED
BFH 0	PADC BEH 0	PT2 BDH 0	PS BCH 0	PT1 BBH 0	PX1 BAH 0	PT0 B9H 0	PX0 B8H 0	BITS	IP B8H 00H	ECON B9H 00H	RESERVED	RESERVED	EDATA1 BCH 00H	EDATA2 BDH 00H	EDATA3 BEH 00H	EDATA4 BFH 00H
RD B7H 1	WR B6H 1	T1 B5H 1	T0 B4H 1	INT1 B3H 1	INT0 B2H 1	TXD B1H 1	RXD B0H 1	BITS	P3 B0H FFH	NOT USED	NOT USED	NOT USED	NOT USED	RESERVED	RESERVED	NOT USED
EA AFH 0	EADC AEH 0	ET2 ADH 0	ES ACH 0	ET1 ABH 0	EX1 AAH 0	ET0 A9H 0	EX0 A8H 0	BITS	IE A8H 00H	IEIP2 A9H A0H	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED
A7H 1	A6H 1	A5H 1	A4H 1	A3H 1	A2H 1	A1H 1	A0H 1	BITS	P2 A0H FFH	TIMECON A1H 00H	HTHSEC A2H 00H	SEC A3H 00H	MIN A4H 00H	hour A5H 00H	INTVAL A6H 00H	NOT USED
SM0 9FH 0	SM1 9EH 0	SM2 9DH 0	REN 9CH 0	TB8 9BH 0	RB8 9AH 0	T1 99H 0	R1 98H 0	BITS	SCON 98H 00H	SBUF 99H 00H	I2CDAT 9AH 00H	I2CDAT 9AH 00H	NOT USED	NOT USED	NOT USED	NOT USED
97H 1	96H 1	95H 1	94H 1	93H 1	92H 1	91H 1	90H 1	BITS	P1 90H FFH	NOT USED	NOT USED	NOT USED	NOT USED	NOT USED	NOT USED	NOT USED
TF1 8FH 0	TR1 8EH 0	TF0 8DH 0	TR0 8CH 0	IE1 8BH 0	IT1 8AH 0	IE0 89H 0	IT0 88H 0	BITS	TCON 88H 00H	TMOD 89H 00H	TL0 8AH 00H	TL1 8BH 00H	TH0 8CH 00H	TH1 8DH 00H	RESERVED	RESERVED
87H 1	86H 1	85H 1	84H 1	83H 1	82H 1	81H 1	80H 1	BITS	P0 80H FFH	SP 81H 07H	DPL 82H 00H	DPH 83H 00H	DPP 84H 00H	RESERVED	RESERVED	PCON 87H 00H

*CALIBRATION COEFFICIENTS ARE PRECONFIGURED AT POWER-UP TO FACTORY CALIBRATED VALUES.

SFR MAP KEY:



SFR NOTE:

SFRs WHOSE ADDRESSES END IN 0H OR 8H ARE BIT-ADDRESSABLE.

Figure 17. Special Function Register Locations and Reset Values

SFR INTERFACE TO THE PRIMARY AND AUXILIARY ADCS

Both ADCs are controlled and configured via a number of SFRs that are mentioned here and described in more detail in the following pages.

ADCSTAT: ADC Status Register. Holds general status of the Primary and Auxiliary ADCs.

ADCMODE: ADC Mode Register. Controls general modes of operation for Primary and Auxiliary ADCs.

ADC0CON: Primary ADC Control Register. Controls specific configuration of Primary ADC.

ADC1CON: Auxiliary ADC Control Register. Controls specific configuration of Auxiliary ADC.

SF: Sinc Filter Register. Configures the decimation factor for the Sinc3 filter and thus the Primary and Auxiliary ADC update rates.

ICON: Current Source Control Register. Allows user control of the various on-chip current source options.

ADC0L/M/H: Primary ADC 24-bit conversion result held in these three 8-bit registers.

ADC1L/H: Auxiliary ADC 16-bit conversion result held in these two 8-bit registers.

OF0L/M/H: Primary ADC 24-bit Offset Calibration Coefficient held in these three 8-bit registers.

OF1L/H: Auxiliary ADC 16-bit Offset Calibration Coefficient held in these two 8-bit registers.

GN0L/M/H: Primary ADC 24-bit Gain Calibration Coefficient held in these three 8-bit registers.

GN1L/H: Auxiliary ADC 16-bit Gain Calibration Coefficient held in these two 8-bit registers.

ADCSTAT—(ADC Status Register)

This SFR reflects the status of both ADCs including data ready, calibration and various (ADC-related) error and warning conditions including reference detect and conversion overflow/underflow flags.

SFR Address D8H

Power-On Default Value 00H

Bit Addressable Yes

RDY0	RDY1	CAL	NOXREF	ERR0	ERR1	—	—
------	------	-----	--------	------	------	---	---

Table III. ADCSTAT SFR Bit Designations

Bit	Name	Description
7	RDY0	Ready Bit for Primary ADC <i>Set</i> by hardware on completion of ADC conversion or calibration cycle. <i>Cleared</i> directly by the user or indirectly by write to the mode bits to start another Primary ADC conversion or calibration. The Primary ADC is inhibited from writing further results to its data or calibration registers until the RDY0 bit is cleared.
6	RDY1	Ready Bit for Auxiliary ADC Same definition as RDY0 referred to the Auxiliary ADC.
5	CAL	Calibration Status Bit <i>Set</i> by hardware on completion of calibration. <i>Cleared</i> indirectly by a write to the mode bits to start another ADC conversion or calibration.
4	NOXREF	No External Reference Bit (<i>only active if Primary or Auxiliary ADC is active</i>). <i>Set</i> to indicate that one or both of the REFIN pins is floating or the applied voltage is below a specified threshold. When <i>Set</i> conversion results are clamped to all ones, if using ext. reference. <i>Cleared</i> to indicate valid V_{REF} .
3	ERR0	Primary ADC Error Bit <i>Set</i> by hardware to indicate that the result written to the Primary ADC data registers has been clamped to all zeros or all ones. After a calibration this bit also flags error conditions that caused the calibration registers not to be written. <i>Cleared</i> by a write to the mode bits to initiate a conversion or calibration.
2	ERR1	Auxiliary ADC Error Bit Same definition as ERR0 referred to the Auxiliary ADC.
1	—	Reserved for Future Use
0	—	Reserved for Future Use

ADuC824

ADCMODE (ADC Mode Register)

Used to control the operational mode of both ADCs.

SFR Address	D1H
Power-On Default Value	00H
Bit Addressable	No

—	—	ADC0EN	ADC1EN	—	MD2	MD1	MD0
---	---	--------	--------	---	-----	-----	-----

Table IV. ADCMODE SFR Bit Designations

Bit	Name	Description																																				
7	—	Reserved for Future Use																																				
6	—	Reserved for Future Use																																				
5	ADC0EN	Primary ADC Enable Set by the user to enable the Primary ADC and place it in the mode selected in MD2–MD0 below Cleared by the user to place the Primary ADC in power-down mode.																																				
4	ADC1EN	Auxiliary ADC Enable Set by the user to enable the Auxiliary ADC and place it in the mode selected in MD2–MD0 below Cleared by the user to place the Auxiliary ADC in power-down mode.																																				
3	—	Reserved for Future Use																																				
2	MD2	Primary and Auxiliary ADC Mode bits.																																				
1	MD1	These bits select the operational mode of the enabled ADC as follows:																																				
0	MD0	<table><thead><tr><th>MD2</th><th>MD1</th><th>MD0</th><th></th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td><td>Power-Down Mode (Power-On Default)</td></tr><tr><td>0</td><td>0</td><td>1</td><td>Idle Mode In Idle Mode the ADC filter and modulator are held in a reset state although the modulator clocks are still provided.</td></tr><tr><td>0</td><td>1</td><td>0</td><td>Single Conversion Mode In Single Conversion Mode, a single conversion is performed on the enabled ADC. On completion of the conversion, the ADC data registers (ADC0H/M/L and/or ADC1H/L) are updated, the relevant flags in the ADCSTAT SFR are written, and power-down is re-entered with the MD2–MD0 accordingly being written to 000.</td></tr><tr><td>0</td><td>1</td><td>1</td><td>Continuous Conversion In continuous conversion mode the ADC data registers are regularly updated at the selected update rate (see SF register)</td></tr><tr><td>1</td><td>0</td><td>0</td><td>Internal Zero-Scale Calibration Internal short is automatically connected to the enabled ADC(s)</td></tr><tr><td>1</td><td>0</td><td>1</td><td>Internal Full-Scale Calibration Internal or External V_{REF} (as determined by XREF0 and XREF1 bits in ADC0/1CON) is automatically connected to the ADC input for this calibration.</td></tr><tr><td>1</td><td>1</td><td>0</td><td>System Zero-Scale Calibration User should connect system zero-scale input to the ADC input pins as selected by CH1/CH0 and ACH1/ACH0 bits in the ADC0/1CON register.</td></tr><tr><td>1</td><td>1</td><td>1</td><td>System Full-Scale Calibration User should connect system full-scale input to the ADC input pins as selected by CH1/CH0 and ACH1/ACH0 bits in the ADC0/1CON register.</td></tr></tbody></table>	MD2	MD1	MD0		0	0	0	Power-Down Mode (Power-On Default)	0	0	1	Idle Mode In Idle Mode the ADC filter and modulator are held in a reset state although the modulator clocks are still provided.	0	1	0	Single Conversion Mode In Single Conversion Mode, a single conversion is performed on the enabled ADC. On completion of the conversion, the ADC data registers (ADC0H/M/L and/or ADC1H/L) are updated, the relevant flags in the ADCSTAT SFR are written, and power-down is re-entered with the MD2–MD0 accordingly being written to 000.	0	1	1	Continuous Conversion In continuous conversion mode the ADC data registers are regularly updated at the selected update rate (see SF register)	1	0	0	Internal Zero-Scale Calibration Internal short is automatically connected to the enabled ADC(s)	1	0	1	Internal Full-Scale Calibration Internal or External V _{REF} (as determined by XREF0 and XREF1 bits in ADC0/1CON) is automatically connected to the ADC input for this calibration.	1	1	0	System Zero-Scale Calibration User should connect system zero-scale input to the ADC input pins as selected by CH1/CH0 and ACH1/ACH0 bits in the ADC0/1CON register.	1	1	1	System Full-Scale Calibration User should connect system full-scale input to the ADC input pins as selected by CH1/CH0 and ACH1/ACH0 bits in the ADC0/1CON register.
MD2	MD1	MD0																																				
0	0	0	Power-Down Mode (Power-On Default)																																			
0	0	1	Idle Mode In Idle Mode the ADC filter and modulator are held in a reset state although the modulator clocks are still provided.																																			
0	1	0	Single Conversion Mode In Single Conversion Mode, a single conversion is performed on the enabled ADC. On completion of the conversion, the ADC data registers (ADC0H/M/L and/or ADC1H/L) are updated, the relevant flags in the ADCSTAT SFR are written, and power-down is re-entered with the MD2–MD0 accordingly being written to 000.																																			
0	1	1	Continuous Conversion In continuous conversion mode the ADC data registers are regularly updated at the selected update rate (see SF register)																																			
1	0	0	Internal Zero-Scale Calibration Internal short is automatically connected to the enabled ADC(s)																																			
1	0	1	Internal Full-Scale Calibration Internal or External V _{REF} (as determined by XREF0 and XREF1 bits in ADC0/1CON) is automatically connected to the ADC input for this calibration.																																			
1	1	0	System Zero-Scale Calibration User should connect system zero-scale input to the ADC input pins as selected by CH1/CH0 and ACH1/ACH0 bits in the ADC0/1CON register.																																			
1	1	1	System Full-Scale Calibration User should connect system full-scale input to the ADC input pins as selected by CH1/CH0 and ACH1/ACH0 bits in the ADC0/1CON register.																																			

NOTES

- Any change to the MD bits will immediately reset both ADCs. A write to the MD2–0 bits with no change is also treated as a reset. (See exception to this in Note 3 below.)
- If ADC0CON is written when AD0EN = 1, or if AD0EN is changed from 0 to 1, then both ADCs are also immediately reset. In other words, the Primary ADC is given priority over the Auxiliary ADC and any change requested on the primary ADC is immediately responded to.
- On the other hand, if ADC1CON is written or if ADC1EN is changed from 0 to 1, only the Auxiliary ADC is reset. For example, if the Primary ADC is continuously converting when the Auxiliary ADC change or enable occurs, the primary ADC continues undisturbed. Rather than allow the Auxiliary ADC to operate with a phase difference from the primary ADC, the Auxiliary ADC will fall into step with the outputs of the primary ADC. The result is that the first conversion time for the Auxiliary ADC will be delayed up to three outputs while the Auxiliary ADC update rate is synchronized to the Primary ADC.
- Once ADCMODE has been written with a calibration mode, the RDY0/1 bits (ADCSTAT) are immediately reset and the calibration commences. On completion, the appropriate calibration registers are written, the relevant bits in ADCSTAT are written, and the MD2–0 bits are reset to 000 to indicate the ADC is back in power-down mode.
- Any calibration request of the Auxiliary ADC while the temperature sensor is selected will fail to complete. Although the RDY1 bit will be set at the end of the calibration cycle, no update of the calibration SFRs will take place and the ERR1 bit will be set.
- Calibrations are performed at maximum SF (see SF SFR) value guaranteeing optimum calibration operation.

ADC0CON (Primary ADC Control Register)

Used to configure the Primary ADC for range, channel selection, external Ref enable, and unipolar or bipolar coding.

SFR Address	D2H
Power-On Default Value	07H
Bit Addressable	No

—	XREF0	CH1	CH0	UNI0	RN2	RN1	RN0
---	-------	-----	-----	------	-----	-----	-----

Table V. ADC0CON SFR Bit Designations

Bit	Name	Description																																				
7	—	Reserved for Future Use																																				
6	XREF0	Primary ADC External Reference Select Bit <i>Set</i> by user to enable the Primary ADC to use the external reference via REFIN(+)/REFIN(–). <i>Cleared</i> by user to enable the Primary ADC to use the internal bandgap reference ($V_{REF} = 1.25\text{ V}$).																																				
5	CH1	Primary ADC Channel Selection Bits																																				
4	CH0	Written by the user to select the differential input pairs used by the Primary ADC as follows: <table><tr><th>CH1</th><th>CH0</th><th>Positive Input</th><th>Negative Input</th></tr><tr><td>0</td><td>0</td><td>AIN1</td><td>AIN2</td></tr><tr><td>0</td><td>1</td><td>AIN3</td><td>AIN4</td></tr><tr><td>1</td><td>0</td><td>AIN2</td><td>AIN2 (Internal Short)</td></tr><tr><td>1</td><td>1</td><td>AIN3</td><td>AIN2</td></tr></table>	CH1	CH0	Positive Input	Negative Input	0	0	AIN1	AIN2	0	1	AIN3	AIN4	1	0	AIN2	AIN2 (Internal Short)	1	1	AIN3	AIN2																
CH1	CH0	Positive Input	Negative Input																																			
0	0	AIN1	AIN2																																			
0	1	AIN3	AIN4																																			
1	0	AIN2	AIN2 (Internal Short)																																			
1	1	AIN3	AIN2																																			
3	UNI0	Primary ADC Unipolar Bit. <i>Set</i> by user to enable unipolar coding, i.e., zero differential input will result in 000000 hex output. <i>Cleared</i> by user to enable bipolar coding, zero differential input will result in 800000 hex output.																																				
2	RN2	Primary ADC Range Bits																																				
1	RN1	Written by the user to select the Primary ADC input range as follows:																																				
0	RN0	<table><tr><th>RN2</th><th>RN1</th><th>RN0</th><th>Selected Primary ADC Input Range ($V_{REF} = 2.5\text{ V}$)</th></tr><tr><td>0</td><td>0</td><td>0</td><td>$\pm 20\text{ mV}$</td></tr><tr><td>0</td><td>0</td><td>1</td><td>$\pm 40\text{ mV}$</td></tr><tr><td>0</td><td>1</td><td>0</td><td>$\pm 80\text{ mV}$</td></tr><tr><td>0</td><td>1</td><td>1</td><td>$\pm 160\text{ mV}$</td></tr><tr><td>1</td><td>0</td><td>0</td><td>$\pm 320\text{ mV}$</td></tr><tr><td>1</td><td>0</td><td>1</td><td>$\pm 640\text{ mV}$</td></tr><tr><td>1</td><td>1</td><td>0</td><td>$\pm 1.28\text{ V}$</td></tr><tr><td>1</td><td>1</td><td>1</td><td>$\pm 2.56\text{ V}$</td></tr></table>	RN2	RN1	RN0	Selected Primary ADC Input Range ($V_{REF} = 2.5\text{ V}$)	0	0	0	$\pm 20\text{ mV}$	0	0	1	$\pm 40\text{ mV}$	0	1	0	$\pm 80\text{ mV}$	0	1	1	$\pm 160\text{ mV}$	1	0	0	$\pm 320\text{ mV}$	1	0	1	$\pm 640\text{ mV}$	1	1	0	$\pm 1.28\text{ V}$	1	1	1	$\pm 2.56\text{ V}$
RN2	RN1	RN0	Selected Primary ADC Input Range ($V_{REF} = 2.5\text{ V}$)																																			
0	0	0	$\pm 20\text{ mV}$																																			
0	0	1	$\pm 40\text{ mV}$																																			
0	1	0	$\pm 80\text{ mV}$																																			
0	1	1	$\pm 160\text{ mV}$																																			
1	0	0	$\pm 320\text{ mV}$																																			
1	0	1	$\pm 640\text{ mV}$																																			
1	1	0	$\pm 1.28\text{ V}$																																			
1	1	1	$\pm 2.56\text{ V}$																																			

ADuC824

ADC1CON (Auxiliary ADC Control Register)

Used to configure the Auxiliary ADC for channel selection, external Ref enable and unipolar or bipolar coding. It should be noted that the Auxiliary ADC only operates on a fixed input range of $\pm V_{REF}$.

SFR Address	D3H
Power-On Default Value	00H
Bit Addressable	No

—	XREF1	ACH1	ACH0	UNI1	—	—	—
---	-------	------	------	------	---	---	---

Table VI. ADC1CON SFR Bit Designations

Bit	Name	Description																				
7	—	Reserved for Future Use																				
6	XREF1	Auxiliary ADC External Reference Bit <i>Set</i> by user to enable the Auxiliary ADC to use the external reference via REFIN(+)/REFIN(–). <i>Cleared</i> by user to enable the Auxiliary ADC to use the internal bandgap reference.																				
5	ACH1	Auxiliary ADC Channel Selection Bits																				
4	ACH0	Written by the user to select the single-ended input pins used to drive the Auxiliary ADC as follows: <table><tr><td>ACH1</td><td>ACH0</td><td>Positive Input</td><td>Negative Input</td></tr><tr><td>0</td><td>0</td><td>AIN3</td><td>AGND</td></tr><tr><td>0</td><td>1</td><td>AIN4</td><td>AGND</td></tr><tr><td>1</td><td>0</td><td>Temp Sensor*</td><td>AGND (Temp. Sensor routed to the ADC input)</td></tr><tr><td>1</td><td>1</td><td>AIN5</td><td>AGND</td></tr></table>	ACH1	ACH0	Positive Input	Negative Input	0	0	AIN3	AGND	0	1	AIN4	AGND	1	0	Temp Sensor*	AGND (Temp. Sensor routed to the ADC input)	1	1	AIN5	AGND
ACH1	ACH0	Positive Input	Negative Input																			
0	0	AIN3	AGND																			
0	1	AIN4	AGND																			
1	0	Temp Sensor*	AGND (Temp. Sensor routed to the ADC input)																			
1	1	AIN5	AGND																			
3	UNI1	Auxiliary ADC Unipolar Bit <i>Set</i> by user to enable unipolar coding, i.e., zero input will result in 0000 hex output. <i>Cleared</i> by user to enable bipolar coding, zero input will result in 8000 hex output.																				
2	—	Reserved for Future Use																				
1	—	Reserved for Future Use																				
0	—	Reserved for Future Use																				

*NOTES

1. When the temperature sensor is selected, user code must select internal reference via XREF1 bit above and clear the UNI1 bit (ADC1CON.3) to select bipolar coding.
2. The temperature sensor is factory calibrated to yield conversion results 8000H at 0 °C.
3. A +1°C change in temperature will result in a +1 LSB change in the ADC1H register ADC conversion result.

SF (Sinc Filter Register)

The number in this register sets the decimation factor and thus the output update rate for the Primary and Auxiliary ADCs.

This SFR cannot be written by user software while either ADC is active. The update rate applies to both Primary and Auxiliary ADCs and is calculated as follows:

$$f_{ADC} = \frac{1}{3} \times \frac{1}{8 \cdot SF} \times f_{MOD}$$

Where: f_{ADC} = ADC Output Update Rate
 f_{MOD} = Modulator Clock Frequency = 32.768 kHz
 SF = Decimal Value of SF Register

The allowable range for SF is 0Dhex to FFhex. Examples of SF values and corresponding conversion update rate (f_{ADC}) and con-

version time (t_{ADC}) are shown in Table VII, the power-on default value for the SF register is 45hex, resulting in a default ADC update rate of just under 20 Hz. Both ADC inputs are chopped to minimize offset errors, which means that the settling time for a single conversion or the time to a first conversion result in continuous conversion mode is $2 \times t_{ADC}$. As mentioned earlier, all calibration cycles will be carried out automatically with a maximum, i.e., FFhex, SF value to ensure optimum calibration performance. Once a calibration cycle has completed, the value in the SF register will be that programmed by user software.

Table VII. SF SFR Bit Designations

SF(dec)	SF(hex)	f_{ADC} (Hz)	t_{ADC} (ms)
13	0D	105.3	9.52
69	45	19.79	50.34
255	FF	5.35	186.77

ICON (Current Sources Control Register)

Used to control and configure the various excitation and burnout current source options available on-chip.

SFR Address	D5H
Power-On Default Value	00H
Bit Addressable	No

—	BO	ADC1IC	ADC0IC	I2PIN	I1PIN	I2EN	I1EN
---	----	--------	--------	-------	-------	------	------

Table VIII. ICON SFR Bit Designations

Bit	Name	Description
7	—	Reserved for Future Use
6	BO	Burnout Current Enable Bit <i>Set</i> by user to enable both transducer burnout current sources in the primary ADC signal paths. <i>Cleared</i> by user to disable both transducer burnout current sources.
5	ADC1IC	Auxiliary ADC Current Correction Bit <i>Set</i> by user to allow scaling of the Auxiliary ADC by an internal current source calibration word.
4	ADC0IC	Primary ADC Current Correction Bit <i>Set</i> by user to allow scaling of the Primary ADC by an internal current source calibration word.
3	I2PIN*	Current Source-2 Pin Select Bit <i>Set</i> by user to enable current source-2 (200 μ A) to external pin 3 (P1.2/DAC/IEXC1). <i>Cleared</i> by user to enable current source-2 (200 μ A) to external pin 4 (P1.3/AIN5/IEXC2).
2	I1PIN*	Current Source-1 Pin Select Bit <i>Set</i> by user to enable current source-1 (200 μ A) to external pin 4 (P1.3/AIN5/IEXC2). <i>Cleared</i> by user to enable current source-1 (200 μ A) to external pin 3 (P1.2/DAC/IEXC1).
1	I2EN	Current Source-2 Enable Bit <i>Set</i> by user to turn on excitation current source-2 (200 μ A). <i>Cleared</i> by user to turn off excitation current source-2 (200 μ A).
0	I1EN	Current Source-1 Enable Bit <i>Set</i> by user to turn on excitation current source-1 (200 μ A). <i>Cleared</i> by user to turn off excitation current source-1 (200 μ A).

*Both current sources can be enabled to the same external pin, yielding a 400 μ A current source.

ADC0H/ADC0M/ADC0L (Primary ADC Conversion Result Registers)

These three 8-bit registers hold the 24-bit conversion result from the Primary ADC.

SFR Address	ADC0H	High Data Byte	DBH
	ADC0M	Middle Data Byte	DAH
	ADC0L	Low Data Byte	D9H
Power-On Default Value	00H	All Three registers	
Bit Addressable	No	All Three registers	

ADC1H/ADC1L (Auxiliary ADC Conversion Result Registers)

These two 8-bit registers hold the 16-bit conversion result from the Auxiliary ADC.

SFR Address	ADC1H	High Data Byte	DDH
	ADC1L	Low Data Byte	DCH
Power-On Default Value	00H	Both Registers	
Bit Addressable	No	Both Registers	

ADuC824

OF0H/OF0M/OF0L (Primary ADC Offset Calibration Registers*)

These three 8-bit registers hold the 24-bit offset calibration coefficient for the Primary ADC. These registers are configured at power-on with a factory default value of 800000Hex. However, these bytes will be automatically overwritten if an internal or system zero-scale calibration is initiated by the user via MD2–0 bits in the ADCMODE register.

SFR Address	OF0H	Primary ADC Offset Coefficient High Byte	E3H
	OF0M	Primary ADC Offset Coefficient Middle Byte	E2H
	OF0L	Primary ADC Offset Coefficient Low Byte	E1H
Power-On Default Value	800000H	OF0H, OF0M, and OF0L, Respectively	
Bit Addressable	No	All Three Registers	

OF1H/OF1L (Auxiliary ADC Offset Calibration Registers*)

These two 8-bit registers hold the 16-bit offset calibration coefficient for the Auxiliary ADC. These registers are configured at power-on with a factory default value of 8000Hex. However, these bytes will be automatically overwritten if an internal or system zero-scale calibration is initiated by the user via the MD2–0 bits in the ADCMODE register.

SFR Address	OF1H	Auxiliary ADC Offset Coefficient High Byte	E5H
	OF1L	Auxiliary ADC Offset Coefficient Low Byte	E4H
Power-On Default Value	8000H	OF1H and OF1L Respectively	
Bit Addressable	No	Both Registers	

GN0H/GN0M/GN0L (Primary ADC Gain Calibration Registers*)

These three 8-bit registers hold the 24-bit gain calibration coefficient for the Primary ADC. These registers are configured at power-on with a factory-calculated internal full-scale calibration coefficient. Every device will have an individual coefficient. However, these bytes will be automatically overwritten if an internal or system full-scale calibration is initiated by the user via MD2–0 bits in the ADCMODE register.

SFR Address	GN0H	Primary ADC Gain Coefficient High Byte	EBH
	GN0M	Primary ADC Gain Coefficient Middle Byte	EAH
	GN0L	Primary ADC Gain Coefficient Low Byte	E9H
Power-On Default Value		Configured at factory final test, see notes above.	
Bit Addressable	No	All Three Registers	

GN1H/GN1L (Auxiliary ADC Gain Calibration Registers*)

These two 8-bit registers hold the 16-bit gain calibration coefficient for the Auxiliary ADC. These registers are configured at power-on with a factory calculated internal full-scale calibration coefficient. Every device will have an individual coefficient. However, these bytes will be automatically overwritten if an internal or system full-scale calibration is initiated by the user via MD2–0 bits in the ADCMODE register.

SFR Address	GN1H	Auxiliary ADC Gain Coefficient High Byte	EDH
	GN1L	Auxiliary ADC Gain Coefficient Low Byte	ECH
Power-On Default Value		Configured at factory final test, see notes above.	
Bit Addressable	No	Both Registers	

*These registers can be overwritten by user software only if Mode bits MD0–2 (ADCMODE SFR) are zero.

PRIMARY AND AUXILIARY ADC CIRCUIT DESCRIPTION

Overview

The ADuC824 incorporates two independent sigma-delta ADCs (Primary and Auxiliary) with on-chip digital filtering intended for the measurement of wide dynamic range, low frequency signals, such as those in weigh-scale, strain-gauge, pressure transducer or temperature measurement applications.

Primary ADC

This ADC is intended to convert the primary sensor input. The input is buffered and can be programmed for one of 8 input ranges from ± 20 mV to ± 2.56 V, being driven from one of three differential input channel options AIN1/2, AIN3/4, or AIN3/2. The input channel is internally buffered allowing the part to handle significant source impedances on the analog input, allowing R/C filtering (for noise rejection or RFI reduction) to be placed on

the analog inputs if required. On-chip burnout currents can also be turned on. These currents can be used to check that a transducer on the selected channel is still operational before attempting to take measurements.

The ADC employs a sigma-delta conversion technique to realize up to 24 bits of no missing codes performance. The sigma-delta modulator converts the sampled input signal into a digital pulse train whose duty cycle contains the digital information. A Sinc³ programmable low-pass filter is then employed to decimate the modulator output data stream to give a valid data conversion result at programmable output rates from 5.35 Hz (186.77 ms) to 105.03 Hz (9.52 ms). A Chopping scheme is also employed to minimize ADC offset errors. A block diagram of the Primary ADC is shown in Figure 18.

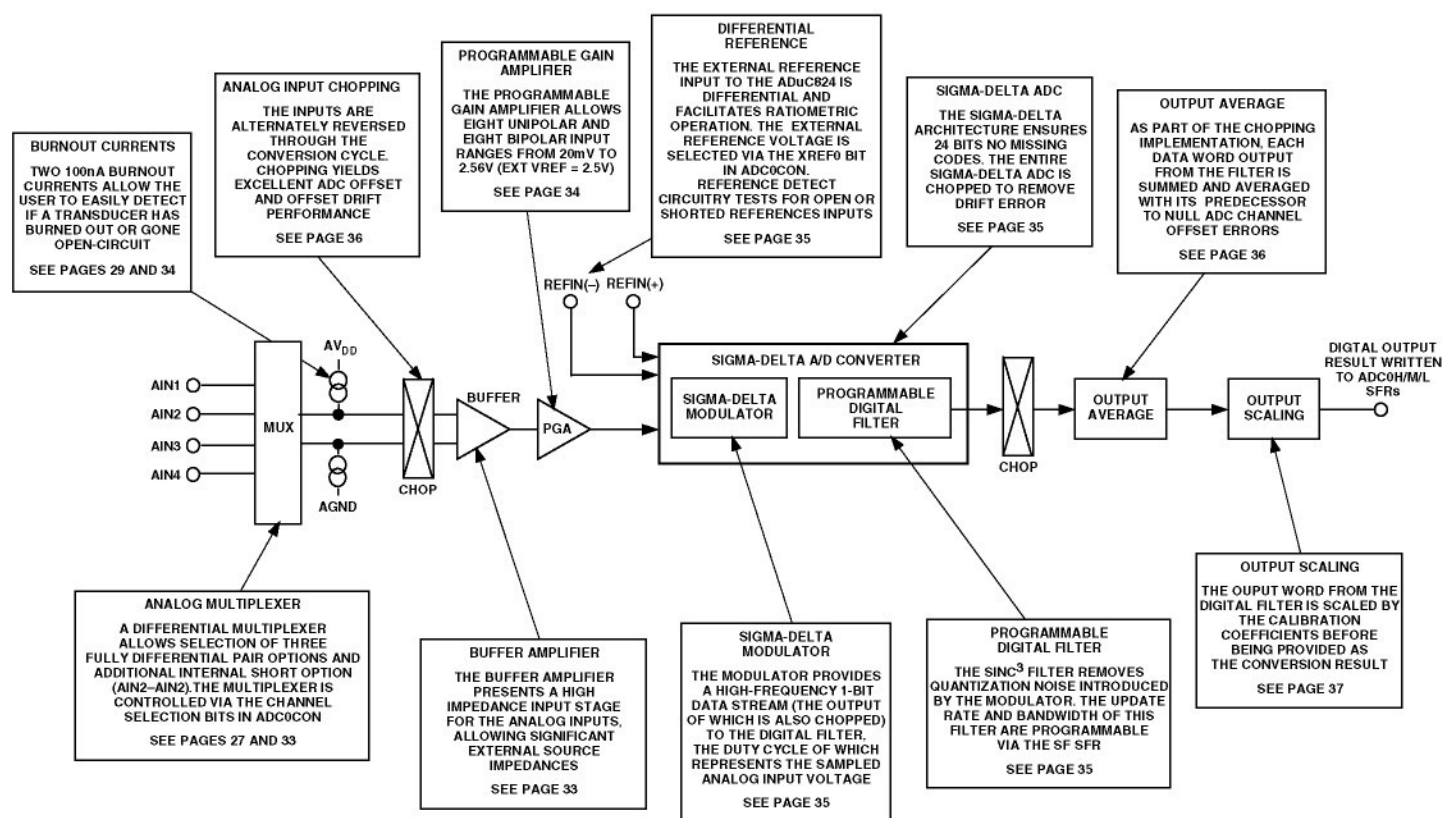


Figure 18. Primary ADC Block Diagram

ADuC824

Auxiliary ADC

The Auxiliary ADC is intended to convert supplementary inputs such as those from a cold junction diode or thermistor. This ADC is not buffered and has a fixed input range of 0 V to 2.5 V

(assuming an external 2.5 V reference). The single-ended inputs can be driven from AIN3, AIN4, or AIN5 pins or directly from the on-chip temperature sensor voltage. A block diagram of the Auxiliary ADC is shown in Figure 19.

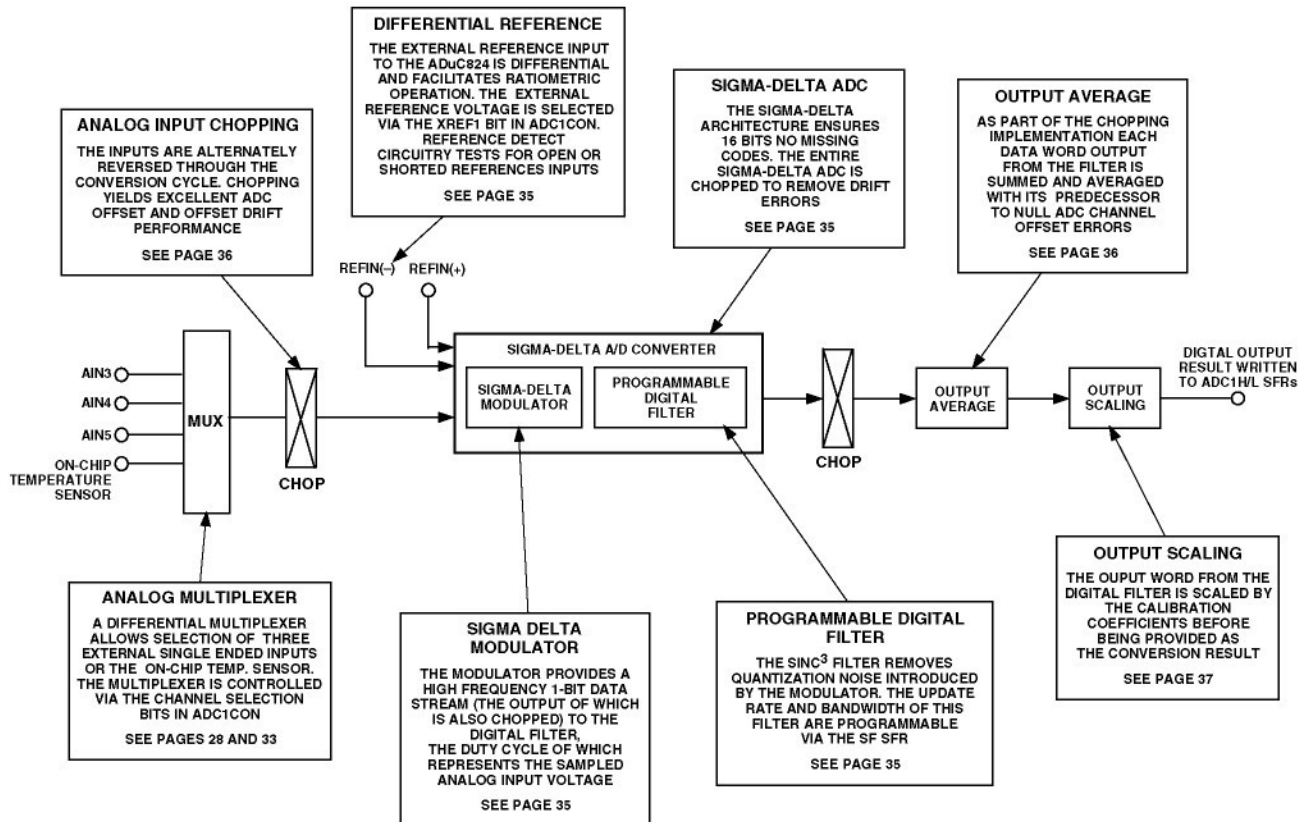


Figure 19. Auxiliary ADC Block Diagram

PRIMARY AND AUXILIARY ADC NOISE PERFORMANCE

Tables IX, X, and XI below show the output rms noise in μV and output peak-to-peak resolution in bits (rounded to the nearest 0.5 LSB) for some typical output update rates on both the Primary and Auxiliary ADCs. The numbers are typical and

are generated at a differential input voltage of 0 V. The output update rate is selected via the SF7–SF0 bits in the Sinc Filter (SF) SFR. It is important to note that the peak-to-peak resolution figures represent the resolution for which there will be no code flicker within a six-sigma limit.

Table IX. Primary ADC, Typical Output RMS Noise (μV)**Typical Output RMS Noise vs. Input Range and Update Rate; Output RMS Noise in μV**

SF Word	Data Update Rate (Hz)	Input Range							
		$\pm 20\text{ mV}$	$\pm 40\text{ mV}$	$\pm 80\text{ mV}$	$\pm 160\text{ mV}$	$\pm 320\text{ mV}$	$\pm 640\text{ mV}$	$\pm 1.28\text{ V}$	$\pm 2.56\text{ V}$
13	105.3	1.50	1.50	1.60	1.75	3.50	4.50	6.70	11.75
69	19.79	0.60	0.65	0.65	0.65	0.65	0.95	1.40	2.30
255	5.35	0.35	0.35	0.37	0.37	0.37	0.51	0.82	1.25

Table X. Primary ADC, Peak-to-Peak Resolution (Bits)**Peak-to-Peak Resolution vs. Input Range and Update Rate; Peak-to-Peak Resolution in Bits**

SF Word	Data Update Rate (Hz)	Input Range							
		$\pm 20\text{ mV}$	$\pm 40\text{ mV}$	$\pm 80\text{ mV}$	$\pm 160\text{ mV}$	$\pm 320\text{ mV}$	$\pm 640\text{ mV}$	$\pm 1.28\text{ V}$	$\pm 2.56\text{ V}$
13	105.3	12	13	14	15	15	15.5	16	16
69	19.79	13	14	15	16	17	17.5	18	18.5
255	5.35	14	15	16	17	18	18.5	18.8	19.2

Table XI. Auxiliary ADC**Typical Output RMS Noise vs. Update Rate***
Output RMS Noise in μV

SF Word	Data Update Rate (Hz)	Input Range 2.5 V
13	105.3	10.75
69	19.79	2.00
255	5.35	1.15

*ADC converting in bipolar mode.

Peak-to-Peak Resolution vs. Update Rate¹
Peak-to-Peak Resolution in Bits

SF Word	Data Update Rate (Hz)	Input Range 2.5 V
13	105.3	16 ²
69	19.79	16
255	5.35	16

NOTES

¹ADC converting in bipolar mode.²In unipolar mode peak-to-peak resolution at 105 Hz is 15 bits.**Analog Input Channels**

The primary ADC has four associated analog input pins (labelled AIN1 to AIN4) that can be configured as two fully differential input channels. Channel selection bits in the ADC0CON SFR detailed in Table V allow three combinations of differential pair selection as well as an additional shorted input option (AIN2–AIN2).

The auxiliary ADC has three external input pins (labelled AIN3 to AIN5) as well as an internal connection to the internal on-chip temperature sensor. All inputs to the auxiliary ADC are single-ended inputs referenced to the AGND on the part. Channel selection bits in the ADC1CON SFR detailed previously in Table VI allow selection of one of four inputs.

Two input multiplexers switch the selected input channel to the on-chip buffer amplifier in the case of the primary ADC and directly to the sigma-delta modulator input in the case of the auxiliary ADC. When the analog input channel is switched, the settling time of the part must elapse before a new valid word is available from the ADC.

Primary and Auxiliary ADC Inputs

The output of the primary ADC multiplexer feeds into a high impedance input stage of the buffer amplifier. As a result, the primary ADC inputs can handle significant source impedances and are tailored for direct connection to external resistive-type sensors like strain gauges or Resistance Temperature Detectors (RTDs).

The auxiliary ADC, however, is unbuffered, resulting in higher analog input current on the auxiliary ADC. It should be noted that this unbuffered input path provides a dynamic load to the driving source. Therefore, resistor/capacitor combinations on the input pins can cause dc gain errors depending on the output impedance of the source that is driving the ADC inputs.

Analog Input Ranges

The absolute input voltage range on the primary ADC is restricted to between AGND + 100 mV to AVDD – 100 mV. Care must be taken in setting up the common-mode voltage and input voltage range so that these limits are not exceeded, otherwise there will be a degradation in linearity performance.

ADuC824

The absolute input voltage range on the auxiliary ADC is restricted to between AGND – 30 mV to AVDD + 30 mV. The slightly negative absolute input voltage limit does allow the possibility of monitoring small signal bipolar signals using the single-ended auxiliary ADC front end.

Programmable Gain Amplifier

The output from the buffer on the primary ADC is applied to the input of the on-chip programmable gain amplifier (PGA). The PGA can be programmed through eight different unipolar input ranges and bipolar ranges. The PGA gain range is programmed via the range bits in the ADC0CON SFR. With the external reference select bit set in the ADC0CON SFR and an external 2.5 V reference, the unipolar ranges are 0 mV to 20 mV, 0 mV to 40 mV, 0 mV to 80 mV, 0 mV to 160 mV, 0 mV to 320 mV, 0 mV to 640 mV, 0 V to 1.28 V, and 0 to 2.56 V, while the bipolar ranges are ± 20 mV, ± 40 mV, ± 80 mV, ± 160 mV, ± 320 mV, ± 640 mV, ± 1.28 V, and ± 2.56 V. These are the nominal ranges that should appear at the input to the on-chip PGA. An ADC range matching specification of 2 μ V (typ) across all ranges means that calibration need only be carried out at a single gain range and does not have to be repeated when the PGA gain range is changed.

Typical matching across ranges is shown in Figure 20 below. Here, the primary ADC is configured in bipolar mode with an external 2.5 V reference, while just greater than 19 mV is forced on its inputs. The ADC continuously converts the DC input voltage at an update rate of 5.35 Hz, i.e., SF = FFhex. In total, 800 conversion results are gathered. The first 100 results are gathered with the primary ADC operating in the ± 20 mV range. The ADC range is then switched to ± 40 mV and 100 more conversion results are gathered, and so on until the last group of 100 samples are gathered with the ADC configured in the ± 2.56 V range. From Figure 20, The variation in the sample mean through each range, i.e., the range matching, is seen to be of the order of 2 μ V.

The auxiliary ADC does not incorporate a PGA and is configured for a fixed single input range of 0 to V_{REF} .

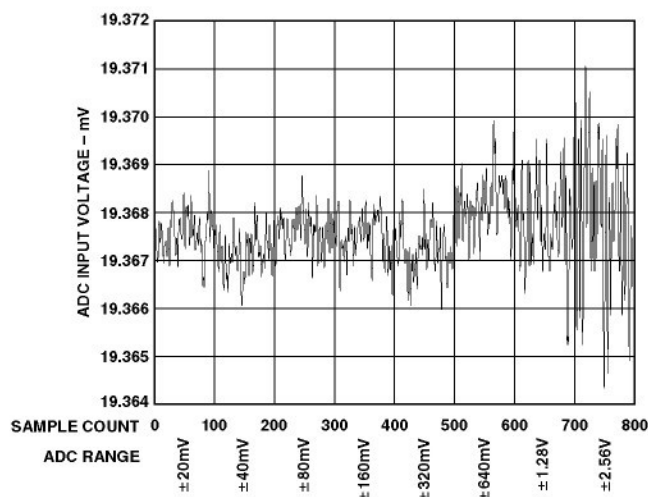


Figure 20. Primary ADC Range Matching

Bipolar/Unipolar Inputs

The analog inputs on the ADuC824 can accept either unipolar or bipolar input voltage ranges. Bipolar input ranges do not imply that the part can handle negative voltages with respect to system AGND.

Unipolar and bipolar signals on the AIN(+) input on the primary ADC are referenced to the voltage on the respective AIN(–) input. For example, if AIN(–) is 2.5 V and the primary ADC is configured for an analog input range of 0 mV to 20 mV, the input voltage range on the AIN(+) input is 2.5 V to 2.52 V. If AIN(–) is 2.5 V and the ADuC824 is configured for an analog input range of 1.28 V, the analog input range on the AIN(+) input is 1.22 V to 3.78 V (i.e., $2.5 \text{ V} \pm 1.28 \text{ V}$).

As mentioned earlier, the auxiliary ADC input is a single-ended input with respect to the system AGND. In this context a bipolar signal on the auxiliary ADC can only span 30 mV negative with respect to AGND before violating the voltage input limits for this ADC.

Bipolar or unipolar options are chosen by programming the Primary and Auxiliary Unipolar enable bits in the ADC0CON and ADC1CON SFRs respectively. This programs the relevant ADC for either unipolar or bipolar operation. Programming for either unipolar or bipolar operation does not change any of the input signal conditioning; it simply changes the data output coding and the points on the transfer function where calibrations occur. When an ADC is configured for unipolar operation, the output coding is natural (straight) binary with a zero differential input voltage resulting in a code of 000 . . . 000, a midscale voltage resulting in a code of 100 . . . 000, and a full-scale input voltage resulting in a code of 111 . . . 111. When an ADC is configured for bipolar operation, the coding is offset binary with a negative full-scale voltage resulting in a code of 000 . . . 000, a zero differential voltage resulting in a code of 100 . . . 000, and a positive full-scale voltage resulting in a code of 111 . . . 111.

Burnout Currents

The primary ADC on the ADuC824 contains two 100 nA constant current generators, one sourcing current from AVDD to AIN(+), and one sinking from AIN(–) to AGND. The currents are switched to the selected analog input pair. Both currents are either on or off, depending on the Burnout Current Enable (BO) bit in the ICON SFR (see Table VIII). These currents can be used to verify that an external transducer is still operational before attempting to take measurements on that channel. Once the burnout currents are turned on, they will flow in the external transducer circuit, and a measurement of the input voltage on the analog input channel can be taken. If the resultant voltage measured is full-scale, this indicates that the transducer has gone open-circuit. If the voltage measured is 0 V, it indicates that the transducer has short circuited. For normal operation, these burnout currents are turned off by writing a 0 to the BO bit in the ICON SFR. The current sources work over the normal absolute input voltage range specifications.

Excitation Currents

The ADuC824 also contains two identical 200 μA constant current sources. Both source current from AVDD to Pin #3 (IEXC1) or Pin #4 (IEXC2). These current sources are controlled via bits in the ICON SFR shown in Table VIII. They can be configured to source 200 μA individually to both pins or a combination of both currents, i.e., 400 μA to either of the selected pins. These current sources can be used to excite external resistive bridge or RTD sensors.

Reference Input

The ADuC824's reference inputs, REFIN(+) and REFIN(-), provide a differential reference input capability. The common-mode range for these differential inputs is from AGND to AVDD. The nominal reference voltage, VREF (REFIN(+) – REFIN(-)), for specified operation is 2.5 V with the primary and auxiliary reference enable bits set in the respective ADC0CON and/or ADC1CON SFRs.

The part is also functional (although not specified for performance) when the XREF0 or XREF1 bits are '0,' which enables the on-chip internal bandgap reference. In this mode, the ADCs will see the internal reference of 1.25 V, therefore halving all input ranges. As a result of using the internal reference voltage, a noticeable degradation in peak-to-peak resolution will result. Therefore, for best performance, operation with an external reference is strongly recommended.

In applications where the excitation (voltage or current) for the transducer on the analog input also drives the reference voltage for the part, the effect of the low-frequency noise in the excitation source will be removed as the application is ratiometric. If the ADuC824 is not used in a ratiometric application, a low noise reference should be used. Recommended reference voltage sources for the ADuC824 include the AD780, REF43, and REF192.

It should also be noted that the reference inputs provide a high impedance, dynamic load. Because the input impedance of each reference input is dynamic, resistor/capacitor combinations on these inputs can cause dc gain errors depending on the output impedance of the source that is driving the reference inputs. Reference voltage sources, like those recommended above (e.g., AD780) will typically have low output impedances and therefore decoupling capacitors on the REFIN(+) input would be recommended. Deriving the reference input voltage across an external resistor, as shown in Figure 53, will mean that the reference input sees a significant external source impedance. External decoupling on the REFIN(+) and REFIN(-) pins would not be recommended in this type of circuit configuration.

Reference Detect

The ADuC824 includes on-chip circuitry to detect if the part has a valid reference for conversions or calibrations. If the voltage between the external REFIN(+) and REFIN(-) pins goes below 0.3 V or either the REFIN(+) or REFIN(-) inputs is open circuit, the ADuC824 detects that it no longer has a valid reference. In this case, the NOXREF bit of the ADCSTAT SFR is set to a 1. If the ADuC824 is performing normal conversions and the NOXREF bit becomes active, the conversion results revert to all 1s. Therefore, it is not necessary to continuously monitor the status of the

NOXREF bit when performing conversions. It is only necessary to verify its status if the conversion result read from the ADC Data Register is all 1s.

If the ADuC824 is performing either an offset or gain calibration and the NOXREF bit becomes active, the updating of the respective calibration registers is inhibited to avoid loading incorrect coefficients to these registers, and the appropriate ERR0 or ERR1 bits in the ADCSTAT SFR are set. If the user is concerned about verifying that a valid reference is in place every time a calibration is performed, the status of the ERR0 or ERR1 bit should be checked at the end of the calibration cycle.

Sigma-Delta Modulator

A sigma-delta ADC generally consists of two main blocks, an analog modulator and a digital filter. In the case of the ADuC824 ADCs, the analog modulators consist of a difference amplifier, an integrator block, a comparator, and a feedback DAC as illustrated in Figure 21.

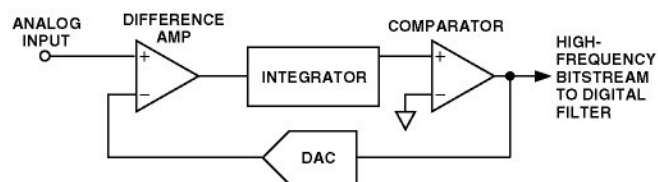


Figure 21. Sigma-Delta Modulator Simplified Block Diagram

In operation, the analog signal sample is fed to the difference amplifier along with the output of the feedback DAC. The difference between these two signals is integrated and fed to the comparator. The output of the comparator provides the input to the feedback DAC so the system functions as a negative feedback loop that tries to minimize the difference signal. The digital data that represents the analog input voltage is contained in the duty cycle of the pulse train appearing at the output of the comparator. This duty cycle data can be recovered as a data word using a subsequent digital filter stage. The sampling frequency of the modulator loop is many times higher than the bandwidth of the input signal. The integrator in the modulator shapes the quantization noise (which results from the analog-to-digital conversion) so that the noise is pushed toward one-half of the modulator frequency.

Digital Filter

The output of the sigma-delta modulator feeds directly into the digital filter. The digital filter then band-limits the response to a frequency significantly lower than one-half of the modulator frequency. In this manner, the 1-bit output of the comparator is translated into a band-limited, low noise output from the ADuC824 ADCs.

The ADuC824 filter is a low-pass, Sinc³ or (sinx/x)³ filter whose primary function is to remove the quantization noise introduced at the modulator. The cutoff frequency and decimated output data rate of the filter are programmable via the SF (Sinc Filter) SFR as described in Table VII.

ADuC824

Figure 22 shows the frequency response of the ADC channel at the default SF word of 69 dec or 45 hex, yielding an overall output update rate of just under 20 Hz.

It should be noted that this frequency response allows frequency components higher than the ADC Nyquist frequency to pass through the ADC, in some cases without significant attenuation. These components may, therefore, be aliased and appear in-band after the sampling process.

It should also be noted that rejection of mains-related frequency components, i.e., 50 Hz and 60 Hz, is seen to be at level of >65 dB at 50 Hz and >100 dB at 60 Hz. This confirms the data sheet specifications for 50 Hz/60 Hz Normal Mode Rejection (NMR) at a 20 Hz update rate.

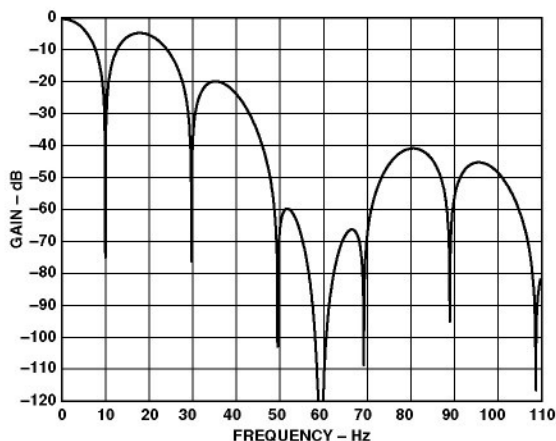


Figure 22. Filter Response, SF = 69 dec

The response of the filter, however, will change with SF word as can be seen in Figure 23, which shows >90 dB NMR at 50 Hz and >70 dB NMR at 60 Hz when SF = 255 dec.

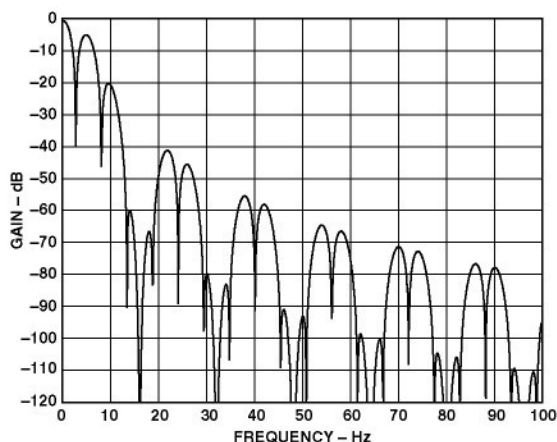


Figure 23. Filter Response, SF = 255 dec

Figures 24 and 25 show the NMR for 50 Hz and 60 Hz across the full range of SF word, i.e., SF = 13 dec to SF = 255 dec.

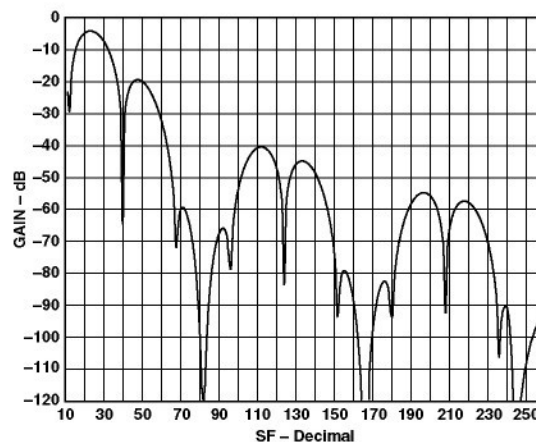


Figure 24. 50 Hz Normal Mode Rejection vs. SF

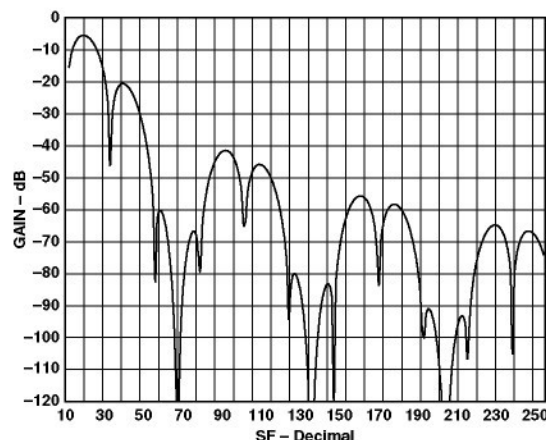


Figure 25. 60 Hz Normal Mode Rejection vs. SF

ADC Chopping

Both ADCs on the ADuC824 implement a chopping scheme whereby the ADC repeatability reverses its inputs. The decimated digital output words from the Sinc³ filters therefore have a positive offset and negative offset term included.

As a result, a final summing stage is included in each ADC so that each output word from the filter is summed and averaged with the previous filter output to produce a new valid output result to be written to the ADC data SFRs. In this way, while the ADC throughput or update rate is as discussed earlier and illustrated in Table VII, the full settling time through the ADC (or the time to a first conversion result), will actually be given by $2 \times t_{ADC}$.

The chopping scheme incorporated in the ADuC824 ADC results in excellent dc offset and offset drift specifications and is extremely beneficial in applications where drift, noise rejection, and optimum EMI rejection are important factors.

Calibration

The ADuC824 provides four calibration modes that can be programmed via the mode bits in the ADCMODE SFR detailed in Table IV. In fact, every ADuC824 has already been factory calibrated. The resultant Offset and Gain calibration coefficients for both the primary and auxiliary ADCs are stored on-chip in manufacturing-specific Flash/EE memory locations. At power-on, these factory calibration coefficients are automatically downloaded to the calibration registers in the ADuC824 SFR space. Each ADC (primary and auxiliary) has dedicated calibration SFRs, these have been described earlier as part of the general ADC SFR description. However, the factory calibration values in the ADC calibration SFRs will be overwritten if any one of the four calibration options are initiated and that ADC is enabled via the ADC enable bits in ADCMODE.

Even though an internal offset calibration mode is described below, it should be recognized that both ADCs are chopped. This chopping scheme inherently minimizes offset and means that an internal offset calibration should never be required. Also, because factory 5 V/25°C gain calibration coefficients are automatically present at power-on, an internal full-scale calibration will only be required if the part is being operated at 3 V or at temperatures significantly different from 25°C.

The ADuC824 offers “internal” or “system” calibration facilities. For full calibration to occur on the selected ADC, the calibration logic must record the modulator output for two different input conditions. These are zero-scale and full-scale points. These points are derived by performing a conversion on the different input voltages provided to the input of the modulator during calibration. The result of the zero-scale calibration conversion is stored in the Offset Calibration Registers for the appropriate ADC. The result of the “full-scale” calibration conversion is stored in the Gain Calibration Registers for the appropriate ADC. With these readings, the calibration logic can calculate the offset and the gain slope for the input-to-output transfer function of the converter.

During an “internal” zero-scale or full-scale calibration, the respective “zero” input and full-scale input are automatically connected to the ADC input pins internally to the device. A “system” calibration, however, expects the system zero-scale and system full-scale voltages to be applied to the external ADC pins before the calibration mode is initiated. In this way external ADC errors are taken into account and minimized as a result of system calibration. It should also be noted that to optimize calibration accuracy, all ADuC824 ADC calibrations are carried out automatically at the slowest update rate.

Internally in the ADuC824, the coefficients are normalized before being used to scale the words coming out of the digital filter. The offset calibration coefficient is subtracted from the result prior to the multiplication by the gain coefficient. All ADuC824 ADC specifications will only apply after a zero-scale and full-scale calibration at the operating point (supply voltage/temperature) of interest.

From an operational point of view, a calibration should be treated like another ADC conversion. A zero-scale calibration (if required) should always be carried out before a full-scale calibration. System software should monitor the relevant ADC RDY0/1 bit in the ADCSTAT SFR to determine end of calibration via a polling sequence or interrupt driven routine.

NONVOLATILE FLASH/EE MEMORY

Flash/EE Memory Overview

The ADuC824 incorporates Flash/EE memory technology on-chip to provide the user with nonvolatile, in-circuit reprogrammable, code and data memory space.

Flash/EE memory is a relatively recent type of nonvolatile memory technology and is based on a single transistor cell architecture.

This technology is basically an outgrowth of EPROM technology and was developed through the late 1980s. Flash/EE memory takes the flexible in-circuit reprogrammable features of EEPROM and combines them with the space efficient/density features of EPROM (see Figure 26).

Because Flash/EE technology is based on a single transistor cell architecture, a Flash memory array, like EPROM, can be implemented to achieve the space efficiencies or memory densities required by a given design.

Like EEPROM, Flash memory can be programmed in-system at a byte level, although it must first be erased; the erase being performed in page blocks. Thus, Flash memory is often and more correctly referred to as Flash/EE memory.

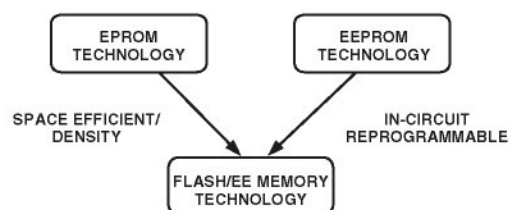


Figure 26. Flash/EE Memory Development

Overall, Flash/EE memory represents a step closer to the ideal memory device that includes nonvolatility, in-circuit programmability, high density, and low cost. Incorporated in the ADuC824, Flash/EE memory technology allows the user to update program code space in-circuit, without the need to replace one-time programmable (OTP) devices at remote operating nodes.

Flash/EE Memory and the ADuC824

The ADuC824 provides two arrays of Flash/EE Memory for user applications. 8 Kbytes of Flash/EE Program space are provided on-chip to facilitate code execution without any external discrete ROM device requirements. The program memory can be programmed using conventional third party memory programmers. This array can also be programmed in-circuit, using the serial download mode provided.

A 640-Byte Flash/EE Data Memory space is also provided on-chip. This may be used as a general-purpose nonvolatile scratchpad area. User access to this area is via a group of six SFRs. This space can be programmed at a byte level, although it must first be erased in 4-byte pages.

ADuC824 Flash/EE Memory Reliability

The Flash/EE Program and Data Memory arrays on the ADuC824 are fully qualified for two key Flash/EE memory characteristics, namely Flash/EE Memory Cycling Endurance and Flash/EE Memory Data Retention.

ADuC824

Endurance quantifies the ability of the Flash/EE memory to be cycled through many Program, Read, and Erase cycles. In real terms, a single endurance cycle is composed of four independent, sequential events. These events are defined as:

- a. initial page erase sequence
 - b. read/verify sequence
 - c. byte program sequence
 - d. second read/verify sequence
- } A single Flash/EE Memory Endurance Cycle

In reliability qualification, every byte in both the program and data Flash/EE memory is cycled from 00 hex to FFhex until a first fail is recorded signifying the endurance limit of the on-chip Flash/EE memory.

As indicated in the specification pages of this data sheet, the ADuC824 Flash/EE Memory Endurance qualification has been carried out in accordance with JEDEC Specification A117 over the industrial temperature range of -40°C , $+25^{\circ}\text{C}$, and $+85^{\circ}\text{C}$. The results allow the specification of a minimum endurance figure over supply and temperature of 100,000 cycles, with an endurance figure of 700,000 cycles being typical of operation at 25°C .

Retention quantifies the ability of the Flash/EE memory to retain its programmed data over time. Again, the ADuC824 has been qualified in accordance with the formal JEDEC Retention Lifetime Specification (A117) at a specific junction temperature ($T_J = 55^{\circ}\text{C}$). As part of this qualification procedure, the Flash/EE memory is cycled to its specified endurance limit described above, before data retention is characterized. This means that the Flash/EE memory is guaranteed to retain its data for its full specified retention lifetime every time the Flash/EE memory is reprogrammed. It should also be noted that retention lifetime, based on an activation energy of 0.6 eV, will derate with T_J as shown in Figure 27.

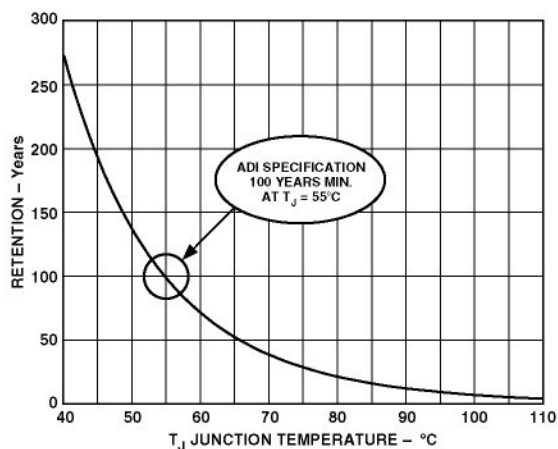


Figure 27. Flash/EE Memory Data Retention

Using the Flash/EE Program Memory

The 8 Kbyte Flash/EE Program Memory array is mapped into the lower 8 Kbytes of the 64 Kbytes program space addressable by the ADuC824, and is used to hold user code in typical applications.

The program memory Flash/EE memory arrays can be programmed in one of two modes, namely:

Serial Downloading (In-Circuit Programming)

As part of its factory boot code, the ADuC824 facilitates serial code download via the standard UART serial port. Serial down-

load mode is automatically entered on power-up if the external pin, PSEN, is pulled low through an external resistor as shown in Figure 28. Once in this mode, the user can download code to the program memory array while the device is sited in its target application hardware. A PC serial download executable is provided as part of the ADuC824 QuickStart development system. The Serial Download protocol is detailed in a MicroConverter Applications Note uC004 available from the ADI MicroConverter Website at www.analog.com/microconverter.

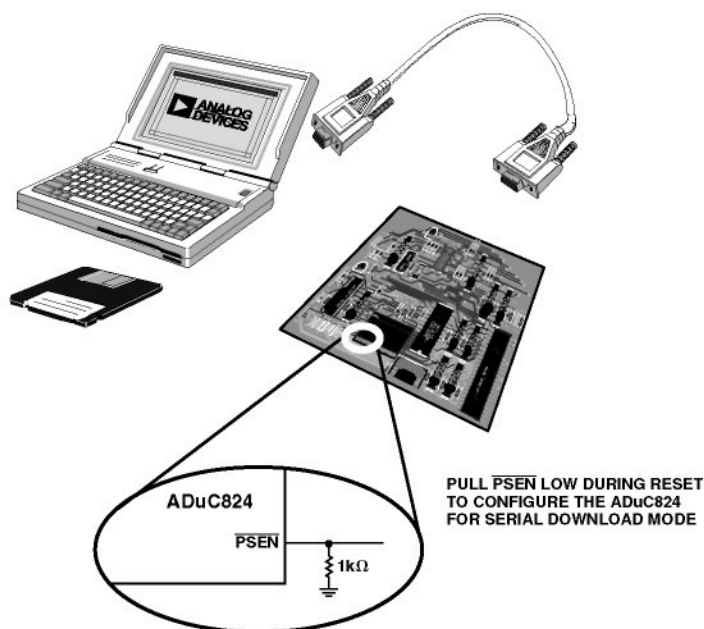


Figure 28. Flash/EE Memory Serial Download Mode Programming

Parallel Programming

The parallel programming mode is fully compatible with conventional third party Flash or EEPROM device programmers. A block diagram of the external pin configuration required to support parallel programming is shown in Figure 29. In this mode, Ports 0, 1, and 2 operate as the external data and address bus interface, ALE operates as the Write Enable strobe, and Port 3 is used as a general configuration port that configures the device for various program and erase operations during parallel programming.

The high voltage (12 V) supply required for Flash/EE programming is generated using on-chip charge pumps to supply the high voltage program lines.

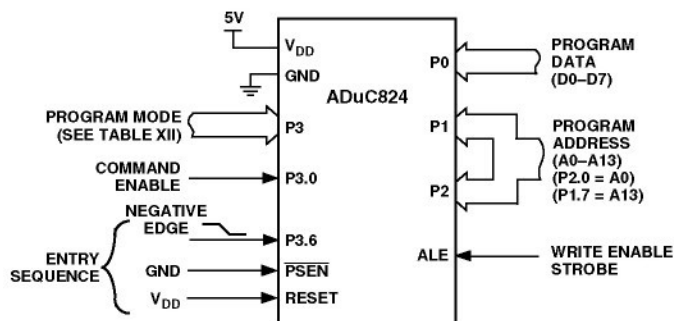


Figure 29. Flash/EE Memory Parallel Programming

Table XII. Flash/EE Memory Parallel Programming Modes

Port 3 Pins							Programming Mode
0.7	0.6	0.5	0.4	0.3	0.2	0.1	
X	X	X	X	0	0	0	Erase Flash/EE Program, Data, and Security Modes
X	X	X	X	0	0	1	Read Device Signature/ID
X	X	X	1	0	1	0	Program Code Byte
X	X	X	0	0	1	0	Program Data Byte
X	X	X	1	0	1	1	Read Code Byte
X	X	X	0	0	1	1	Read Data Byte
X	X	X	X	1	0	0	Program Security Modes
X	X	X	X	1	0	1	Read/Verify Security Modes
All other codes							Redundant

Flash/EE Program Memory Security

The ADuC824 facilitates three modes of Flash/EE program memory security. These modes can be independently activated, restricting access to the internal code space. These security modes can be enabled as part of the user interface available on all ADuC824 serial or parallel programming tools referenced on the MicroConverter web page at www.analog.com/microconverter. The security modes available on the ADuC824 are described as follows:

Lock Mode

This mode locks code in memory, disabling parallel programming of the program memory although reading the memory in parallel mode is still allowed. This mode is deactivated by initiating a “code-erase” command in serial download or parallel programming modes.

Secure Mode

This mode locks code in memory, disabling parallel programming (program and verify/read commands) as well as disabling the execution of a ‘MOVC’ instruction from external memory, which is attempting to read the op codes from internal memory. This mode is deactivated by initiating a “code-erase” command in serial download or parallel programming modes.

Serial Safe Mode

This mode disables serial download capability on the device. If Serial Safe mode is activated and an attempt is made to reset the part into serial download mode, i.e., RESET asserted and deasserted with $\overline{\text{PSEN}}$ low, the part will interpret the serial download reset as a normal reset only. Therefore, it will not enter serial download mode but only execute a normal reset sequence. Serial Safe mode can only be disabled by initiating a code-erase command in parallel programming mode.

Using the Flash/EE Data Memory

The user Flash/EE data memory array consists of 640 bytes that are configured into 160 (00H to 9FH) 4-byte pages as shown in Figure 30.

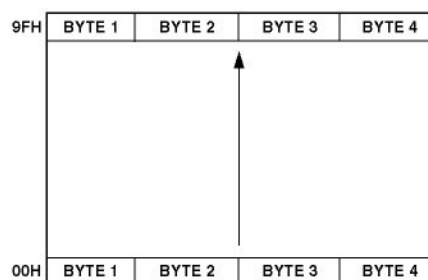


Figure 30. Flash/EE Data Memory Configuration

As with other ADuC824 user-peripheral circuits, the interface to this memory space is via a group of registers mapped in the SFR space. A group of four data registers (EDATA1–4) are used to hold 4-byte page data just accessed. EADRL is used to hold the 8-bit address of the page to be accessed. Finally, ECON is an 8-bit control register that may be written with one of five Flash/EE memory access commands to trigger various read, write, erase, and verify functions. These registers can be summarized as follows:

ECON:	SFR Address:	B9H
	Function:	Controls access to 640 Bytes Flash/EE Data Space.
	Default:	00H
EADRL:	SFR Address:	C6H
	Function:	Holds the Flash/EE Data Page Address. (640 Bytes => 160 Page Addresses.)
	Default:	00H
EDATA 1–4:	SFR Address:	BCH to BFH respectively
	Function:	Holds Flash/EE Data memory page write or page read data bytes.
	Default:	EDATA1–2 -> 00H EDATA3–4 -> 00H

A block diagram of the SFR interface to the Flash/EE Data Memory array is shown in Figure 31.

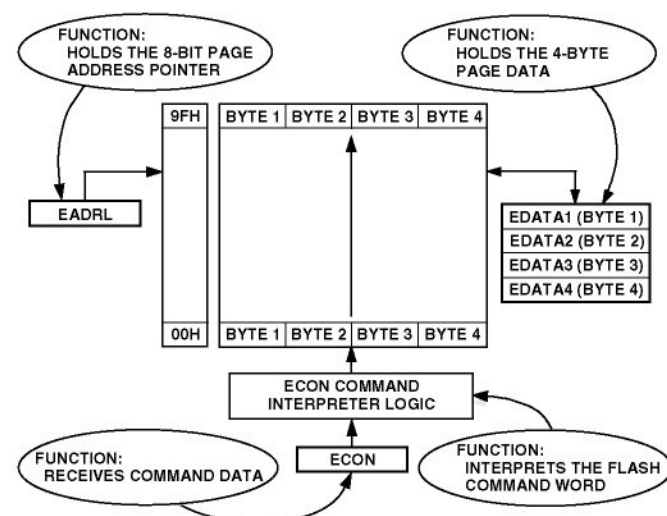


Figure 31. Flash/EE Data Memory Control and Configuration

ADuC824

ECON—Flash/EE Memory Control SFR

This SFR acts as a command interpreter and may be written with one of five command modes to enable various read, program and erase cycles as detailed in Table XIII.

Table XIII. ECON—Flash/EE Memory Control Register Command Modes

Command Byte	Command Mode
01H	READ COMMAND Results in four bytes being read into EDATA1–4 from memory page address contained in EADRL.
02H	PROGRAM COMMAND Results in four bytes (EDATA1–4) being written to memory page address in EADRL. This write command assumes the designated “write” page has been pre-erased.
03H	RESERVED FOR INTERNAL USE 03H should not be written to the ECON SFR.
04H	VERIFY COMMAND Allows the user to verify if data in EDATA1–4 is contained in page address designated by EADRL. A subsequent read of the ECON SFR will result in a “zero” being read if the verification is valid; a nonzero value will be read to indicate an invalid verification.
05H	ERASE COMMAND Results in an erase of the 4-byte page designated in EADRL.
06H	ERASE-ALL COMMAND Results in erase of the full Flash/EE Data memory 160-page (640 bytes) array.
07H to FFH	RESERVED COMMANDS Commands reserved for future use.

Flash/EE Memory Timing

The typical program/erase times for the Flash/EE Data Memory are:

- Erase Full Array (640 Bytes) – 2 ms
- Erase Single Page (4 Bytes) – 2 ms
- Program Page (4 Bytes) – 250 μ s
- Read Page (4 Bytes) – Within Single Instruction Cycle

Using the Flash/EE Memory Interface

As with all Flash/EE memory architectures, the array can be programmed in-system at a byte level, although it must be erased first; the erasure being performed in page blocks (4-byte pages in this case).

A typical access to the Flash/EE Data array will involve setting up the page address to be accessed in the EADRL SFR, configuring the EDATA1–4 with data to be programmed to the array (the EDATA SFRs will not be written for read accesses) and finally, writing the ECON command word which initiates one of the six modes shown in Table XIII.

It should be noted that a given mode of operation is initiated as soon as the command word is written to the ECON SFR. The core microcontroller operation on the ADuC824 is idled until the requested Program/Read or Erase mode is completed.

In practice, this means that even though the Flash/EE memory mode of operation is typically initiated with a two-machine cycle MOV instruction (to write to the ECON SFR), the next instruction will not be executed until the Flash/EE operation is complete (250 μ s or 2 ms later). This means that the core will not respond to Interrupt requests until the Flash/EE operation is complete, although the core peripheral functions like Counter/Timers will continue to count and time as configured throughout this period.

Erase-All

Although the 640-byte User Flash/EE array is shipped from the factory pre-erased, i.e., Byte locations set to FFH, it is nonetheless good programming practice to include an erase-all routine as part of any configuration/setup code running on the ADuC824. An “ERASE-ALL” command consists of writing “06H” to the ECON SFR, which initiates an erase of all 640 byte locations in the Flash/EE array. This command coded in 8051 assembly would appear as:

```
MOV ECON, #06H    ; Erase all Command
                  ; 2 ms Duration
```

Program a Byte

In general terms, a byte in the Flash/EE array can only be programmed if it has previously been erased. To be more specific, a byte can only be programmed if it already holds the value FFH. Because of the Flash/EE architecture, this erasure must happen at a page level; therefore, a minimum of four bytes (1 page) will be erased when an erase command is initiated.

A more specific example of the Program-Byte process is shown below. In this example the user writes F3H into the second byte on Page 03H of the Flash/EE Data Memory space while preserving the other three bytes already in this page. As the user is only required to modify one of the page bytes, the full page must be first read so that this page can then be erased without the existing data being lost.

This example, coded in 8051 assembly, would appear as:

```
MOV EADRL, #03H    ; Set Page Address Pointer
MOV ECON, #01H     ; Read Page
MOV EDATA2, #0F3H  ; Write New Byte
MOV ECON, #05H     ; Erase Page
MOV ECON, #03H     ; Write Page (Program Flash/EE)
```

USER INTERFACE TO OTHER ON-CHIP ADuC824 PERIPHERALS

The following section gives a brief overview of the various peripherals also available on-chip. A summary of the SFRs used to control and configure these peripherals is also given.

DAC

The ADuC824 incorporates a 12-bit, voltage output DAC on-chip. It has a rail-to-rail voltage output buffer capable of driving

10 k Ω /100 pF. It has two selectable ranges, 0 V to V_{REF} (the internal bandgap 2.5 V reference) and 0 V to AV_{DD} . It can operate in 12-bit or 8-bit mode. The DAC has a control register, DACCON, and two data registers, DACH/L. The DAC output can be programmed to appear at Pin 3 or Pin 12. It should be noted that in 12-bit mode, the DAC voltage output will be updated as soon as the DACL data SFR has been written; therefore, the DAC data register should be updated as DACH first followed by DACL.

DACCON	DAC Control Register
SFR Address	FDH
Power-On Default Value	00H
Bit Addressable	No

—	—	—	DACPIN	DAC8	DACRN	DACCLR	DACEN
---	---	---	--------	------	-------	--------	-------

Table XVI. DACCON SFR Bit Designations

Bit	Name	Description
7	—	Reserved for Future Use
6	—	Reserved for Future Use
5	—	Reserved for Future Use
4	DACPIN	DAC Output Pin Select <i>Set</i> by user to direct the DAC output to Pin 12 (P1.7/AIN4/DAC). <i>Cleared</i> by user to direct the DAC output to Pin 3 (P1.2/DAC/IEXC1).
3	DAC8	DAC 8-Bit Mode Bit <i>Set</i> by user to enable 8-bit DAC operation. In this mode the 8-bits in DACL SFR are routed to the 8 MSBs of the DAC and the 4 LSBs of the DAC are set to zero. <i>Cleared</i> by user to operate the DAC in its normal 12-bit mode of operation.
2	DACRN	DAC Output Range Bit <i>Set</i> by user to configure DAC range of 0 – AV_{DD} . <i>Cleared</i> by user to configure DAC range 0 – 2.5 V.
1	DACCLR	DAC Clear Bit <i>Set</i> to '1' by user to enable normal DAC operation. <i>Cleared</i> to '0' by user to reset DAC data registers DAC1/H to zero.
0	DACEN	DAC Enable Bit <i>Set</i> to '1' by user to enable normal DAC operation. <i>Cleared</i> to '0' by user to power-down the DAC.

DACH/L	DAC Data Register
Function	DAC Data Registers, written by user to update the DAC output.
SFR Address	DACL (DAC Data Low Byte) →FBH DACH (DAC Data High Byte) →FCH
Power-On Default Value	00H →Both Registers
Bit Addressable	No →Both Registers

The 12-bit DAC data should be written into DACH/L right-justified such that DACL contains the lower eight bits, and the lower nibble of DACH contains the upper four bits.

ADuC824

ON-CHIP PLL

The ADuC824 is intended for use with a 32.768 kHz watch crystal. A PLL locks onto a multiple (384) of this to provide a stable 12.582912 MHz clock for the system. The core can operate at this frequency or at binary submultiples of it to allow power saving in cases where maximum core performance is not

required. The default core clock is the PLL clock divided by 8 or 1.572864 MHz. The ADC clocks are also derived from the PLL clock, with the modulator rate being the same as the crystal oscillator frequency. The above choice of frequencies ensures that the modulators and the core will be synchronous, regardless of the core clock rate. The PLL control register is PLLCON.

PLLCON	PLL Control Register
SFR Address	D7H
Power-On Default Value	03H
Bit Addressable	No

OSC_PD	LOCK	—	LTEA	FINT	CD2	CD1	CD0
--------	------	---	------	------	-----	-----	-----

Table XV. PLLCON SFR Bit Designations

Bit	Name	Description
7	OSC_PD	Oscillator Power-down Bit <i>Set</i> by user to halt the 32 kHz oscillator in power-down mode. <i>Cleared</i> by user to enable the 32 kHz oscillator in power-down mode. This feature allows the TIC to continue counting even in power-down mode.
6	LOCK	PLL Lock Bit This is a read only bit. <i>Set</i> automatically at power-on to indicate the PLL loop is correctly tracking the crystal clock. If the external crystal becomes subsequently disconnected the PLL will rail and the core will halt. <i>Cleared</i> automatically at power-on to indicate the PLL is not correctly tracking the crystal clock. This may be due to the absence of a crystal clock or an external crystal at power-on. In this mode, the PLL output can be 12.58 MHz $\pm$ 20%.
5	—	Reserved for future use; should be written with ‘0.’
4	$\overline{\text{LTEA}}$	Reading this bit returns the state of the external $\overline{\text{EA}}$ pin latched at reset or power-on.
3	FINT	Fast Interrupt Response Bit <i>Set</i> by user enabling the response to any interrupt to be executed at the fastest core clock frequency, regardless of the configuration of the CD2–0 bits (see below). Once user code has returned from an interrupt, the core resumes code execution at the core clock selected by the CD2–0 bits. <i>Cleared</i> by user to disable the fast interrupt response feature.
2	CD2	CPU (Core Clock) Divider Bits This number determines the frequency at which the microcontroller core will operate.
1	CD1	
0	CD0	

TIME INTERVAL COUNTER (TIC)

A time interval counter is provided on-chip for counting longer intervals than the standard 8051-compatible timers are capable of. The TIC is capable of timeout intervals ranging from 1/128th second to 255 hours. Furthermore, this counter is clocked by the crystal oscillator rather than the PLL and thus has the ability to remain active in power-down mode and time long power-down intervals. This has obvious applications for remote battery-powered sensors where regular widely spaced readings are required.

Six SFRs are associated with the time interval counter, TIMECON being its control register. Depending on the configuration of the IT0 and IT1 bits in TIMECON, the selected time counter register

overflow will clock the interval counter. When this counter is equal to the time interval value loaded in the INTVAL SFR, the TII bit (TIMECON.2) is set and generates an interrupt if enabled (See IEIP2 SFR description under Interrupt System later in this data sheet.) If the ADuC824 is in power-down mode, again with TIC interrupt enabled, the TII bit will wake up the device and resume code execution by vectoring directly to the TIC interrupt service vector address at 0053 hex. The TIC-related SFRs are described in Table XVI. Note also that the timebase SFRs can be written initially with the current time, the TIC can then be controlled and accessed by user software. In effect, this facilitates the implementation of a real-time clock. A block diagram of the TIC is shown in Figure 32.

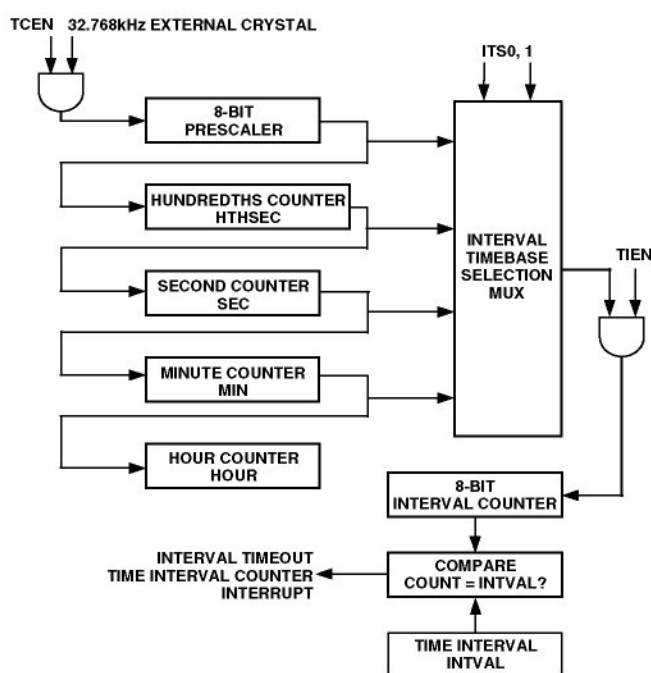


Figure 32. TIC, Simplified Block Diagram

ADuC824

TIMECON	TIC Control Register
SFR Address	A1H
Power-On Default Value	00H
Bit Addressable	No

—	—	ITS1	ITS0	STI	TII	TIEN	ICEN
---	---	-------------	-------------	------------	------------	-------------	-------------

Table XVI. TIMECON SFR Bit Designations

Bit	Name	Description															
7	—	Reserved for Future Use															
6	—	Reserved for Future Use. For future product code compatibility this bit should be written as a ‘1.’															
5	ITS1	Interval Timebase Selection Bits.															
4	ITS0	Written by user to determine the interval counter update rate.															
		<table> <tr> <td>ITS1</td><td>ITS0</td><td>Interval Timebase</td></tr> <tr> <td>0</td><td>0</td><td>1/128 Second</td></tr> <tr> <td>0</td><td>1</td><td>Seconds</td></tr> <tr> <td>1</td><td>0</td><td>Minutes</td></tr> <tr> <td>1</td><td>1</td><td>Hours</td></tr> </table>	ITS1	ITS0	Interval Timebase	0	0	1/128 Second	0	1	Seconds	1	0	Minutes	1	1	Hours
ITS1	ITS0	Interval Timebase															
0	0	1/128 Second															
0	1	Seconds															
1	0	Minutes															
1	1	Hours															
3	STI	Single Time Interval Bit <i>Set</i> by user to generate a single interval timeout. If set, a timeout will clear the TIEN bit. <i>Cleared</i> by user to allow the interval counter to be automatically reloaded and start counting again at each interval timeout.															
2	TII	TIC Interrupt Bit <i>Set</i> when the 8-bit Interval Counter matches the value in the INTVAL SFR. <i>Cleared</i> by user software.															
1	TIEN	Time Interval Enable Bit <i>Set</i> by user to enable the 8-bit time interval counter. <i>Cleared</i> by user to disable and clear the contents of the interval counter.															
0	TCEN	Time Clock Enable Bit <i>Set</i> by user to enable the time clock to the time interval counters. <i>Cleared</i> by user to disable the clock to the time interval counters and clear the time interval SFRs. The time registers (HTHSEC, SEC, MIN and HOUR) can be written while TCEN is low.															

INTVAL

Function

SFR Address

Power-On Default Value

Bit Addressable

Valid Value

User Time Interval Select Register

User code writes the required time interval to this register. When the 8-bit interval counter is equal to the time interval value loaded in the INTVAL SFR, the TII bit (TIMECON.2) bit is set and generates an interrupt if enabled. (See IEIP2 SFR description under Interrupt System later in this data sheet.)

A6H

00H

No

0 to 255 decimal

HTHSEC

Function

SFR Address

Power-On Default Value

Bit Addressable

Valid Value

Hundredths Seconds Time Register

This register is incremented in (1/128) second intervals once TCEN in TIMECON is active. The HTHSEC SFR counts from 0 to 127 before rolling over to increment the SEC time register.

A2H

00H

No

0 to 127 decimal

SEC

Function

SFR Address

Power-On Default Value

Bit Addressable

Valid Value

Seconds Time Register

This register is incremented in 1 second intervals once TCEN in TIMECON is active. The SEC SFR counts from 0 to 59 before rolling over to increment the MIN time register.

A3H

00H

No

0 to 59 decimal

MIN

Function

SFR Address

Power-On Default Value

Bit Addressable

Valid Value

Minutes Time Register

This register is incremented in 1 minute intervals once TCEN in TIMECON is active. The MIN counts from 0 to 59 before rolling over to increment the HOUR time register.

A4H

00H

No

0 to 59 decimal

HOUR

Function

SFR Address

Power-On Default Value

Bit Addressable

Valid Value

Hours Time Register

This register is incremented in 1 hour intervals once TCEN in TIMECON is active. The HOUR SFR counts from 0 to 23 before rolling over to 0.

A5H

00H

No

0 to 23 decimal

ADuC824

WATCHDOG TIMER

The purpose of the watchdog timer is to generate a device reset or interrupt within a reasonable amount of time if the ADuC824 enters an erroneous state, possibly due to a programming error, electrical noise, or RFI. The Watchdog function can be disabled by clearing the WDE (Watchdog Enable) bit in the Watchdog Control (WDCON) SFR. When enabled, the watchdog circuit will generate a system reset or interrupt (WDS) if the user program fails to set the watchdog (WDE) bit within a predetermined amount of time

(see PRE3–0 bits in WDCON). The watchdog timer itself is a 16-bit counter that is clocked at 32.768 kHz. The watchdog time-out interval can be adjusted via the PRE3–0 bits in WDCON. Full Control and Status of the watchdog timer function can be controlled via the watchdog timer control SFR (WDCON). The WDCON SFR can only be written by user software if the double write sequence described in WDWR below is initiated on every write access to the WDCON SFR.

WDCON	Watchdog Timer Control Register
SFR Address	C0H
Power-On Default Value	10H
Bit Addressable	Yes

PRE3	PRE2	PRE1	PRE0	WDIR	WDS	WDE	WDWR
------	------	------	------	------	-----	-----	------

Table XVII. WDCON SFR Bit Designations

Bit	Name	Description																																																												
7	PRE3	Watchdog Timer Prescale Bits The Watchdog timeout period is given by the equation: $t_{WD} = (2^{PRE} \times (2^9/f_{PLL}))$ ($0 \leq PRE \leq 7$; $f_{PLL} = 32.768 \text{ kHz}$) <table><thead><tr><th>PRE3</th><th>PRE2</th><th>PRE1</th><th>PRE0</th><th>Timeout Period (ms)</th><th>Action</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>15.6</td><td>Reset or Interrupt</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>31.2</td><td>Reset or Interrupt</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>62.5</td><td>Reset or Interrupt</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>125</td><td>Reset or Interrupt</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>250</td><td>Reset or Interrupt</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>500</td><td>Reset or Interrupt</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1000</td><td>Reset or Interrupt</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>2000</td><td>Reset or Interrupt</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0.0</td><td>Immediate Reset</td></tr></tbody></table>	PRE3	PRE2	PRE1	PRE0	Timeout Period (ms)	Action	0	0	0	0	15.6	Reset or Interrupt	0	0	0	1	31.2	Reset or Interrupt	0	0	1	0	62.5	Reset or Interrupt	0	0	1	1	125	Reset or Interrupt	0	1	0	0	250	Reset or Interrupt	0	1	0	1	500	Reset or Interrupt	0	1	1	0	1000	Reset or Interrupt	0	1	1	1	2000	Reset or Interrupt	1	0	0	0	0.0	Immediate Reset
PRE3	PRE2		PRE1	PRE0	Timeout Period (ms)	Action																																																								
0	0		0	0	15.6	Reset or Interrupt																																																								
0	0		0	1	31.2	Reset or Interrupt																																																								
0	0		1	0	62.5	Reset or Interrupt																																																								
0	0		1	1	125	Reset or Interrupt																																																								
0	1		0	0	250	Reset or Interrupt																																																								
0	1		0	1	500	Reset or Interrupt																																																								
0	1		1	0	1000	Reset or Interrupt																																																								
0	1		1	1	2000	Reset or Interrupt																																																								
1	0	0	0	0.0	Immediate Reset																																																									
		PRE3–0 > 1001 Reserved																																																												
3	WDIR	Watchdog Interrupt Response Enable Bit If this bit is set by the user, the watchdog will generate an interrupt response instead of a system reset when the watchdog timeout period has expired. This interrupt is not disabled by the CLR EA instruction and it is also a fixed, high-priority interrupt. If the watchdog is not being used to monitor the system, it can alternatively be used as a timer. The prescaler is used to set the timeout period in which an interrupt will be generated. (See also Note 1, Table XXXIV in the Interrupt System section.)																																																												
2	WDS	Watchdog Status Bit Set by the Watchdog Controller to indicate that a watchdog timeout has occurred. Cleared by writing a '0' or by an external hardware reset. It is not cleared by a watchdog reset.																																																												
1	WDE	Watchdog Enable Bit Set by user to enable the watchdog and clear its counters. If this bit is not set by the user within the watchdog timeout period, the watchdog will generate a reset or interrupt, depending on WDIR. Cleared under the following conditions, User writes '0,' Watchdog Reset (WDIR = '0'); Hardware Reset; PSM Interrupt.																																																												
0	WDWR	Watchdog Write Enable Bit To write data into the WDCON SFR involves a double instruction sequence. The WDWR bit must be set and the very next instruction must be a write instruction to the WDCON SFR. e.g., CLR EA ; disable interrupts while writing to WDT SETB WDWR ; allow write to WDCON MOV WDCON, #72h ; enable WDT for 2.0s timeout SET B EA ; enable interrupts again (if reqd)																																																												

POWER SUPPLY MONITOR

As its name suggests, the Power Supply Monitor, once enabled, monitors both supplies (AVDD or DVDD) on the ADuC824. It will indicate when any of the supply pins drop below one of four user-selectable voltage trip points from 2.63 V to 4.63 V. For correct operation of the Power Supply Monitor function, AV_{DD} must be equal to or greater than 2.7 V. Monitor function is controlled via the PSMCON SFR. If enabled via the IEIP2 SFR, the monitor will interrupt the core using the PSMI bit in the

PSMCON SFR. This bit will not be cleared until the failing power supply has returned above the trip point for at least 250 ms. This monitor function allows the user to save working registers to avoid possible data loss due to the low supply condition, and also ensures that normal code execution will not resume until a safe supply level has been well established. The supply monitor is also protected against spurious glitches triggering the interrupt circuit.

PSMCON

SFR Address

Power-On Default Value

Bit Addressable

Power Supply Monitor Control Register

DFH

DEH

No

CMPD	CMPA	PSMI	TPD1	TPD0	TPA1	TPA0	PSMEN
------	------	------	------	------	------	------	-------

Table XVIII. PSMCON SFR Bit Designations

Bit	Name	Description															
7	CMPD	DVDD Comparator Bit This is a read-only bit and directly reflects the state of the DVDD comparator. Read '1' indicates the DVDD supply is above its selected trip point. Read '0' indicates the DVDD supply is below its selected trip point.															
6	CMPA	AVDD Comparator Bit This is a read-only bit and directly reflects the state of the AVDD comparator. Read '1' indicates the AVDD supply is above its selected trip point. Read '0' indicates the AVDD supply is below its selected trip point.															
5	PSMI	Power Supply Monitor Interrupt Bit This bit will be set high by the MicroConverter if either CMPA or CMPD are low, indicating low analog or digital supply. The PSMI bit can be used to interrupt the processor. Once CMPD and/or CMPA return (and remain) high, a 250 ms counter is started. When this counter times out, the PSMI interrupt is cleared. PSMI can also be written by the user. However, if either comparator output is low, it is not possible for the user to clear PSMI.															
4	TPD1	DVDD Trip Point Selection Bits															
3	TPD0	These bits select the DVDD trip-point voltage as follows: <table><tr><th>TPD1</th><th>TPD0</th><th>Selected DVDD Trip Point (V)</th></tr><tr><td>0</td><td>0</td><td>4.63</td></tr><tr><td>0</td><td>1</td><td>3.08</td></tr><tr><td>1</td><td>0</td><td>2.93</td></tr><tr><td>1</td><td>1</td><td>2.63</td></tr></table>	TPD1	TPD0	Selected DVDD Trip Point (V)	0	0	4.63	0	1	3.08	1	0	2.93	1	1	2.63
TPD1	TPD0	Selected DVDD Trip Point (V)															
0	0	4.63															
0	1	3.08															
1	0	2.93															
1	1	2.63															
2	TPA1	AVDD Trip Point Selection Bits															
1	TPA0	These bits select the AVDD trip-point voltage as follows: <table><tr><th>TPA1</th><th>TPA0</th><th>Selected AVDD Trip Point (V)</th></tr><tr><td>0</td><td>0</td><td>4.63</td></tr><tr><td>0</td><td>1</td><td>3.08</td></tr><tr><td>1</td><td>0</td><td>2.93</td></tr><tr><td>1</td><td>1</td><td>2.63</td></tr></table>	TPA1	TPA0	Selected AVDD Trip Point (V)	0	0	4.63	0	1	3.08	1	0	2.93	1	1	2.63
TPA1	TPA0	Selected AVDD Trip Point (V)															
0	0	4.63															
0	1	3.08															
1	0	2.93															
1	1	2.63															
0	PSMEN	Power Supply Monitor Enable Bit Set to '1' by the user to enable the Power Supply Monitor Circuit. Cleared to '0' by the user to disable the Power Supply Monitor Circuit.															

ADuC824

SERIAL PERIPHERAL INTERFACE

The ADuC824 integrates a complete hardware Serial Peripheral Interface (SPI) interface on-chip. SPI is an industry standard synchronous serial interface that allows eight bits of data to be synchronously transmitted and received simultaneously, i.e., full duplex. It should be noted that the SPI physical interface is shared with the I²C interface and therefore the user can only enable one or the other interface at any given time (see SPE in SPICON below). The system can be configured for Master or Slave operation and typically consists of four pins, namely:

MISO (Master In, Slave Out Data I/O Pin), Pin#14

The MISO (master in slave out) pin is configured as an input line in master mode and an output line in slave mode. The MISO line on the master (data in) should be connected to the MISO line in the slave device (data out). The data is transferred as byte wide (8-bit) serial data, MSB first.

MOSI (Master Out, Slave In Pin), Pin#27

The MOSI (master out slave in) pin is configured as an output line in master mode and an input line in slave mode. The MOSI line on the master (data out) should be connected to the MOSI line in the slave device (data in). The data is transferred as byte wide (8-bit) serial data, MSB first.

SCLOCK (Serial Clock I/O Pin), Pin#26

The master clock (SCLOCK) is used to synchronize the data being transmitted and received through the MOSI and MISO data

lines. A single data bit is transmitted and received in each SCLOCK period. Therefore, a byte is transmitted/received after eight SCLOCK periods. The SCLOCK pin is configured as an output in master mode and as an input in slave mode. In master mode the bit-rate, polarity and phase of the clock are controlled by the CPOL, CPHA, SPR0 and SPR1 bits in the SPICON SFR (see Table XIX). In slave mode the SPICON register will have to be configured with the phase and polarity (CPHA and CPOL) of the expected input clock. In both master and slave mode the data is transmitted on one edge of the SCLOCK signal and sampled on the other. It is important therefore that the CPHA and CPOL are configured the same for the master and slave devices.

$\overline{SS}$ (Slave Select Input Pin), Pin#13

The Slave Select ($\overline{SS}$) input pin is only used when the ADuC824 is configured in slave mode to enable the SPI peripheral. This line is active low. Data is only received or transmitted in slave mode when the $\overline{SS}$ pin is low, allowing the ADuC824 to be used in single master, multislave SPI configurations. If CPHA = 1 then the $\overline{SS}$ input may be permanently pulled low. With CPHA = 0 then the $\overline{SS}$ input must be driven low before the first bit in a byte wide transmission or reception and return high again after the last bit in that byte wide transmission or reception. In SPI Slave Mode, the logic level on the external $\overline{SS}$ pin (Pin# 13), can be read via the SPR0 bit in the SPICON SFR.

The following SFR registers are used to control the SPI interface.

SPICON	SPI Control Register
SFR Address	F8H
Power-On Default Value	04H
Bit Addressable	Yes

ISPI	WCOL	SPE	SPIM	CPOL	CPHA	SPR1	SPR0
------	------	-----	------	------	------	------	------

Table XIX. SPICON SFR Bit Designations

Bit	Name	Description																		
7	ISPI	SPI Interrupt Bit <i>Set</i> by MicroConverter at the end of each SPI transfer. <i>Cleared</i> directly by user code or indirectly by reading the SPIDAT SFR.																		
6	WCOL	Write Collision Error Bit <i>Set</i> by MicroConverter if SPIDAT is written to while an SPI transfer is in progress. <i>Cleared</i> by user code.																		
5	SPE	SPI Interface Enable Bit <i>Set</i> by user to enable the SPI interface. <i>Cleared</i> by user to enable the I ² C interface.																		
4	SPIM	SPI Master/Slave Mode Select Bit <i>Set</i> by user to enable Master Mode operation (SCLOCK is an output). <i>Cleared</i> by user to enable Slave Mode operation (SCLOCK is an input).																		
3	CPOL*	Clock Polarity Select Bit <i>Set</i> by user if SCLOCK idles high. <i>Cleared</i> by user if SCLOCK idles low.																		
2	CPHA*	Clock Phase Select Bit <i>Set</i> by user if leading SCLOCK edge is to transmit data. <i>Cleared</i> by user if trailing SCLOCK edge is to transmit data.																		
1	SPR1	SPI Bit-Rate Select Bits																		
0	SPR0	These bits select the SCLOCK rate (bit-rate) in Master Mode as follows: <table><tr><td>SPR1</td><td>SPR0</td><td>Selected Bit Rate</td><td>SPR1</td><td>SPR0</td><td>Selected Bit Rate</td></tr><tr><td>0</td><td>0</td><td>f_{CORE}/2</td><td>1</td><td>0</td><td>f_{CORE}/8</td></tr><tr><td>0</td><td>1</td><td>f_{CORE}/4</td><td>1</td><td>1</td><td>f_{CORE}/16</td></tr></table> In SPI Slave Mode, i.e., SPIM = 0, the logic level on the external $\overline{SS}$ pin (Pin# 13), can be read via the SPR0 bit.	SPR1	SPR0	Selected Bit Rate	SPR1	SPR0	Selected Bit Rate	0	0	f _{CORE} /2	1	0	f _{CORE} /8	0	1	f _{CORE} /4	1	1	f _{CORE} /16
SPR1	SPR0	Selected Bit Rate	SPR1	SPR0	Selected Bit Rate															
0	0	f _{CORE} /2	1	0	f _{CORE} /8															
0	1	f _{CORE} /4	1	1	f _{CORE} /16															

*Bits should contain the same values for master and slave devices.

SPIDAT

Function

SFR Address

Power-On Default Value

Bit Addressable

SPI Data Register

The SPIDAT SFR is written by the user to transmit data over the SPI interface or read by user code to read data just received by the SPI interface.

F7H

00H

No

Using the SPI Interface

Depending on the configuration of the bits in the SPICON SFR shown in Table XIX, the ADuC824 SPI interface will transmit or receive data in a number of possible modes. Figure 33 shows all possible ADuC824 SPI configurations and the timing relationships and synchronization between the signals involved. Also shown in this figure is the SPI interrupt bit (ISPI) and how it is triggered at the end of each byte-wide communication.

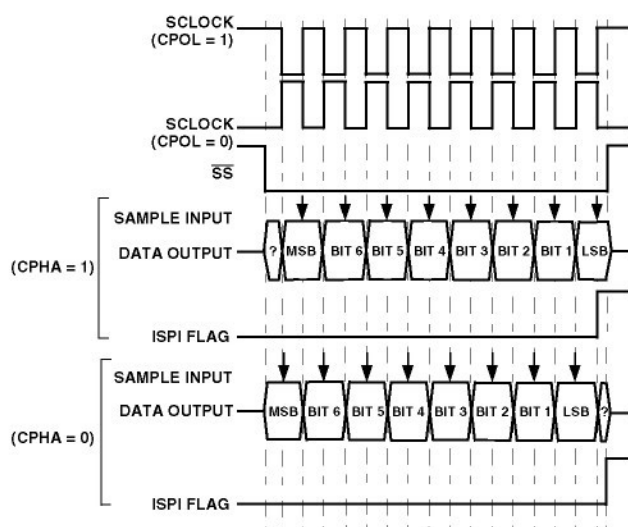


Figure 33. SPI Timing, All Modes

SPI Interface—Master Mode

In master mode, the SCLOCK pin is always an output and generates a burst of eight clocks whenever user code writes to the SPIDAT register. The SCLOCK bit rate is determined by SPR0 and SPR1 in SPICON. It should also be noted that the $\overline{SS}$ pin is not used in master mode. If the ADuC824 needs to assert the $\overline{SS}$ pin on an external slave device, a Port digital output pin should be used.

In master mode a byte transmission or reception is initiated by a write to SPIDAT. Eight clock periods are generated via the SCLOCK pin and the SPIDAT byte being transmitted via MOSI. With each SCLOCK period a data bit is also sampled via MISO. After eight clocks, the transmitted byte will have been completely transmitted and the input byte will be waiting in the input shift register. The ISPI flag will be set automatically and an interrupt will occur if enabled. The value in the shift register will be latched into SPIDAT.

SPI Interface—Slave Mode

In slave mode the SCLOCK is an input. The $\overline{SS}$ pin must also be driven low externally during the byte communication.

Transmission is also initiated by a write to SPIDAT. In slave mode, a data bit is transmitted via MISO and a data bit is received via MOSI through each input SCLOCK period. After eight clocks, the transmitted byte will have been completely transmitted and the input byte will be waiting in the input shift register. The ISPI flag will be set automatically and an interrupt will occur if enabled. The value in the shift register will be latched into SPIDAT only when the transmission/reception of a byte has been completed. The end of transmission occurs after the eighth clock has been received, if CPHA = 1 or when $\overline{SS}$ returns high if CPHA = 0.

ADuC824

I²C-COMPATIBLE INTERFACE

The ADuC824 supports a 2-wire serial interface mode which is I²C compatible. The I²C-compatible interface shares its pins with the on-chip SPI interface and therefore the user can only enable one or the other interface at any given time (see SPE in

SPICON previously). An Application Note describing the operation of this interface as implemented is available from the MicroConverter Website at www.analog.com/microconverter. This interface can be configured as a Software Master or Hardware Slave, and uses two pins in the interface.

SDATA (Pin 27) Serial Data I/O Pin
SCLOCK (Pin 26) Serial Clock

Three SFRs are used to control the I²C-compatible interface. These are described below:

I2CCON **I²C Control Register**
SFR Address E8H
Power-On Default Value 00H
Bit Addressable Yes

MDO	MDE	MCO	MDI	I2CM	I2CRS	I2CTX	I2CI
-----	-----	-----	-----	------	-------	-------	------

Table XX. I2CCON SFR Bit Designations

Bit	Name	Description
7	MDO	I ² C Software Master Data Output Bit (MASTER MODE ONLY) This data bit is used to implement a master I ² C transmitter interface in software. Data written to this bit will be outputted on the SDATA pin if the data output enable (MDE) bit is set.
6	MDE	I ² C Software Master Data Output Enable Bit (MASTER MODE ONLY) <i>Set</i> by user to enable the SDATA pin as an output (Tx). <i>Cleared</i> by the user to enable SDATA pin as an input (Rx).
5	MCO	I ² C Software Master Clock Output Bit (MASTER MODE ONLY) This data bit is used to implement a master I ² C transmitter interface in software. Data written to this bit will be outputted on the SCLOCK pin.
4	MDI	I ² C Software Master Data Input Bit (MASTER MODE ONLY) This data bit is used to implement a master I ² C receiver interface in software. Data on the SDATA pin is latched into this bit on SCLOCK if the Data Output Enable (MDE) bit is '0.'
3	I2CM	I ² C Master/Slave Mode Bit <i>Set</i> by user to enable I ² C software master mode. <i>Cleared</i> by user to enable I ² C hardware slave mode.
2	I2CRS	I ² C Reset Bit (SLAVE MODE ONLY) <i>Set</i> by user to reset the I ² C interface. <i>Cleared</i> by user code for normal I ² C operation.
1	I2CTX	I ² C Direction Transfer Bit (SLAVE MODE ONLY) <i>Set</i> by the MicroConverter if the interface is transmitting. <i>Cleared</i> by the MicroConverter if the interface is receiving.
0	I2CI	I ² C Interrupt Bit (SLAVE MODE ONLY) <i>Set</i> by the MicroConverter after a byte has been transmitted or received. <i>Cleared</i> automatically when user code reads the I2CDAT SFR (see I2CDAT below).

I2CADD

Function

I²C Address Register

Holds the I²C peripheral address for the part. It may be overwritten by user code. Technical Note uC001 at www.analog.com/microconverter describes the format of the I²C standard 7-bit address in detail.

SFR Address 9BH
Power-On Default Value 55H
Bit Addressable No

I2CDAT

Function

I²C Data Register

The I2CDAT SFR is written by the user to transmit data over the I²C interface or read by user code to read data just received by the I²C interface. Accessing I2CDAT automatically clears any pending I²C interrupt and the I2CI bit in the I2CCON SFR. User software should only access I2CDAT once per interrupt cycle.

SFR Address 9AH
Power-On Default Value 00H
Bit Addressable No

8051-COMPATIBLE ON-CHIP PERIPHERALS

This section gives a brief overview of the various secondary peripheral circuits are also available to the user on-chip. These remaining functions are fully 8051-compatible and are controlled via standard 8051 SFR bit definitions.

Parallel I/O Ports 0–3

The ADuC824 uses four input/output ports to exchange data with external devices. In addition to performing general-purpose I/O, some ports are capable of external memory operations; others are multiplexed with an alternate function for the peripheral features on the device. In general, when a peripheral is enabled, that pin may not be used as a general purpose I/O pin.

Port 0 is an 8-bit open drain bidirectional I/O port that is directly controlled via the Port 0 SFR (SFR address = 80 hex). Port 0 pins that have 1s written to them via the Port 0 SFR will be configured as open drain and will therefore float. In that state, Port 0 pins can be used as high impedance inputs. An external pull-up resistor will be required on Port 0 outputs to force a valid logic high level externally. Port 0 is also the multiplexed low-order address and data bus during accesses to external program or data memory. In this application it uses strong internal pull-ups when emitting 1s.

Port 1 is also an 8-bit port directly controlled via the P1 SFR (SFR address = 90 hex). The Port 1 pins are divided into two distinct pin groupings.

P1.0 and P1.1 pins on Port 1 are bidirectional digital I/O pins with internal pull-ups. If P1.0 and P1.1 have 1s written to them via the P1 SFR, these pins are pulled high by the internal pull-up resistors. In this state they can also be used as inputs; as input pins being externally pulled low, they will source current because of the internal pull-ups. With 0s written to them, both these pins will drive a logic low output voltage (VOL) and will be capable of sinking 10 mA compared to the standard 1.6 mA sink capability on the other port pins. These pins also have various secondary functions described in Table XXI.

Table XXI. Port 1, Alternate Pin Functions

Pin	Alternate Function
P1.0	T2 (Timer/Counter 2 External Input)
P1.1	T2EX (Timer/Counter 2 Capture/Reload Trigger)

The remaining Port 1 pins (P1.2–P1.7) can only be configured as Analog Input (ADC), Analog Output (DAC) or Digital Input pins. By (power-on) default these pins are configured as Analog Inputs, i.e., '1' written in the corresponding Port 1 register bit. To configure any of these pins as digital inputs, the user should write a '0' to these port bits to configure the corresponding pin as a high impedance digital input.

Port 2 is a bidirectional port with internal pull-up resistors directly controlled via the P2 SFR (SFR address = A0 hex). Port 2 pins that have 1s written to them are pulled high by the internal pull-up resistors and, in that state, they can be used as inputs. As inputs, Port 2 pins being pulled externally low will source current because of the internal pull-up resistors. Port 2 emits the high order address bytes during fetches from external program memory and middle and high order address bytes during accesses to the 24-bit external data memory space.

Port 3 is a bidirectional port with internal pull-ups directly controlled via the P2 SFR (SFR address = B0 hex). Port 3 pins that have 1s written to them are pulled high by the internal pull-ups and in that state they can be used as inputs. As inputs, Port 3 pins being pulled externally low will source current because of the internal pull-ups. Port 3 pins also have various secondary functions described in Table XXII.

Table XXII. Port 3, Alternate Pin Functions

Pin	Alternate Function
P3.0	RXD (UART Input Pin) (or Serial Data I/O in Mode 0)
P3.1	TXD (UART Output Pin) (or Serial Clock Output in Mode 0)
P3.2	INT0 (External Interrupt 0)
P3.3	INT1 (External Interrupt 1)
P3.4	T0 (Timer/Counter 0 External Input)
P3.5	T1 (Timer/Counter 1 External Input)
P3.6	WR (External Data Memory Write Strobe)
P3.7	RD (External Data Memory Read Strobe)

The alternate functions of P1.0, P1.1, and Port 3 pins can only be activated if the corresponding bit latch in the P1 and P3 SFRs contains a 1. Otherwise, the port pin is stuck at 0.

Timers/Counters

The ADuC824 has three 16-bit Timer/Counters: Timer 0, Timer 1, and Timer 2. The Timer/Counter hardware has been included on-chip to relieve the processor core of the overhead inherent in implementing timer/counter functionality in software. Each Timer/Counter consists of two 8-bit registers THx and TLx (x = 0, 1, and 2). All three can be configured to operate either as timers or event counters.

In 'Timer' function, the TLx register is incremented every machine cycle. Thus one can think of it as counting machine cycles. Since a machine cycle consists of 12 core clock periods, the maximum count rate is 1/12 of the core clock frequency.

In 'Counter' function, the TLx register is incremented by a 1-to-0 transition at its corresponding external input pin, T0, T1, or T2. In this function, the external input is sampled during S5P2 of every machine cycle. When the samples show a high in one cycle and a low in the next cycle, the count is incremented. The new count value appears in the register during S3P1 of the cycle following the one in which the transition was detected. Since it takes two machine cycles (24 core clock periods) to recognize a 1-to-0 transition, the maximum count rate is 1/24 of the core clock frequency. There are no restrictions on the duty cycle of the external input signal, but to ensure that a given level is sampled at least once before it changes, it must be held for a minimum of one full machine cycle. Remember that the core clock frequency is programmed via the CD0–2 selection bits in the PLLCON SFR.

ADuC824

User configuration and control of all Timer operating modes is achieved via three SFRs namely:

TMOD, TCON: Control and configuration for Timers 0 and 1.
T2CON: Control and configuration for Timer 2.

TMOD **Timer/Counter 0 and 1 Mode Register**
SFR Address 89H
Power-On Default Value 00H
Bit Addressable No

Gate	C/T	M1	M0	Gate	C/T	M1	M0
------	-----	----	----	------	-----	----	----

Table XXIII. TMOD SFR Bit Designations

Bit	Name	Description															
7	Gate	Timer 1 Gating Control <i>Set</i> by software to enable timer/counter 1 only while $\overline{\text{INT1}}$ pin is high and TR1 control bit is set. <i>Cleared</i> by software to enable timer 1 whenever TR1 control bit is set.															
6	C/T	Timer 1 Timer or Counter Select Bit <i>Set</i> by software to select counter operation (input from T1 pin). <i>Cleared</i> by software to select timer operation (input from internal system clock).															
5	M1	Timer 1 Mode Select Bit 1 (Used with M0 Bit)															
4	M0	Timer 1 Mode Select Bit 0															
		<table> <tr> <th>M1</th><th>M0</th><th></th></tr> <tr> <td>0</td><td>0</td><td>TH1 operates as an 8-bit timer/counter. TL1 serves as 5-bit prescaler.</td></tr> <tr> <td>0</td><td>1</td><td>16-Bit Timer/Counter. TH1 and TL1 are cascaded; there is no prescaler.</td></tr> <tr> <td>1</td><td>0</td><td>8-Bit Auto-Reload Timer/Counter. TH1 holds a value which is to be reloaded into TL1 each time it overflows.</td></tr> <tr> <td>1</td><td>1</td><td>Timer/Counter 1 Stopped.</td></tr> </table>	M1	M0		0	0	TH1 operates as an 8-bit timer/counter. TL1 serves as 5-bit prescaler.	0	1	16-Bit Timer/Counter. TH1 and TL1 are cascaded; there is no prescaler.	1	0	8-Bit Auto-Reload Timer/Counter. TH1 holds a value which is to be reloaded into TL1 each time it overflows.	1	1	Timer/Counter 1 Stopped.
M1	M0																
0	0	TH1 operates as an 8-bit timer/counter. TL1 serves as 5-bit prescaler.															
0	1	16-Bit Timer/Counter. TH1 and TL1 are cascaded; there is no prescaler.															
1	0	8-Bit Auto-Reload Timer/Counter. TH1 holds a value which is to be reloaded into TL1 each time it overflows.															
1	1	Timer/Counter 1 Stopped.															
3	Gate	Timer 0 Gating Control <i>Set</i> by software to enable timer/counter 0 only while $\overline{\text{INT0}}$ pin is high and TR0 control bit is set. <i>Cleared</i> by software to enable Timer 0 whenever TR0 control bit is set.															
2	C/T	Timer 0 Timer or Counter Select Bit <i>Set</i> by software to select counter operation (input from T0 pin). <i>Cleared</i> by software to select timer operation (input from internal system clock).															
1	M1	Timer 0 Mode Select Bit 1															
0	M0	Timer 0 Mode Select Bit 0															
		<table> <tr> <th>M1</th><th>M0</th><th></th></tr> <tr> <td>0</td><td>0</td><td>TH0 operates as an 8-bit timer/counter. TL0 serves as 5-bit prescaler.</td></tr> <tr> <td>0</td><td>1</td><td>16-Bit Timer/Counter. TH0 and TL0 are cascaded; there is no prescaler.</td></tr> <tr> <td>1</td><td>0</td><td>8-Bit Auto-Reload Timer/Counter. TH0 holds a value which is to be reloaded into TL0 each time it overflows.</td></tr> <tr> <td>1</td><td>1</td><td>TL0 is an 8-bit timer/counter controlled by the standard timer 0 control bits. TH0 is an 8-bit timer only, controlled by Timer 1 control bits.</td></tr> </table>	M1	M0		0	0	TH0 operates as an 8-bit timer/counter. TL0 serves as 5-bit prescaler.	0	1	16-Bit Timer/Counter. TH0 and TL0 are cascaded; there is no prescaler.	1	0	8-Bit Auto-Reload Timer/Counter. TH0 holds a value which is to be reloaded into TL0 each time it overflows.	1	1	TL0 is an 8-bit timer/counter controlled by the standard timer 0 control bits. TH0 is an 8-bit timer only, controlled by Timer 1 control bits.
M1	M0																
0	0	TH0 operates as an 8-bit timer/counter. TL0 serves as 5-bit prescaler.															
0	1	16-Bit Timer/Counter. TH0 and TL0 are cascaded; there is no prescaler.															
1	0	8-Bit Auto-Reload Timer/Counter. TH0 holds a value which is to be reloaded into TL0 each time it overflows.															
1	1	TL0 is an 8-bit timer/counter controlled by the standard timer 0 control bits. TH0 is an 8-bit timer only, controlled by Timer 1 control bits.															

TCON	Timer/Counter 0 and 1 Control Register
SFR Address	88H
Power-On Default Value	00H
Bit Addressable	Yes

TF1	TR1	TF0	TR0	IE1*	IT1*	IE0*	IT0*
------------	------------	------------	------------	-------------	-------------	-------------	-------------

*These bits are not used in the control of timer/counter 0 and 1, but are used instead in the control and monitoring of the external $\overline{\text{INT0}}$ and $\overline{\text{INT1}}$ interrupt pins.

Table XXIV. TCON SFR Bit Designations

Bit	Name	Description
7	TF1	Timer 1 Overflow Flag <i>Set</i> by hardware on a timer/counter 1 overflow. <i>Cleared</i> by hardware when the Program Counter (PC) vectors to the interrupt service routine.
6	TR1	Timer 1 Run Control Bit <i>Set</i> by user to turn on timer/counter 1. <i>Cleared</i> by user to turn off timer/counter 1.
5	TF0	Timer 0 Overflow Flag <i>Set</i> by hardware on a timer/counter 0 overflow. <i>Cleared</i> by hardware when the PC vectors to the interrupt service routine.
4	TR0	Timer 0 Run Control Bit <i>Set</i> by user to turn on timer/counter 0. <i>Cleared</i> by user to turn off timer/counter 0.
3	IE1	External Interrupt 1 ($\overline{\text{INT1}}$) Flag <i>Set</i> by hardware by a falling edge or zero level being applied to external interrupt pin $\overline{\text{INT1}}$, depending on bit IT1 state. <i>Cleared</i> by hardware when the when the PC vectors to the interrupt service routine only if the interrupt was transition-activated. If level-activated, the external requesting source controls the request flag, rather than the on-chip hardware.
2	IT1	External Interrupt 1 (IE1) Trigger Type <i>Set</i> by software to specify edge-sensitive detection (i.e., 1-to-0 transition). <i>Cleared</i> by software to specify level-sensitive detection (i.e., zero level).
1	IE0	External Interrupt 0 ($\overline{\text{INT0}}$) Flag <i>Set</i> by hardware by a falling edge or zero level being applied to external interrupt pin $\overline{\text{INT0}}$, depending on bit IT0 state. <i>Cleared</i> by hardware when the PC vectors to the interrupt service routine only if the interrupt was transition-activated. If level-activated, the external requesting source controls the request flag, rather than the on-chip hardware.
0	IT0	External Interrupt 0 (IE0) Trigger Type <i>Set</i> by software to specify edge-sensitive detection (i.e., 1-to-0 transition). <i>Cleared</i> by software to specify level-sensitive detection (i.e., zero level).

Timer/Counter 0 and 1 Data Registers

Each timer consists of two 8-bit registers. These can be used as independent registers or combined to be a single 16-bit register depending on the timer mode configuration.

TH0 and TL0

Timer 0 high byte and low byte.

SFR Address = 8Chex, 8Ahex respectively.

TH1 and TL1

Timer 1 high byte and low byte.

SFR Address = 8Dhex, 8Bhex respectively.

TIMER/COUNTER 0 AND 1 OPERATING MODES

The following paragraphs describe the operating modes for timer/counters 0 and 1. Unless otherwise noted, assume that these modes of operation are the same for timer 0 as for timer 1.

Mode 0 (13-Bit Timer/Counter)

Mode 0 configures an 8-bit timer/counter with a divide-by-32 prescaler. Figure 34 shows mode 0 operation.

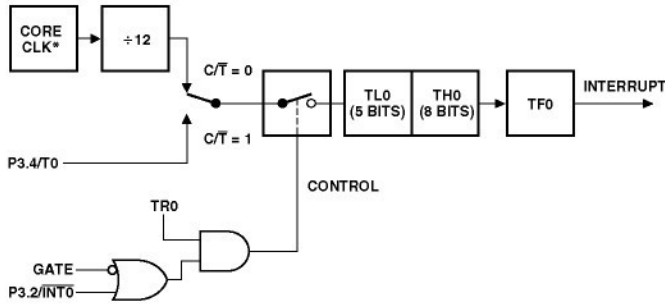


Figure 34. Timer/Counter 0, Mode 0

In this mode, the timer register is configured as a 13-bit register. As the count rolls over from all 1s to all 0s, it sets the timer overflow flag TF0. The overflow flag, TF0, can then be used to request an interrupt. The counted input is enabled to the timer when TR0 = 1 and either Gate = 0 or INT0 = 1. Setting Gate = 1 allows the timer to be controlled by external input INT0, to facilitate pulsewidth measurements. TR0 is a control bit in the special function register TCON; Gate is in TMOD. The 13-bit register consists of all eight bits of TH0 and the lower five bits of TL0. The upper three bits of TL0 are indeterminate and should be ignored. Setting the run flag (TR0) does not clear the registers.

Mode 1 (16-Bit Timer/Counter)

Mode 1 is the same as Mode 0, except that the timer register is running with all 16 bits. Mode 1 is shown in Figure 35.

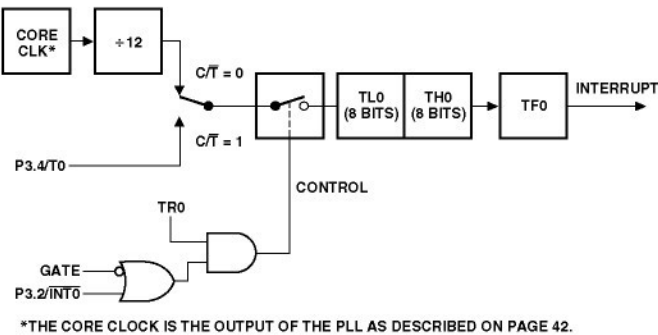


Figure 35. Timer/Counter 0, Mode 1

Mode 2 (8-Bit Timer/Counter with Auto Reload)

Mode 2 configures the timer register as an 8-bit counter (TL0) with automatic reload, as shown in Figure 36. Overflow from TL0 not only sets TF0, but also reloads TL0 with the contents of TH0, which is preset by software. The reload leaves TH0 unchanged.

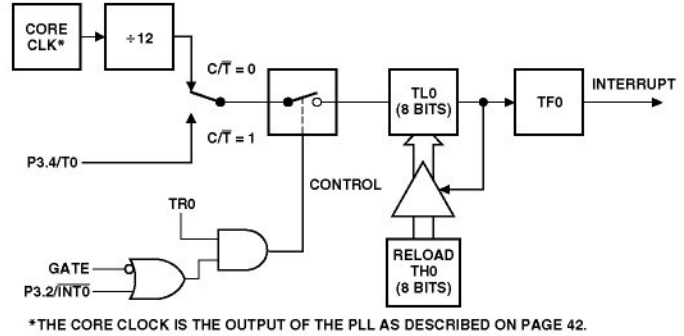


Figure 36. Timer/Counter 0, Mode 2

Mode 3 (Two 8-Bit Timer/Counters)

Mode 3 has different effects on timer 0 and timer 1. Timer 1 in Mode 3 simply holds its count. The effect is the same as setting TR1 = 0. Timer 0 in Mode 3 establishes TL0 and TH0 as two separate counters. This configuration is shown in Figure 37. TL0 uses the timer 0 control bits: C/T, Gate, TR0, INT0, and TF0. TH0 is locked into a timer function (counting machine cycles) and takes over the use of TR1 and TF1 from timer 1. Thus, TH0 now controls the "timer 1" interrupt. Mode 3 is provided for applications requiring an extra 8-bit timer or counter.

When timer 0 is in Mode 3, timer 1 can be turned on and off by switching it out of, and into, its own Mode 3, or can still be used by the serial interface as a *Baud Rate Generator*. In fact, it can be used, in any application not requiring an interrupt from timer 1 itself.

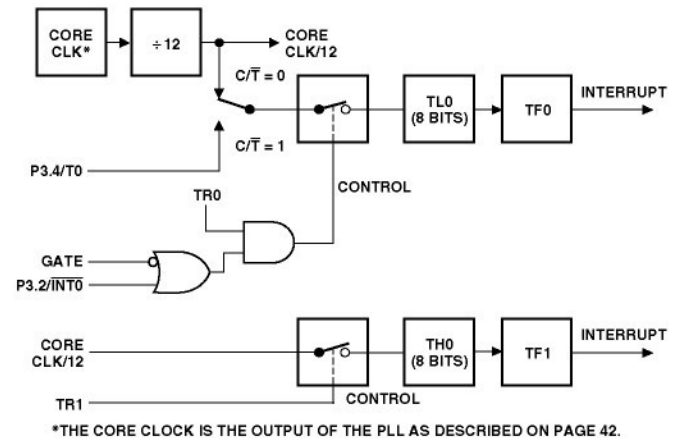


Figure 37. Timer/Counter 0, Mode 3

T2CON	Timer/Counter 2 Control Register
SFR Address	C8H
Power-On Default Value	00H
Bit Addressable	Yes

TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CNT2	CAP2
-----	------	------	------	-------	-----	------	------

Table XXV. T2CON SFR Bit Designations

Bit	Name	Description
7	TF2	Timer 2 Overflow Flag <i>Set</i> by hardware on a Timer 2 overflow. TF2 will not be set when either RCLK or TCLK = 1. <i>Cleared</i> by user software.
6	EXF2	Timer 2 External Flag <i>Set</i> by hardware when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. <i>Cleared</i> by user software.
5	RCLK	Receive Clock Enable Bit <i>Set</i> by user to enable the serial port to use Timer 2 overflow pulses for its receive clock in serial port Modes 1 and 3. <i>Cleared</i> by user to enable Timer 1 overflow to be used for the receive clock.
4	TCLK	Transmit Clock Enable Bit <i>Set</i> by user to enable the serial port to use Timer 2 overflow pulses for its transmit clock in serial port Modes 1 and 3. <i>Cleared</i> by user to enable Timer 1 overflow to be used for the transmit clock.
3	EXEN2	Timer 2 External Enable Flag <i>Set</i> by user to enable a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. <i>Cleared</i> by user for Timer 2 to ignore events at T2EX.
2	TR2	Timer 2 Start/Stop Control Bit <i>Set</i> by user to start Timer 2. <i>Cleared</i> by user to stop Timer 2.
1	CNT2	Timer 2 Timer or Counter Function Select Bit <i>Set</i> by user to select counter function (input from external T2 pin). <i>Cleared</i> by user to select timer function (input from on-chip core clock).
0	CAP2	Timer 2 Capture/Reload Select Bit <i>Set</i> by user to enable captures on negative transitions at T2EX if EXEN2 = 1. <i>Cleared</i> by user to enable auto-reloads with Timer 2 overflows or negative transitions at T2EX when EXEN2 = 1. When either RCLK = 1 or TCLK = 1, this bit is ignored and the timer is forced to autoreload on Timer 2 overflow.

Timer/Counter 2 Data Registers

Timer/Counter 2 also has two pairs of 8-bit data registers associated with it. These are used as both timer data registers and timer capture/reload registers.

TH2 and TL2

Timer 2, data high byte and low byte.

SFR Address = CDhex, CChex respectively.

RCAP2H and RCAP2L

Timer 2, Capture/Reload byte and low byte.

SFR Address = CBhex, CAhex respectively.

Timer/Counter 2 Operating Modes

The following paragraphs describe the operating modes for timer/counter 2. The operating modes are selected by bits in the T2CON SFR as shown in Table XXVI.

Table XXVI. TIMECON SFR Bit Designations

RCLK (or) TCLK	CAP2	TR2	MODE
0	0	1	16-Bit Autoreload
0	1	1	16-Bit Capture
1	X	1	Baud Rate
X	X	0	OFF

16-Bit Autoreload Mode

In 'Autoreload' mode, there are two options, which are selected by bit EXEN2 in T2CON. If EXEN2 = 0, then when Timer 2 rolls over it not only sets TF2 but also causes the Timer 2 registers to be reloaded with the 16-bit value in registers RCAP2L and RCAP2H, which are preset by software. If EXEN2 = 1, then Timer 2 still performs the above, but with the added feature that a 1-to-0 transition at external input T2EX will also trigger the 16-bit reload and set EXF2. The autoreload mode is illustrated in Figure 38.

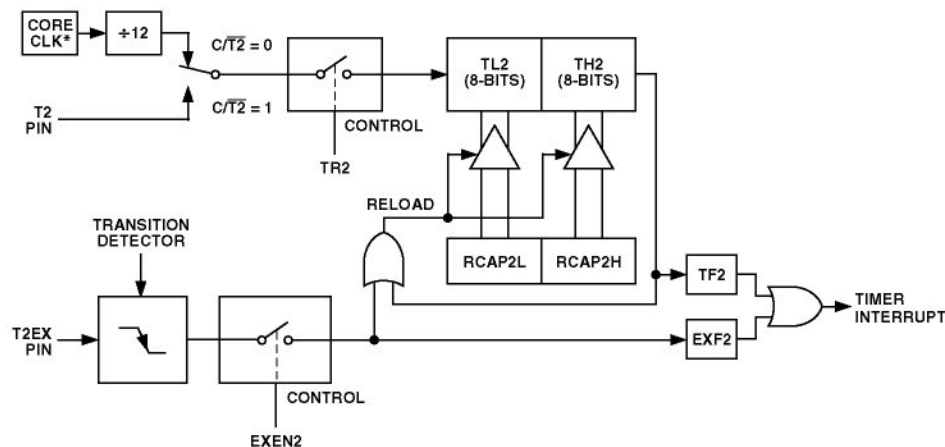


Figure 38. Timer/Counter 2, 16-Bit Autoreload Mode

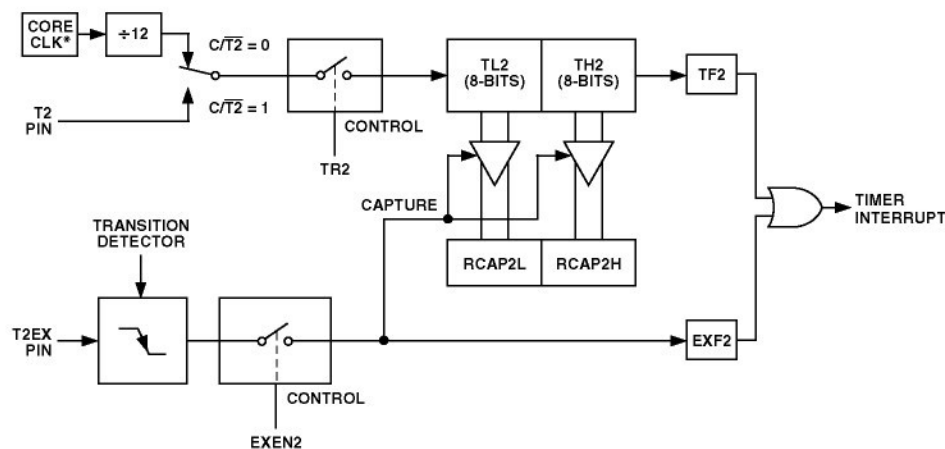


Figure 39. Timer/Counter 2, 16-Bit Capture Mode

16-Bit Capture Mode

In the 'Capture' mode, there are again two options, which are selected by bit EXEN2 in T2CON. If EXEN2 = 0, then Timer 2 is a 16-bit timer or counter which, upon overflowing, sets bit TF2, the Timer 2 overflow bit, which can be used to generate an interrupt. If EXEN2 = 1, then Timer 2 still performs the above, but a 1-to-0 transition on external input T2EX causes the current value in the Timer 2 registers, TL2 and TH2, to be captured into registers RCAP2L and RCAP2H, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set, and EXF2, like TF2, can generate an interrupt. The Capture Mode is illustrated in Figure 39.

The baud rate generator mode is selected by RCLK = 1 and/or TCLK = 1.

In either case if Timer 2 is being used to generate the baud rate, the TF2 interrupt flag will not occur. Hence Timer 2 interrupts will not occur so they do not have to be disabled. In this mode the EXF2 flag, however, can still cause interrupts and this can be used as a third external interrupt.

Baud rate generation will be described as part of the UART serial port operation in the following pages.

UART SERIAL INTERFACE

The serial port is full duplex, meaning it can transmit and receive simultaneously. It is also receive-buffered, meaning it can commence reception of a second byte before a previously received byte has been read from the receive register. However, if the first byte still has not been read by the time reception of the second byte is complete, the first byte will be lost. The physical interface to the serial data network is via Pins RXD(P3.0) and TXD(P3.1)

while the SFR interface to the UART is comprised of the following registers.

SBUF

The serial port receive and transmit registers are both accessed through the SBUF SFR (SFR address = 99 hex). Writing to SBUF loads the transmit register and reading SBUF accesses a physically separate receive register.

SCON

SFR Address

Power-On Default Value

Bit Addressable

UART Serial Port Control Register

98H

00H

Yes

SM0	SM1	SM2	REN	TB8	RB8	TI	RI
-----	-----	-----	-----	-----	-----	----	----

Table XXVII. SCON SFR Bit Designations

Bit	Name	Description															
7	SM0	UART Serial Mode Select Bits															
6	SM1	These bits select the Serial Port operating mode as follows: <table><tr><td>SM0</td><td>SM1</td><td>Selected Operating Mode</td></tr><tr><td>0</td><td>0</td><td>Mode 0: Shift Register, fixed baud rate (Core_Clk/2)</td></tr><tr><td>0</td><td>1</td><td>Mode 1: 8-bit UART, variable baud rate</td></tr><tr><td>1</td><td>0</td><td>Mode 2: 9-bit UART, fixed baud rate (Core_Clk/64) or (Core_Clk/32)</td></tr><tr><td>1</td><td>1</td><td>Mode 3: 9-bit UART, variable baud rate</td></tr></table>	SM0	SM1	Selected Operating Mode	0	0	Mode 0: Shift Register, fixed baud rate (Core_Clk/2)	0	1	Mode 1: 8-bit UART, variable baud rate	1	0	Mode 2: 9-bit UART, fixed baud rate (Core_Clk/64) or (Core_Clk/32)	1	1	Mode 3: 9-bit UART, variable baud rate
SM0	SM1	Selected Operating Mode															
0	0	Mode 0: Shift Register, fixed baud rate (Core_Clk/2)															
0	1	Mode 1: 8-bit UART, variable baud rate															
1	0	Mode 2: 9-bit UART, fixed baud rate (Core_Clk/64) or (Core_Clk/32)															
1	1	Mode 3: 9-bit UART, variable baud rate															
5	SM2	Multiprocessor Communication Enable Bit Enables multiprocessor communication in Modes 2 and 3. In Mode 0, SM2 should be cleared. In Mode 1, if SM2 is set, RI will not be activated if a valid stop bit was not received. If SM2 is cleared, RI will be set as soon as the byte of data has been received. In Modes 2 or 3, if SM2 is set, RI will not be activated if the received ninth data bit in RB8 is 0. If SM2 is cleared, RI will be set as soon as the byte of data has been received.															
4	REN	Serial Port Receive Enable Bit Set by user software to enable serial port reception. Cleared by user software to disable serial port reception.															
3	TB8	Serial Port Transmit (Bit 9) The data loaded into TB8 will be the ninth data bit that will be transmitted in Modes 2 and 3.															
2	RB8	Serial Port Receiver Bit 9 The ninth data bit received in Modes 2 and 3 is latched into RB8. For Mode 1 the stop bit is latched into RB8.															
1	TI	Serial Port Transmit Interrupt Flag Set by hardware at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in Modes 1, 2, and 3. TI must be cleared by user software.															
0	RI	Serial Port Receiver Interrupt Flag Set by hardware at the end of the eighth bit in mode 0, or halfway through the stop bit in Modes 1, 2, and 3. RI must be cleared by software.															

Mode 0: 8-Bit Shift Register Mode

Mode 0 is selected by clearing both the SM0 and SM1 bits in the SFR SCON. Serial data enters and exits through RXD. TXD outputs the shift clock. Eight data bits are transmitted or received. Transmission is initiated by any instruction that writes to SBUF. The data is shifted out of the RXD line. The eight bits are transmitted with the least-significant bit (LSB) first, as shown in Figure 40.

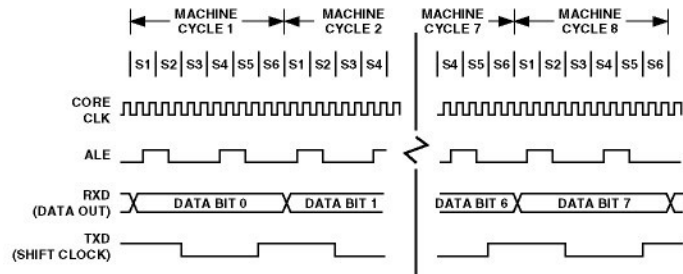


Figure 40. UART Serial Port Transmission, Mode 0.

Reception is initiated when the receive enable bit (REN) is 1 and the receive interrupt bit (RI) is 0. When RI is cleared the data is clocked into the RXD line and the clock pulses are output from the TXD line.

Mode 1: 8-Bit UART, Variable Baud Rate

Mode 1 is selected by clearing SM0 and setting SM1. Each data byte (LSB first) is preceded by a start bit(0) and followed by a stop bit(1). Therefore 10 bits are transmitted on TXD or received on RXD. The baud rate is set by the Timer 1 or Timer 2 overflow rate, or a combination of the two (one for transmission and the other for reception).

Transmission is initiated by writing to SBUF. The 'write to SBUF' signal also loads a 1 (stop bit) into the ninth bit position of the transmit shift register. The data is output bit by bit until the stop bit appears on TXD and the transmit interrupt flag (TI) is automatically set as shown in Figure 41.

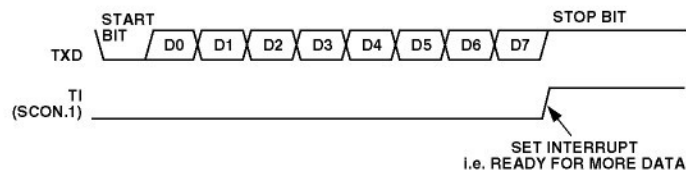


Figure 41. UART Serial Port Transmission, Mode 0.

Reception is initiated when a 1-to-0 transition is detected on RXD. Assuming a valid start bit was detected, character reception continues. The start bit is skipped and the eight data bits are clocked into the serial port shift register. When all eight bits have been clocked in, the following events occur:

The eight bits in the receive shift register are latched into SBUF

The ninth bit (Stop bit) is clocked into RB8 in SCON

The Receiver interrupt flag (RI) is set

if, and only if, the following conditions are met at the time the final shift pulse is generated:

RI = 0, and

Either SM2 = 0, or SM2 = 1 and the received stop bit = 1.

If either of these conditions is not met, the received frame is irretrievably lost, and RI is not set.

Mode 2: 9-Bit UART with Fixed Baud Rate

Mode 2 is selected by setting SM0 and clearing SM1. In this mode the UART operates in 9-bit mode with a fixed baud rate. The baud rate is fixed at Core_Clk/64 by default, although by setting the SMOD bit in PCON, the frequency can be doubled to Core_Clk/32. Eleven bits are transmitted or received, a start bit(0), eight data bits, a programmable ninth bit and a stop bit(1). The ninth bit is most often used as a parity bit, although it can be used for anything, including a ninth data bit if required.

To transmit, the eight data bits must be written into SBUF. The ninth bit must be written to TB8 in SCON. When transmission is initiated the eight data bits (from SBUF) are loaded onto the transmit shift register (LSB first). The contents of TB8 are loaded into the ninth bit position of the transmit shift register. The transmission will start at the next valid baud rate clock. The TI flag is set as soon as the stop bit appears on TXD.

Reception for Mode 2 is similar to that of Mode 1. The eight data bytes are input at RXD (LSB first) and loaded onto the receive shift register. When all eight bits have been clocked in, the following events occur:

The eight bits in the receive shift register are latched into SBUF

The ninth data bit is latched into RB8 in SCON

The Receiver interrupt flag (RI) is set

if, and only if, the following conditions are met at the time the final shift pulse is generated:

RI = 0, and

Either SM2 = 0, or SM2 = 1 and the received stop bit = 1.

If either of these conditions is not met, the received frame is irretrievably lost, and RI is not set.

Mode 3: 9-Bit UART with Variable Baud Rate

Mode 3 is selected by setting both SM0 and SM1. In this mode the 8051 UART serial port operates in 9-bit mode with a variable baud rate determined by either Timer 1 or Timer 2. The operation of the 9-bit UART is the same as for Mode 2 but the baud rate can be varied as for Mode 1.

In all four modes, transmission is initiated by any instruction that uses SBUF as a destination register. Reception is initiated in Mode 0 by the condition RI = 0 and REN = 1. Reception is initiated in the other modes by the incoming start bit if REN = 1.

UART Serial Port Baud Rate Generation

Mode 0 Baud Rate Generation

The baud rate in Mode 0 is fixed:

$$\text{Mode 0 Baud Rate} = (\text{Core Clock Frequency})/12$$

*In these descriptions, Core Clock Frequency refers to the core clock frequency selected via the CD0-2 bits in the PLLCON SFR.

Mode 2 Baud Rate Generation

The baud rate in Mode 2 depends on the value of the SMOD bit in the PCON SFR. If SMOD = 0, the baud rate is 1/64 of the core clock. If SMOD = 1, the baud rate is 1/32 of the core clock:

$$\text{Mode 2 Baud Rate} = (2^{\text{SMOD}}/64) \times (\text{Core Clock Frequency})$$

Mode 1 and 3 Baud Rate Generation

The baud rates in Modes 1 and 3 are determined by the overflow rate in Timer 1 or Timer 2, or both (one for transmit and the other for receive).

Timer 1 Generated Baud Rates

When Timer 1 is used as the baud rate generator, the baud rates in Modes 1 and 3 are determined by the Timer 1 overflow rate and the value of SMOD as follows:

$$\text{Modes 1 and 3 Baud Rate} = (2^{\text{SMOD}/32}) \times (\text{Timer 1 Overflow Rate})$$

The Timer 1 interrupt should be disabled in this application. The Timer itself can be configured for either timer or counter operation, and in any of its three running modes. In the most typical application, it is configured for timer operation, in the autoreload mode (high nibble of TMOD = 0100Binary). In that case, the baud rate is given by the formula:

Modes 1 and 3 Baud Rate =

$$(2^{\text{SMOD}/32}) \times (\text{Core Clock}/(12 \times [256 - \text{TH1}]))$$

A very low baud rate can also be achieved with Timer 1 by leaving the Timer 1 interrupt enabled, and configuring the timer to run as a 16-bit timer (high nibble of TMOD = 0100Binary), and using the Timer 1 interrupt to do a 16-bit software reload. Table XXVIII below, shows some commonly-used baud rates and how they might be calculated from a core clock frequency of 1.5728 MHz and 12.58 MHz. Generally speaking, a 5% error is tolerable using asynchronous (start/stop) communications.

Table XXVIII. Commonly Used Baud Rates, Timer 1

Ideal Baud	Core CLK	SMOD Value	TH1-Reload Value	Actual Baud	% Error
9600	12.58	1	-7 (F9h)	9362	2.5
2400	12.58	1	-27 (E5h)	2427	1.1
1200	12.58	1	-55 (C9h)	1192	0.7
1200	1.57	1	-7 (F9h)	1170	2.5

Timer 2 Generated Baud Rates

Baud rates can also be generated using Timer 2. Using Timer 2 is similar to using Timer 1 in that the timer must overflow 16 times before a bit is transmitted/received. Because Timer 2 has a 16-bit autoreload mode a wider range of baud rates is possible using Timer 2.

$$\text{Modes 1 and 3 Baud Rate} = (1/16) \times (\text{Timer 2 Overflow Rate})$$

Therefore, when Timer 2 is used to generate baud rates, the timer increments every two clock cycles and not every core machine cycle as before. Hence, it increments six times faster than Timer 1, and therefore baud rates six times faster are possible. Because Timer 2 has 16-bit autoreload capability, very low baud rates are still possible.

Timer 2 is selected as the baud rate generator by setting the TCLK and/or RCLK in T2CON. The baud rates for transmit and receive can be simultaneously different. Setting RCLK and/or TCLK puts Timer 2 into its baud rate generator mode as shown in Figure 42.

In this case, the baud rate is given by the formula:

Modes 1 and 3 Baud Rate

$$= (\text{Core Clk}) / (32 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})])$$

Table XXIX shows some commonly used baud rates and how they might be calculated from a core clock frequency of 1.5728 MHz and 12.5829 MHz.

Table XXIX. Commonly Used Baud Rates, Timer 2

Ideal Baud	Core CLK	RCAP2H Value	RCAP2L Value	Actual Baud	% Error
19200	12.58	-1 (FFh)	-20 (ECh)	19661	2.4
9600	12.58	-1 (FFh)	-41 (D7h)	9591	0.1
2400	12.58	-1 (FFh)	-164 (5Ch)	2398	0.1
1200	12.58	-2 (FEh)	-72 (B8h)	1199	0.1
9600	1.57	-1 (FFh)	-5 (FBh)	9830	2.4
2400	1.57	-1 (FFh)	-20 (ECh)	2458	2.4
1200	1.57	-1 (FFh)	-41 (D7h)	1199	0.1

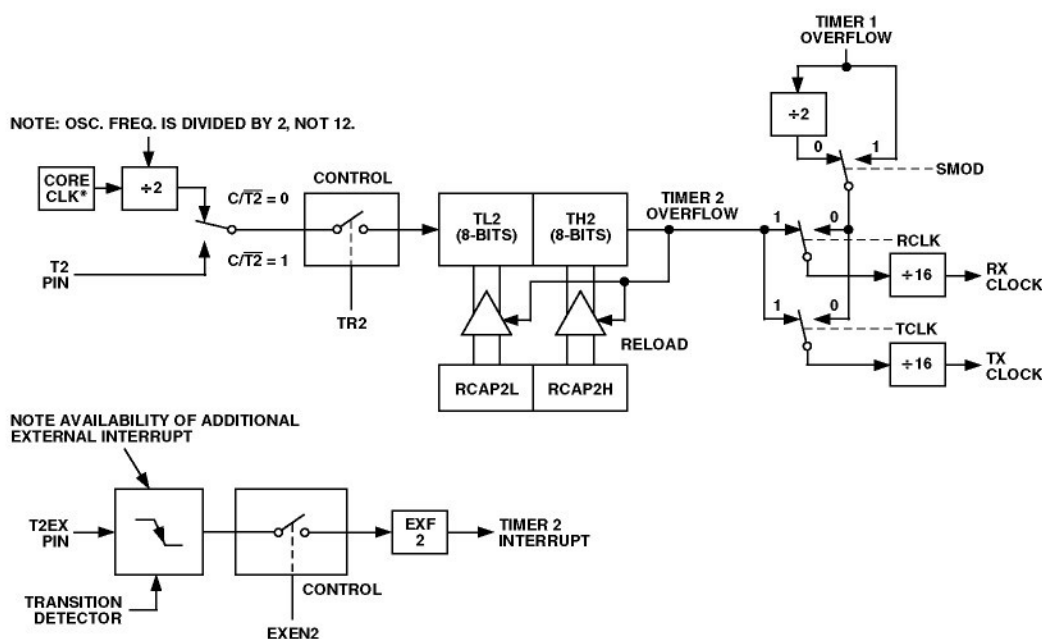


Figure 42. Timer 2, UART Baud Rates

ADuC824

INTERRUPT SYSTEM

The ADuC824 provides a total of twelve interrupt sources with two priority levels. The control and configuration of the interrupt system is carried out through three Interrupt-related SFRs.

IE: Interrupt Enable Register.
 IP: Interrupt Priority Register.
 IEIP2: Secondary Interrupt Priority-Interrupt Register.

IE
Interrupt Enable Register
 SFR Address A8H
 Power-On Default Value 00H
 Bit Addressable Yes

EA	EADC	ET2	ES	ET1	EX1	ET0	EX0
----	------	-----	----	-----	-----	-----	-----

Table XXX. IE SFR Bit Designations

Bit	Name	Description
7	EA	Written by User to Enable '1' or Disable '0' All Interrupt Sources
6	EADC	Written by User to Enable '1' or Disable '0' ADC Interrupt
5	ET2	Written by User to Enable '1' or Disable '0' Timer 2 Interrupt
4	ES	Written by User to Enable '1' or Disable '0' UART Serial Port Interrupt
3	ET1	Written by User to Enable '1' or Disable '0' Timer 1 Interrupt
2	EX1	Written by User to Enable '1' or Disable '0' External Interrupt 1
1	ET0	Written by User to Enable '1' or Disable '0' Timer 0 Interrupt
0	EX0	Written by User to Enable '1' or Disable '0' External Interrupt 0

IP
Interrupt Priority Register
 SFR Address B8H
 Power-On Default Value 00H
 Bit Addressable Yes

—	PADC	PT2	PS	PT1	PX1	PT0	PX0
---	------	-----	----	-----	-----	-----	-----

Table XXXI. IP SFR Bit Designations

Bit	Name	Description
7	—	Reserved for Future Use
6	PADC	Written by User to Select ADC Interrupt Priority ('1' = High; '0' = Low)
5	PT2	Written by User to Select Timer 2 Interrupt Priority ('1' = High; '0' = Low)
4	PS	Written by User to Select UART Serial Port Interrupt Priority ('1' = High; '0' = Low)
3	PT1	Written by User to Select Timer 1 Interrupt Priority ('1' = High; '0' = Low)
2	PX1	Written by User to Select External Interrupt 1 Priority ('1' = High; '0' = Low)
1	PT0	Written by User to Select Timer 0 Interrupt Priority ('1' = High; '0' = Low)
0	PX0	Written by User to Select External Interrupt 0 Priority ('1' = High; '0' = Low)

IEIP2	Secondary Interrupt Enable and Priority Register
SFR Address	A9H
Power-On Default Value	A0H
Bit Addressable	No

—	PTI	PPSM	PSI	—	ETI	EPSM	ESI
---	------------	-------------	------------	---	------------	-------------	------------

Table XXXII. IEIP2 SFR Bit Designations

Bit	Name	Description
7	—	Reserved for Future Use
6	PTI	Written by User to Select TIC Interrupt Priority ('1' = High; '0' = Low).
5	PPSM	Written by User to Select Power Supply Monitor Interrupt Priority ('1' = High; '0' = Low).
4	PSI	Written by User to Select SPI/I ² C Serial Port Interrupt Priority ('1' = High; '0' = Low).
3	—	Reserved, This Bit Must Be '0.'
2	ETI	Written by User to Enable '1' or Disable '0' TIC Interrupt.
1	EPSM	Written by User to Enable '1' or Disable '0' Power Supply Monitor Interrupt.
0	ESI	Written by User to Enable '1' or Disable '0' SPI/I ² C Serial Port Interrupt.

Interrupt Priority

The Interrupt Enable registers are written by the user to enable individual interrupt sources, while the Interrupt Priority registers allow the user to select one of two priority levels for each interrupt. An interrupt of a high priority may interrupt the service routine of a low priority interrupt, and if two interrupts of different priority occur at the same time, the higher level interrupt will be serviced first. An interrupt cannot be interrupted by another interrupt of the same priority level. If two interrupts of the same priority level occur simultaneously, a polling sequence is observed as shown in Table XXXIII.

Table XXXIII. Priority within an Interrupt Level

Source	Priority	Description
PSMI	1 (Highest)	Power Supply Monitor Interrupt
WDS	2	Watchdog Interrupt
IE0	3	External Interrupt 0
RDY0/RDY1	4	ADC Interrupt
TF0	5	Timer/Counter 0 Interrupt
IE1	6	External Interrupt 1
TF1	7	Timer/Counter 1 Interrupt
I ² C + ISPI	8	I ² C/SPI Interrupt
RI + TI	9	Serial Interrupt
TF2 + EXF2	10	Timer/Counter 2 Interrupt
TII	11 (Lowest)	Time Interval Counter Interrupt

Interrupt Vectors

When an interrupt occurs the program counter is pushed onto the stack and the corresponding interrupt vector address is loaded into the program counter. The interrupt vector addresses are shown in Table XXXIV.

Table XXXIV. Interrupt Vector Addresses

Source	Vector Address
IE0	0003 Hex
TF0	000B Hex
IE1	0013 Hex
TF1	001B Hex
RI + TI	0023 Hex
TF2 + EXF2	002B Hex
RDY0/RDY1 (ADC)	0033 Hex
I ² C + ISPI	003B Hex
PSMI	0043 Hex
TII	0053 Hex
WDS (WDIR = 1)*	005B Hex

*The watchdog can be configured to generate an interrupt instead of a reset when it times out. This is used for logging errors or to examine the internal status of the microcontroller core to understand, from a software debug point of view, why a watchdog timeout occurred. The watchdog interrupt is slightly different from the normal interrupts in that its priority level is always set to 1 and it is not possible to disable the interrupt via the global disable bit (EA) in the IE SFR. This is done to ensure that the interrupt will always be responded to if a watchdog timeout occurs. The watchdog will only produce an interrupt if the watchdog timeout is greater than zero.

ADuC824

ADuC824 HARDWARE DESIGN CONSIDERATIONS

This section outlines some of the key hardware design considerations that must be addressed when integrating the ADuC824 into any hardware system.

Clock Oscillator

As described earlier, the core clock frequency for the ADuC824 is generated from an on-chip PLL that locks onto a multiple (384 times) of 32.768 kHz. The latter is generated from an internal clock oscillator. To use the internal clock oscillator, connect a 32.768 kHz parallel resonant crystal between XTAL1 and XTAL2 pins (32 and 33) as shown in Figure 43.

As shown in the typical external crystal connection diagram in Figure 44, two internal 12 pF capacitors are provided on-chip. These are connected internally, directly to the XTAL1 and XTAL2 pins and the total input capacitances at both pins is detailed in the specification section of this data sheet. The value of the total load capacitance required for the external crystal should be the value recommended by the crystal manufacturer for use with that specific crystal. In many cases, because of the on-chip capacitors, additional external load capacitors will not be required.

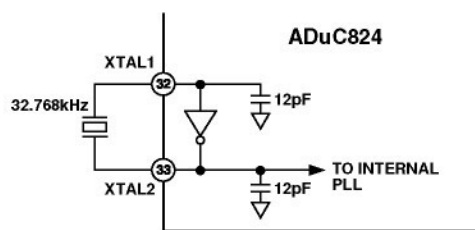


Figure 43. External Parallel Resonant Crystal Connections

External Memory Interface

In addition to its internal program and data memories, the ADuC824 can access up to 64 Kbytes of external program memory (ROM/PROM/etc.) and up to 16 Mbytes of external data memory (SRAM).

To select from which code space (internal or external program memory) to begin executing instructions, tie the $\overline{EA}$ (external access) pin high or low, respectively. When $\overline{EA}$ is high (pulled up to V_{DD}), user program execution will start at address 0 of the internal 8 Kbytes Flash/EE code space. When $\overline{EA}$ is low (tied to ground) user program execution will start at address 0 of the external code space. In either case, addresses above 1FFF hex (8K) are mapped to the external space.

Note that a second very important function of the $\overline{EA}$ pin is described in the Single Pin Emulation Mode section of this data sheet.

External program memory (if used) must be connected to the ADuC824 as illustrated in Figure 44. Note that 16 I/O lines (Ports 0 and 2) are dedicated to bus functions during external program memory fetches. Port 0 (P0) serves as a multiplexed address/data bus. It emits the low byte of the program counter (PCL) as an address, and then goes into a float state awaiting the arrival of the code byte from the program memory. During the

time that the low byte of the program counter is valid on P0, the signal ALE (Address Latch Enable) clocks this byte into an address latch. Meanwhile, Port 2 (P2) emits the high byte of the program counter (PCH), then $\overline{PSEN}$ strobes the EPROM and the code byte is read into the ADuC824.

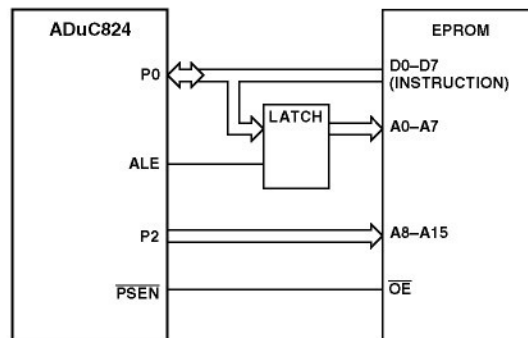


Figure 44. External Program Memory Interface

Note that program memory addresses are always 16 bits wide, even in cases where the actual amount of program memory used is less than 64 Kbytes. External program execution sacrifices two of the 8-bit ports (P0 and P2) to the function of addressing the program memory. While executing from external program memory, Ports 0 and 2 can be used simultaneously for read/write access to external data memory, but not for general-purpose I/O.

Though both external program memory and external data memory are accessed by some of the same pins, the two are completely independent of each other from a software point of view. For example, the chip can read/write external data memory while executing from external program memory.

Figure 45 shows a hardware configuration for accessing up to 64 Kbytes of external RAM. This interface is standard to any 8051 compatible MCU.

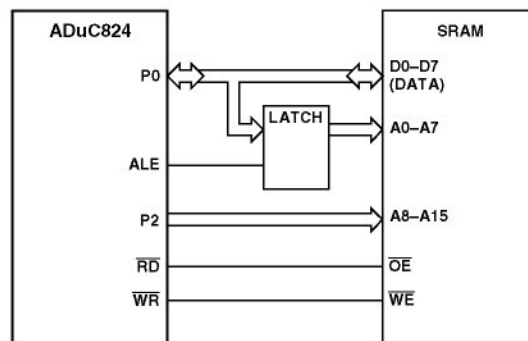


Figure 45. External Data Memory Interface (64 K Address Space)

If access to more than 64 Kbytes of RAM is desired, a feature unique to the ADuC824 allows addressing up to 16 Mbytes of external RAM simply by adding an additional latch as illustrated in Figure 46.

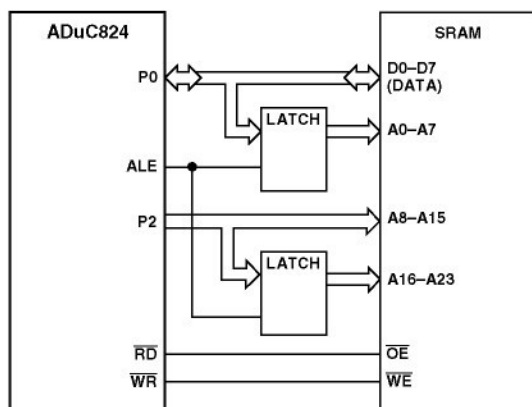


Figure 46. External Data Memory Interface (16 MBytes Address Space)

In either implementation, Port 0 (P0) serves as a multiplexed address/data bus. It emits the low byte of the data pointer (DPL) as an address, which is latched by a pulse of ALE prior to data being placed on the bus by the ADuC824 (write operation) or the SRAM (read operation). Port 2 (P2) provides the data pointer page byte (DPP) to be latched by ALE, followed by the data pointer high byte (DPH). If no latch is connected to P2, DPP is ignored by the SRAM, and the 8051 standard of 64 Kbyte external data memory access is maintained.

Detailed timing diagrams of external program and data memory read and write access can be found in the timing specification sections of this data sheet.

Power-On Reset Operation

External POR (power-on reset) circuitry must be implemented to drive the RESET pin of the ADuC824. The circuit must hold the RESET pin asserted (high) whenever the power supply (DV_{DD}) is below 2.5 V. Furthermore, V_{DD} must remain above 2.5 V for at least 10 ms before the RESET signal is deasserted (low) by which time the power supply must have reached at least a 2.7 V level. The external POR circuit must be operational down to 1.2 V or less. The timing diagram of Figure 47 illustrates this functionality under three separate events: power-up, brownout, and power-down. Notice that when RESET is asserted (high) it tracks the voltage on DV_{DD} .

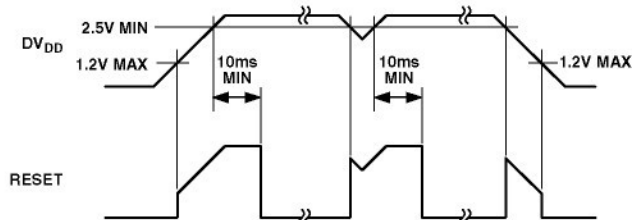


Figure 47. External POR Timing

The best way to implement an external POR function to meet the above requirements involves the use of a dedicated POR chip, such as the ADM809/ADM810 SOT-23 packaged PORs from Analog Devices. Recommended connection diagrams for both active-high ADM810 and active-low ADM809 PORs are shown in Figure 48 and Figure 49 respectively.

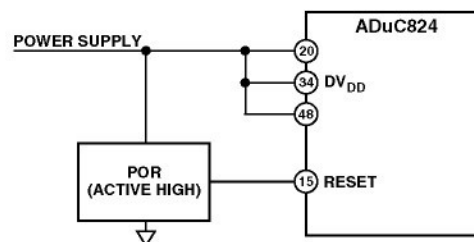


Figure 48. External Active High POR Circuit

Some active-low POR chips, such as the ADM809 can be used with a manual push-button as an additional reset source as illustrated by the dashed line connection in Figure 49.

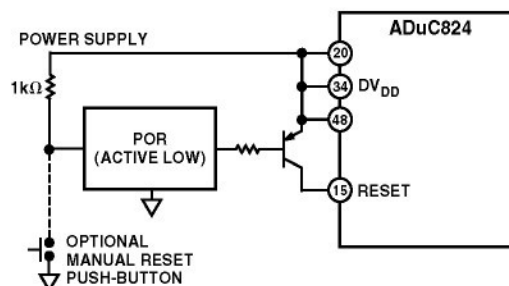


Figure 49. External Active Low POR Circuit

Power Supplies

The ADuC824's operational power supply voltage range is 2.7 V to 5.25 V. Although the guaranteed data sheet specifications are given only for power supplies within 2.7 V to 3.6 V or +5% of the nominal 5 V level, the chip will function equally well at any power supply level between 2.7 V and 5.25 V.

Separate analog and digital power supply pins (AV_{DD} and DV_{DD} respectively) allow AV_{DD} to be kept relatively free of noisy digital signals often present on the system DVDD line. In this mode the part can also operate with split supplies; that is, using different voltage supply levels for each supply. For example, this means that the system can be designed to operate with a DV_{DD} voltage level of 3 V while the AV_{DD} level can be at 5 V or vice versa if required. A typical split supply configuration is shown in Figure 50.

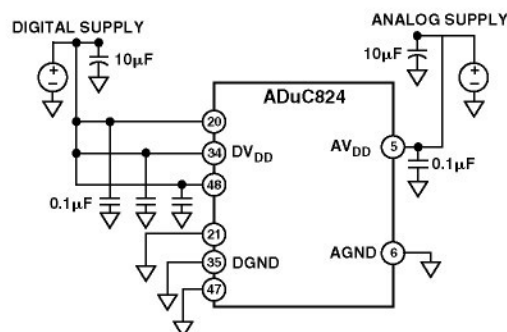


Figure 50. External Dual Supply Connections

ADuC824

As an alternative to providing two separate power supplies, AV_{DD} quiet by placing a small series resistor and/or ferrite bead between it and DV_{DD} , and then decoupling AV_{DD} separately to ground. An example of this configuration is shown in Figure 51. With this configuration other analog circuitry (such as op amps, voltage reference, etc.) can be powered from the AV_{DD} supply line as well.

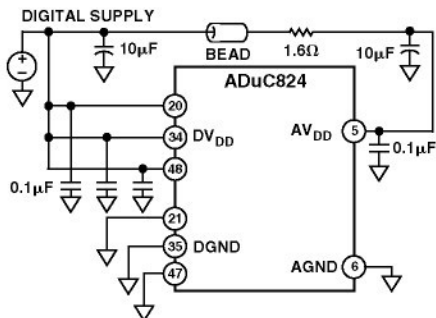


Figure 51. External Single Supply Connections

Notice that in both Figure 50 and Figure 51, a large value (10 μ F) reservoir capacitor sits on DV_{DD} and a separate 10 μ F capacitor sits on AV_{DD} . Also, local small-value (0.1 μ F) capacitors are located at each VDD pin of the chip. As per standard design practice, be sure to include all of these capacitors, and ensure the smaller capacitors are closest to each AV_{DD} pin with trace lengths as short as possible. Connect the ground terminal of each of these capacitors directly to the underlying ground plane. Finally, it should also be noticed that, at all times, the analog and digital ground pins on the ADuC824 should be referenced to the same system ground reference point.

Power Consumption

The “CORE” values given represent the current drawn by DV_{DD} , while the rest (“ADC,” and “DAC”) are pulled by the AV_{DD} pin and can be disabled in software when not in use. The other on-chip peripherals (watchdog timer, power supply monitor, etc.) consume negligible current and are therefore lumped in with the “CORE” operating current here. Of course, the user must add any currents sourced by the parallel and serial I/O pins, and that sourced by the DAC, in order to determine the total current needed at the ADuC824’s supply pins. Also, current draw from the DV_{DD} supply will increase by approximately 5 mA during Flash/EE erase and program cycles

Power-Saving Modes

Setting the Idle and Power-Down Mode bits, PCON.0 and PCON.1 respectively, in the PCON SFR described in Table II, allows the chip to be switched from normal mode into idle mode, and also into full power-down mode.

In idle mode, the oscillator continues to run, but the core clock generated from the PLL is halted. The on-chip peripherals continue to receive the clock, and remain functional. The CPU status is preserved with the stack pointer, program counter, and all other internal registers maintain their data during idle mode. Port pins and DAC output pins also retain their states, and ALE and $\overline{PSEN}$ outputs go high in this mode. The chip will recover from idle mode upon receiving any enabled interrupt, or on receiving a hardware reset.

In power-down mode, both the PLL and the clock to the core are stopped. The on-chip oscillator can be halted or can continue to oscillate depending on the state of the oscillator power-down bit (OSC_PD) in the PLLCON SFR. The TIC, being driven directly from the oscillator, can also be enabled during power-down. All other on-chip peripherals however, are shut down. Port pins retain their logic levels in this mode, but the DAC output goes to a high-impedance state (three-state) while ALE and $\overline{PSEN}$ outputs are held low. During full power-down mode, the ADuC824 consumes a total of 5 μ A typically. There are five ways of terminating power-down mode:

Asserting the RESET Pin (#15)

Returns to normal mode all registers are set to their default state and program execution starts at the reset vector once the Reset pin is de-asserted.

Cycling Power

All registers are set to their default state and program execution starts at the reset vector.

Time Interval Counter (TIC) Interrupt

Power-down mode is terminated and the CPU services the TIC interrupt, the RETI at the end of the TIC Interrupt Service Routine will return the core to the instruction after that which enabled power down.

I²C or SPI Interrupt

Power-down mode is terminated and the CPU services the I²C/SPI interrupt. The RETI at the end of the ISR will return the core to the instruction after that which enabled power down. It should be noted that the I²C/SPI power down interrupt enable bit (SERIPD) in the PCON SFR must first be set to allow this mode of operation.

$\overline{INT0}$ Interrupt

Power-down mode is terminated and the CPU services the $\overline{INT0}$ interrupt. The RETI at the end of the ISR will return the core to the instruction after that which enabled power-down. It should be noted that the $\overline{INT0}$ power-down interrupt enable bit (INT0PD) in the PCON SFR must first be set to allow this mode of operation.

Grounding and Board Layout Recommendations

As with all high resolution data converters, special attention must be paid to grounding and PC board layout of ADuC824-based designs in order to achieve optimum performance from the ADCs and DAC.

Although the ADuC824 has separate pins for analog and digital ground (AGND and DGND), the user must not tie these to two separate ground planes unless the two ground planes are connected together very close to the ADuC824, as illustrated in the simplified example of Figure 52a. In systems where digital and analog ground planes are connected together somewhere else (at the system’s power supply for example), they cannot be connected again near the ADuC824 since a ground loop would result. In these cases, tie the ADuC824’s AGND and DGND pins all to the analog ground plane, as illustrated in Figure 52b. In systems with only one ground plane, ensure that the digital and analog components are physically separated onto separate halves of the board such that digital return currents do not flow near analog circuitry and vice versa. The ADuC824 can then be placed between the digital and analog sections, as illustrated in Figure 52c.

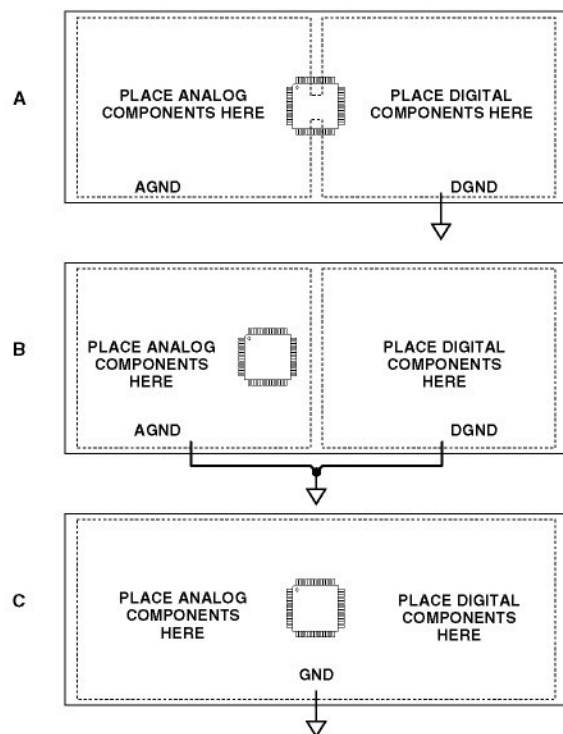


Figure 52. System Grounding Schemes

In all of these scenarios, and in more complicated real-life applications, keep in mind the flow of current from the supplies and back to ground. Make sure the return paths for all currents are as close as possible to the paths the currents took to reach their destinations. For example, do not power components on the analog side of Figure 52b with DV_{DD} since that would force return currents from DV_{DD} to flow through AGND. Also, try to avoid digital currents flowing under analog circuitry, which could happen if the user placed a noisy digital chip on the left half of the board in Figure 52c. Whenever possible, avoid large discontinuities in the ground plane(s) (such as are formed by a long trace on the same layer), since they force return signals to travel a longer path. And of course, make all connections to the ground plane directly, with little or no trace separating the pin from its via to ground.

If the user plans to connect fast logic signals (rise/fall time < 5 ns) to any of the ADuC824's digital inputs, add a series resistor to each relevant line to keep rise and fall times longer than 5 ns at the ADuC824 input pins. A value of $100\ \Omega$ or $200\ \Omega$ is usually sufficient to prevent high-speed signals from coupling capacitively into the ADuC824 and affecting the accuracy of ADC conversions.

ADuC824 System Self-Identification

In some hardware designs it may be an advantage for the software running on the ADuC824 target to identify the host Micro-Converter. For example, code running on the ADuC824 may be used at future date to run on an ADuC816 MicroConverter host and the code may be required to operate differently.

The CHIPID SFR is a read-only register located at SFR address C2 hex. The top nibble of this byte is set to '0' to designate an ADuC824 host. For an ADuC816 host, the CHIPID SFR will contain the value '1' in the upper nibble.

OTHER HARDWARE CONSIDERATIONS

To facilitate in-circuit programming, plus in-circuit debug and emulation options, users will want to implement some simple connection points in their hardware that will allow easy access to download, debug, and emulation modes.

In-Circuit Serial Download Access

Nearly all ADuC824 designs will want to take advantage of the in-circuit reprogrammability of the chip. This is accomplished by a connection to the ADuC824's UART, which requires an external RS-232 chip for level translation if downloading code from a PC. Basic configuration of an RS-232 connection is illustrated in Figure 53 with a simple ADM202-based circuit. If users would rather not design an RS-232 chip onto a board, refer to Application Note, *uC006 – A 4-Wire UART-to-PC Interface**, for a simple (and zero-cost-per-board) method of gaining in-circuit serial download access to the ADuC824.

In addition to the basic UART connections, users will also need a way to trigger the chip into download mode. This is accomplished via a $1\text{ k}\Omega$ pull-down resistor that can be jumpered onto the $\overline{\text{PSEN}}$ pin, as shown in Figure 53. To get the ADuC824 into download mode, simply connect this jumper and power-cycle the device (or manually reset the device, if a manual reset button is available) and it will be ready to receive a new program serially. With the jumper removed, the device will come up in normal mode (and run the program) whenever power is cycled or RESET is toggled.

Note that $\overline{\text{PSEN}}$ is normally an output (as described in the External Memory Interface section) and it is sampled as an input only on the falling edge of RESET (i.e., at power-up or upon an external manual reset). Note also that if any external circuitry unintentionally pulls $\overline{\text{PSEN}}$ low during power-up or reset events, it could cause the chip to enter download mode and therefore fail to begin user code execution as it should. To prevent this, ensure that no external signals are capable of pulling the $\overline{\text{PSEN}}$ pin low, except for the external $\overline{\text{PSEN}}$ jumper itself.

Embedded Serial Port Debugger

From a hardware perspective, entry to serial port debug mode is identical to the serial download entry sequence described above. In fact, both serial download and serial port debug modes can be thought of as essentially one mode of operation used in two different ways.

Note that the serial port debugger is fully contained on the ADuC824 device, (unlike "ROM monitor" type debuggers) and therefore no external memory is needed to enable in-system debug sessions.

Single-Pin Emulation Mode

Also built into the ADuC824 is a dedicated controller for single-pin in-circuit emulation (ICE) using standard production ADuC824 devices. In this mode, emulation access is gained by connection to a single pin, the $\overline{\text{EA}}$ pin. Normally, this pin is hardwired either high or low to select execution from internal or external program memory space, as described earlier. To enable single-pin emulation mode, however, users will need to pull the $\overline{\text{EA}}$ pin high through a $1\text{ k}\Omega$ resistor as shown in Figure 53. The emulator will then connect to the 2-pin header also shown in Figure 53. To be compatible with the standard connector that

*Application note uC006 is available at www.analog.com/microconverter

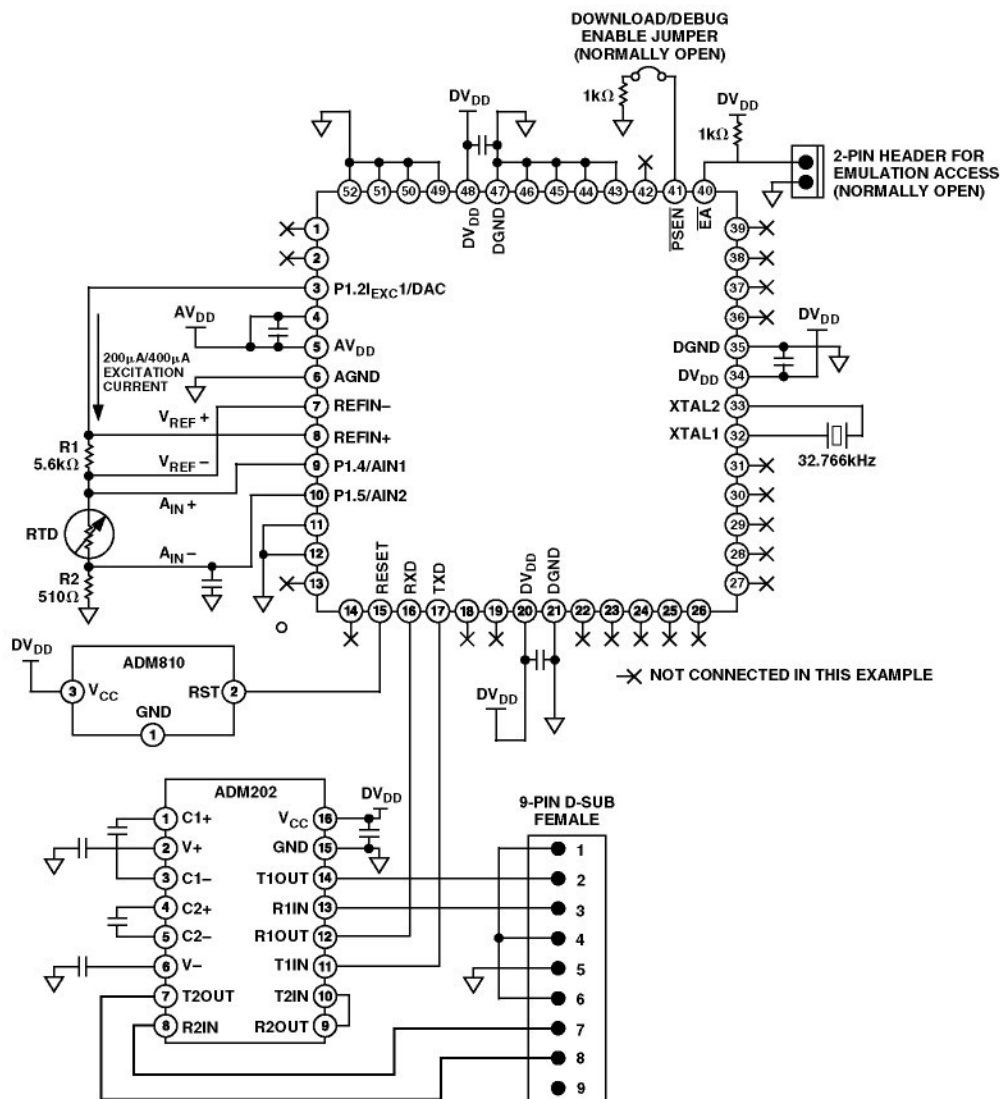


Figure 53. Typical System Configuration

comes with the single-pin emulator available from Accutron Limited (www.accutron.com), use a 2-pin 0.1-inch pitch “Friction Lock” header from Molex (www.molex.com) such as their part number 22-27-2021. Be sure to observe the polarity of this header. As represented in Figure 53, when the Friction Lock tab is at the right, the ground pin should be the lower of the two pins (when viewed from the top).

Enhanced-Hooks Emulation Mode

ADuC824 also supports enhanced-hooks emulation mode. An enhanced-hooks-based emulator is available from Metalink Corporation (www.metaice.com). No special hardware support for these emulators needs to be designed onto the board since these are “pod-style” emulators where users must replace the chip on their board with a header device that the emulator pod plugs into. The only hardware concern is then one of determining if adequate space is available for the emulator pod to fit into the system enclosure.

Typical System Configuration

A typical ADuC824 configuration is shown in Figure 53. It summarizes some of the hardware considerations discussed in the previous paragraphs.

Figure 53 also includes connections for a typical analog measurement application of the ADuC824, namely an interface to an RTD (Resistive Temperature Device). The arrangement shown is commonly referred to as a 4-wire RTD configuration.

Here, the on-chip excitation current sources are enabled to excite the sensor. An external differential reference voltage is generated by the current sourced through resistor R1. This current also flows directly through the RTD, which generates a differential voltage directly proportional to temperature. This differential voltage is routed directly to the positive and negative inputs of the primary ADC (AIN1, AIN2 respectively). A second external resistor, R2, is used to ensure that absolute analog input voltage on the negative input to the primary ADC stays within that specified for the ADuC824, i.e., AGND + 100 mV.

It should also be noted that variations in the excitation current do not affect the measurement system as the input voltage from the RTD and reference voltage across R1 vary ratiometrically with the excitation current. Resistor R1 must, however, have a low temperature coefficient to avoid errors in the reference voltage over temperature.

QUICKSTART DEVELOPMENT SYSTEM

The QuickStart Development System is a full featured, low cost development tool suite supporting the ADuC824. The system consists of the following PC-based (Windows-compatible) hardware and software development tools.

Hardware:	ADuC824 Evaluation Board, Plug-In Power Supply and Serial Port Cable
Code Development:	8051 Assembler C Compiler (2 Kcode Limited)
Code Functionality:	ADSIM, Windows MicroConverter Code Simulator
In-Circuit Code Download:	Serial Downloader
In-Circuit Debugger:	Serial Port Debugger
Miscellaneous Other:	CD-ROM Documentation and Two Additional Prototype Devices

Figure 54 shows the typical components of a QuickStart Development System while Figure 55 shows a typical debug session. A brief description of some of the software tools' components in the QuickStart Development System is given below.



Figure 54. Components of the QuickStart Development System

Download—In-Circuit Serial Downloader

The Serial Downloader is a software program that allows the user to serially download an assembled program (Intel Hex format file) to the on-chip program FLASH memory via the serial COM1 port on a standard PC. An Application Note (uC004) detailing this serial download protocol is available from www.analog.com/microconverter.

DeBug—In-Circuit Debugger

The Debugger is a Windows application that allows the user to debug code execution on silicon using the MicroConverter UART serial port. The debugger provides access to all on-chip peripherals during a typical debug session as well as single-step and break-point code execution control.

ADSIM—Windows Simulator

The Simulator is a Windows application that fully simulates all the MicroConverter functionality including ADC and DAC peripherals. The simulator provides an easy-to-use, intuitive, interface to the MicroConverter functionality and integrates many standard debug features; including multiple breakpoints, single stepping; and code execution trace capability. This tool can be used both as a tutorial guide to the part as well as an efficient way to prove code functionality before moving to a hardware platform.

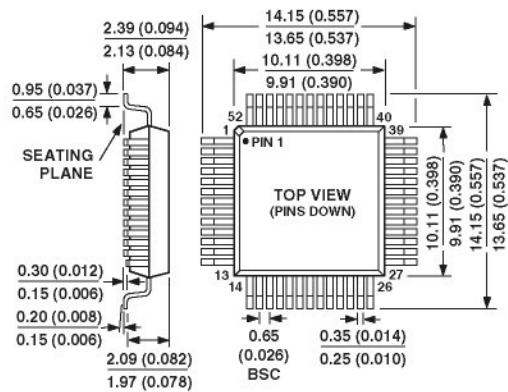
The QuickStart development tool-suite software is freely available at the Analog Devices MicroConverter Website www.analog.com/microconverter.



Figure 55. Typical Debug Session

OUTLINE DIMENSIONS
Dimensions shown in mm and (inches).

52-Lead Plastic Quad Flatpack MQFP
(S-52)



CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE
ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE
FOR USE IN DESIGN

Revision History

Location	Page
5/02—Data Sheet changed from REV. A to REV. B.	
Edits to SPECIFICATIONS	3
3/01—Data Sheet changed from REV. 0 to REV. A.	
Edits to RESET Description	19
Edits to Figure 12	21

LMC7660

Switched Capacitor Voltage Converter

General Description

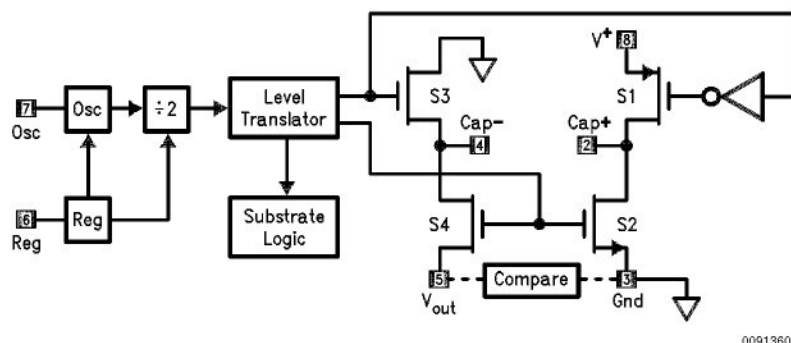
The LMC7660 is a CMOS voltage converter capable of converting a positive voltage in the range of +1.5V to +10V to the corresponding negative voltage of -1.5V to -10V. The LMC7660 is a pin-for-pin replacement for the industry-standard 7660. The converter features: operation over full temperature and voltage range without need for an external diode, low quiescent current, and high power efficiency.

The LMC7660 uses its built-in oscillator to switch 4 power MOS switches and charge two inexpensive electrolytic capacitors.

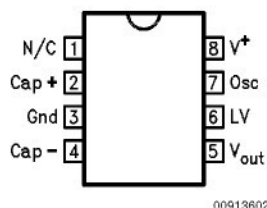
Features

- Operation over full temperature and voltage range without an external diode
- Low supply current, 200 μ A max
- Pin-for-pin replacement for the 7660
- Wide operating range 1.5V to 10V
- 97% Voltage Conversion Efficiency
- 95% Power Conversion Efficiency
- Easy to use, only 2 external components
- Extended temperature range
- Narrow SO-8 Package

Block Diagram



Pin Configuration



Ordering Information

Package	Temperature Range	NSC Drawing
	Industrial -40°C to +85°C	
8-Lead Molded DIP	LMC7660IN	N08E
8-Lead Molded Small Outline	LMC7660IM	M08A

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	10.5V
Input Voltage on Pin 6, 7 (Note 2)	–0.3V to ($V^+ + 0.3V$) for $V^+ < 5.5V$ ($V^+ - 5.5V$) to ($V^+ + 0.3V$) for $V^+ > 5.5V$
Current into Pin 6 (Note 2)	20 μA
Output Short Circuit Duration ($V^+ \leq 5.5V$)	Continuous

Power Dissipation (Note 3)

Dual-In-Line Package	1.4W
Surface-Mount Package	0.6W
T_J Max (Note 3)	150°C
θ_{JA} (Note 3)	
Dual-In-Line Package	90°C/W
Surface-Mount Package	160°C/W
Storage Temp. Range	–65°C $\leq T \leq$ 150°C
Lead Temperature (Soldering, 5 sec.)	260°C
ESD Tolerance (Note 7)	$\pm 2000V$

Electrical Characteristics (Note 4)

Symbol	Parameter	Conditions	Typ	LMC7660IN/ LMC7660IM	Units Limits
				Limit (Note 5)	
I_s	Supply Current	$R_L = \infty$	120	200 400	μA max
V^+H	Supply Voltage Range High (Note 6)	$R_L = 10\text{ k}\Omega$, Pin 6 Open Voltage Efficiency $\geq 90\%$	3 to 10	3 to 10 3 to 10	V
V^+L	Supply Voltage Range Low	$R_L = 10\text{ k}\Omega$, Pin 6 to Gnd. Voltage Efficiency $\geq 90\%$	1.5 to 3.5	1.5 to 3.5 1.5 to 3.5	V
R_{out}	Output Source Resistance	$I_L = 20\text{ mA}$	55	100 120	Ω max
		$V = 2V$, $I_L = 3\text{ mA}$ Pin 6 Short to Gnd.	110	200 300	Ω max
F_{osc}	Oscillator Frequency		10		kHz
P_{eff}	Power Efficiency	$R_L = 5\text{ k}\Omega$	97	95 90	% min
$V_{o\text{ eff}}$	Voltage Conversion Efficiency	$R_L = \infty$	99.9	97 95	% min
I_{osc}	Oscillator Sink or Source Current	Pin 7 = Gnd. or V^+	3		μA

Note 1: Absolute Maximum ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its rated operating conditions. See Note 4 for conditions.

Note 2: Connecting any input terminal to voltages greater than V^+ or less than ground may cause destructive latchup. It is recommended that no inputs from sources operating from external supplies be applied prior to "power-up" of the LMC7660.

Note 3: For operation at elevated temperature, these devices must be derated based on a thermal resistance of θ_{JA} and T_J max, $T_J = T_A + \theta_{JA} P_D$.

Note 4: Boldface numbers apply at temperature extremes. All other numbers apply at $T_A = 25^\circ C$, $V^+ = 5V$, $C_{osc} = 0$, and apply for the LMC7660 unless otherwise specified. Test circuit is shown in Figure 1.

Note 5: Limits at room temperature are guaranteed and 100% production tested. Limits in **boldface** are guaranteed over the operating temperature range (but not 100% tested), and are not used to calculate outgoing quality levels.

Note 6: The LMC7660 can operate without an external diode over the full temperature and voltage range. The LMC7660 can also be used with the external diode D_x , when replacing previous 7660 designs.

Note 7: The test circuit consists of the human body model of 100 pF in series with 1500 Ω .

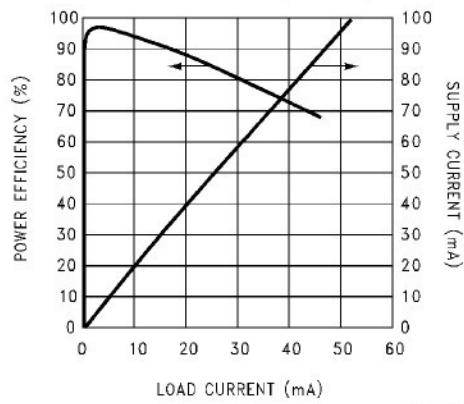
Typical Performance Characteristics

OSC Freq. vs OSC
Capacitance

V_{out} vs I_{out} @ $V^+ = 2V$

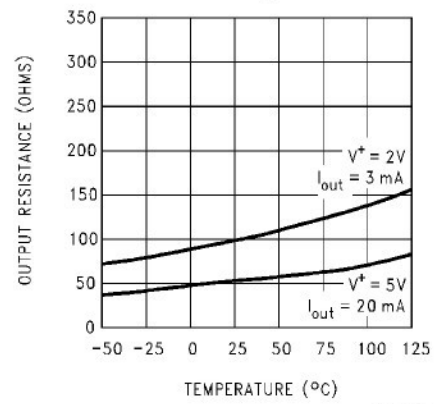
Typical Performance Characteristics (Continued)

Supply Current & Power Efficiency
vs Load Current ($V^+ = 5V$)



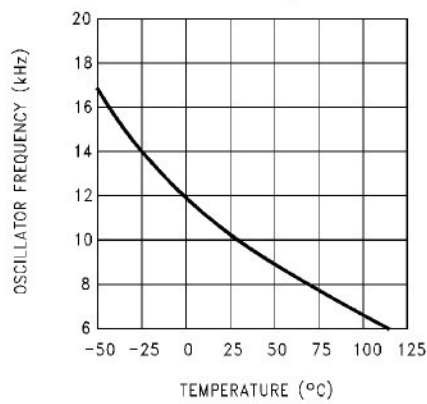
00913622

Output Source Resistance as a
Function of Temperature



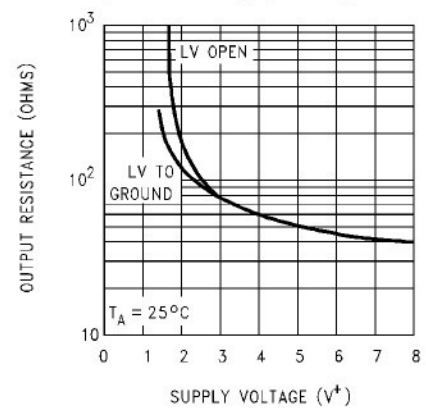
00913623

Unloaded Oscillator Frequency
as a Function of Temperature



00913624

Output R vs Supply Voltage



00913625

P_{eff} vs OSC Freq. @ $V^+ = 5V$

Application Information (Continued)

In the circuit of *Figure 2*, S1 is a P-channel device and S2, S3, and S4 are N-channel devices. Because the output is biased below ground, it is important that the p⁻ wells of S3 and S4 never become forward biased with respect to either their sources or drains. A substrate logic circuit guarantees that these p⁻ wells are always held at the proper voltage. Under all conditions S4 p⁻ well must be at the lowest potential in the circuit. To switch off S4, a level translator generates V_{GS4} = 0V, and this is accomplished by biasing the level translator from the S4 p⁻ well.

An internal RC oscillator and ÷ 2 circuit provide timing signals to the level translator. The built-in regulator biases the oscillator and divider to reduce power dissipation on high supply voltage. The regulator becomes active at about V⁺ = 6.5V. Low voltage operation can be improved if the LV pin is shorted to ground for V⁺ ≤ 3.5V. For V⁺ ≥ 3.5V, the LV pin must be left open to prevent damage to the part.

POWER EFFICIENCY AND RIPPLE

It is theoretically possible to approach 100% efficiency if the following conditions are met:

1. The drive circuitry consumes little power.
2. The power switches are matched and have low R_{on}.
3. The impedance of the reservoir and pump capacitors are negligibly small at the pumping frequency.

The LMC7660 closely approaches 1 and 2 above. By using a large pump capacitor C_p, the charge removed while supplying the reservoir capacitor is small compared to C_p's total charge. Small removed charge means small changes in the pump capacitor voltage, and thus small energy loss and high efficiency. The energy loss by C_p is:

$$E = \frac{1}{2}C_p (V_1^2 - V_2^2)$$

Typical Applications

CHANGING OSCILLATOR FREQUENCY

It is possible to dramatically reduce the quiescent operating current of the LMC7660 by lowering the oscillator frequency. The oscillator frequency can be lowered from a nominal 10 kHz to several hundred hertz, by adding a slow-down capacitor C_{osc} (*Figure 3*). As shown in the Typical Performance Curves the supply current can be lowered to the 10 μA range. This low current drain can be extremely useful when used in μPower and battery back-up equipment. It must be

By using a large reservoir capacitor, the output ripple can be reduced to an acceptable level. For example, if the load current is 5 mA and the accepted ripple is 200 mV, then the reservoir capacitor can omit approximately be calculated from:

$$I_s = C_r \frac{dv}{dt}$$
$$\sim C_r \times \frac{V_{\text{ripple p-p}}}{4/F_{\text{osc}}} \quad C_r = \frac{0.5 \text{ mA}}{0.5 \text{ V/ms}} = 10 \mu\text{F}$$

PRECAUTIONS

1. Do not exceed the maximum supply voltage or junction temperature.
2. Do not short pin 6 (LV terminal) to ground for supply voltages greater than 3.5V.
3. Do not short circuit the output to V⁺.
4. External electrolytic capacitors C_r and C_p should have their polarities connected as shown in *Figure 1*.

REPLACING PREVIOUS 7660 DESIGNS

To prevent destructive latchup, previous 7660 designs require a diode in series with the output when operated at elevated temperature or supply voltage. Although this prevented the latchup problem of these designs, it lowered the available output voltage and increased the output series resistance.

The National LMC7660 has been designed to solve the inherent latch problem. The LCM7660 can operate over the entire supply voltage and temperature range without the need for an output diode. When replacing existing designs, the LMC7660 can be operated with diode Dx.

understood that the lower operating frequency and supply current cause an increased impedance of C_r and C_p. The increased impedance, due to a lower switching rate, can be offset by raising C_r and C_p until ripple and load current requirements are met.

SYNCHRONIZING TO AN EXTERNAL CLOCK

Figure 4 shows an LMC7660 synchronized to an external clock. The CMOS gate overrides the internal oscillator when it is necessary to switch faster or reduce power supply

Typical Applications (Continued)

INCREASING OUTPUT VOLTAGE

Stacking the LMC7660s is an easy way to produce a greater negative voltage. It should be noted that the input current required for each stage is twice the load current on that stage as shown in *Figure 6*. The effective output resistance

is approximately the sum of the individual R_{out} values, and so only a few levels of multiplication can be used.

It is possible to generate $-15V$ from $+5V$ by connecting the second 7660's pin 8 to $+5V$ instead of ground as shown in *Figure 7*. Note that the second 7660 sees a full $20V$ and the input supply should not be increased beyond $+5V$.

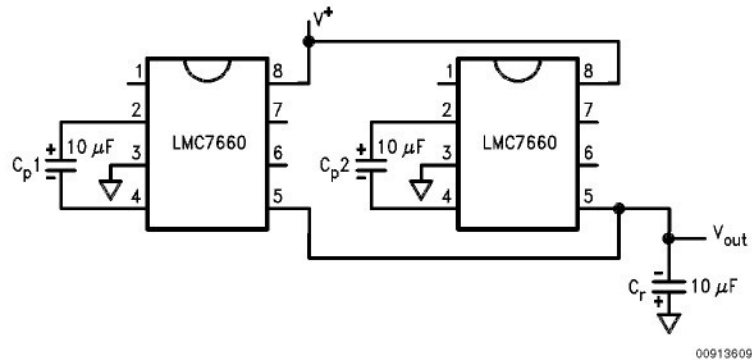


FIGURE 5. Lowering Output Resistance by Paralleling Devices

SPLIT V^+ IN HALF

Figure 8 is one of the more interesting applications for the LMC7660. The circuit can be used as a precision voltage divider (for very light loads), alternately it is used to generate a $\frac{1}{2}$ supply point in battery applications. In the $\frac{1}{2}$ cycle when

S1 and S3 are closed, the supply voltage divides across the capacitors in a conventional way proportional to their value. In the $\frac{1}{2}$ cycle when S2 and S4 are closed, the capacitors switch from a series connection to a parallel connection. This forces the capacitors to have the same voltage; the charge

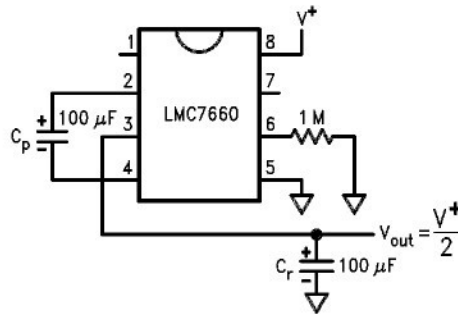
Typical Applications (Continued)

redistributes to maintain precisely $V^+/2$, across C_p and C_r . In this application all devices are only $V^+/2$, and the supply voltage can be raised to 20V giving exactly 10V at V_{out} .

GETTING UP ... AND DOWN

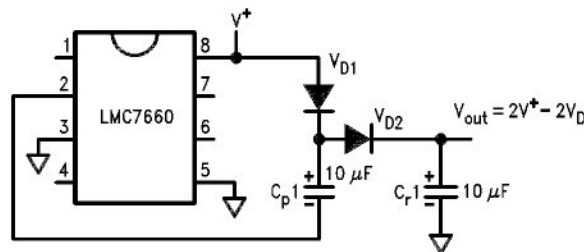
The LMC7660 can also be used as a positive voltage multiplier. This application, shown in *Figure 9*, requires 2 additional diodes. During the first $\frac{1}{2}$ cycle S2 charges C_p1 through D1; D2 is reverse biased. In the next $\frac{1}{2}$ cycle S2 is

open and S1 is closed. Since C_p1 is charged to $V^+ - V_{D1}$ and is referenced to V^+ through S1, the junction of D1 and D2 is at $V^+ + (V^+ - V_{D1})$. D1 is reverse biased in this interval. This application uses only two of the four switches in the 7660. The other two switches can be put to use in performing a negative conversion at the same time as shown in *Figure 10*. In the $\frac{1}{2}$ cycle that D1 is charging C_p1 , C_p2 is connected from ground to $-V_{out}$ via S2 and S4, and C_r2 is storing C_p2 's charge. In the interval that S1 and S3 are closed, C_p1 pumps the junction of D1 and D2 above V^+ , while C_p2 is refreshed from V^+ .



00913612

FIGURE 8. Split V^+ in Half



00913613

FIGURE 9. Positive Voltage Multiplier

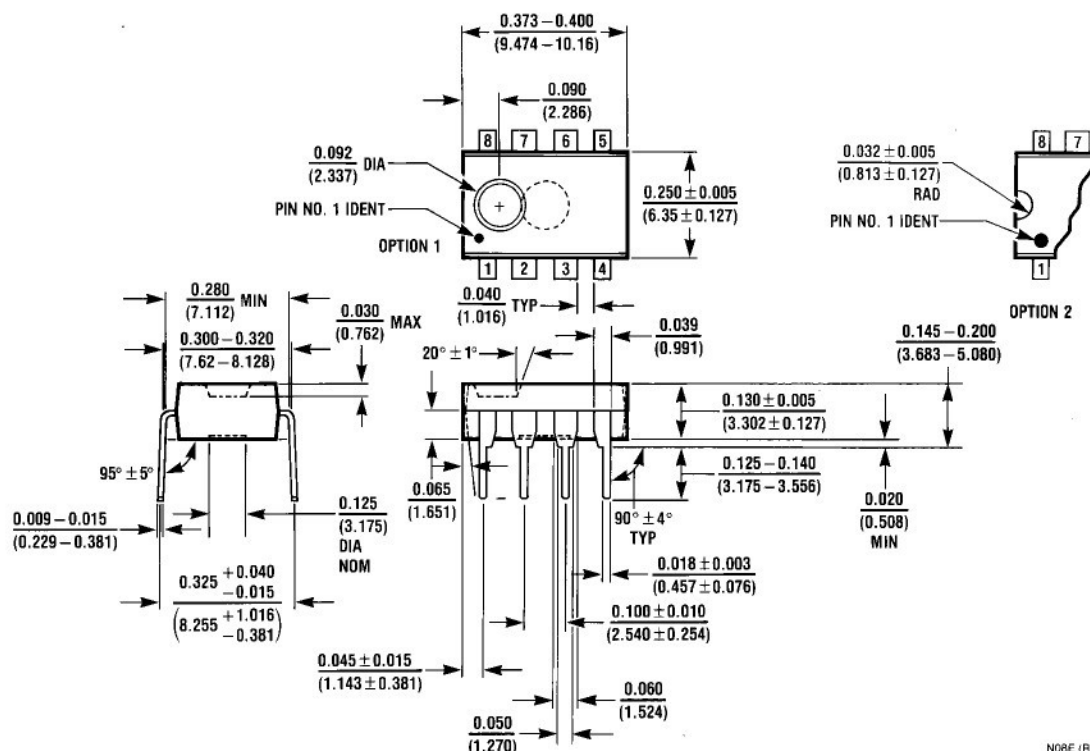
THERMOMETER SPANS 180°C

Using the combined negative and positive multiplier of *Figure 11* with an LM35 it is possible to make a μ Power thermometer that spans a 180°C temperature range. The LM35 temperature sensor has an output sensitivity of 10 mV/°C, while drawing only 50 μ A of quiescent current. In order for

the LM35 to measure negative temperatures, a pull down to a negative voltage is required. *Figure 11* shows a thermometer circuit for measuring temperatures from -55°C to +125°C and requiring only two 1.5V cells. End of battery life can be extended by replacing the up converter diodes with Schottky's.

Typical Applications (Continued)

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package (N)
Order Number LMC7660IN
NS Package Number N08E

N08E (REV F)

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

For the most current product information visit us at www.national.com.

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

BANNED SUBSTANCE COMPLIANCE

National Semiconductor manufactures products and uses packing materials that meet the provisions of the Customer Products Stewardship Specification (CSP-9-111C2) and the Banned Substances and Materials of Interest Specification (CSP-9-111S2) and contain no "Banned Substances" as defined in CSP-9-111S2.



National Semiconductor
Americas Customer
Support Center
Email: new.feedback@nsc.com
Tel: 1-800-272-9959

National Semiconductor
Europe Customer Support Center
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor
Asia Pacific Customer
Support Center
Email: ap.support@nsc.com

National Semiconductor
Japan Customer Support Center
Fax: 81-3-5639-7507
Email: jpn.feedback@nsc.com
Tel: 81-3-5639-7560