

TECHNICKÁ UNIVERZITA V LIBERCI

Fakulta mechatroniky, informatiky a mezioborových studií

BAKALÁŘSKÁ PRÁCE

LIBEREC 2011

Radek Pokorný

TECHNICKÁ UNIVERZITA V LIBERCI

Fakulta mechatroniky, informatiky a mezioborových studií

Studijní program: B2612 Elektrotechnika a informatika

Studijní obor: 2612R011 Elektronické informační a řídicí systémy

Univerzální programovatelný Domino modul

DOMINO - Universal programmable modul

Bakalářská práce

Autor:	Radek Pokorný
Vedoucí práce:	Ing. Leoš Petržílka
Konzultant:	prof. Ing. Zdeněk Plíva, Ph.D

V Liberci 2011

TECHNICKÁ UNIVERZITA V LIBERCI
Fakulta mechatroniky, informatiky a mezioborových studií
Akademický rok: 2010/2011

ZADÁNÍ BAKALÁŘSKÉ PRÁCE

(PROJEKTU, UMĚLECKÉHO DÍLA, UMĚLECKÉHO VÝKONU)

Jméno a příjmení: Radek POKORNÝ
Osobní číslo: M07000044
Studijní program: B2612 Elektrotechnika a informatika
Studijní obor: Elektronické informační a řídicí systémy
Název tématu: Univerzální programovatelný Domino modul
Zadávající katedra: Ústav informačních technologií a elektroniky

Z á s a d y p r o v y p r a c o v á n í :

1. Prostudujte požadavky na napájení, programování a připojování moderních programovatelných obvodů.
2. Navrhněte zapojení back-panelu univerzálního programovatelného modulu a definujte rozložení signálů pro výměnný panel.
3. Realizujte prakticky navržené zapojení a vyzkoušejte jeho funkci.

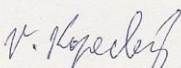
Rozsah grafických prací: Dle potřeby dokumentace
Rozsah pracovní zprávy: cca 30-40 stran
Forma zpracování bakalářské práce: tištěná/elektronická

Seznam odborné literatury:

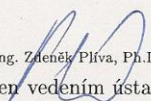
- [1] Firemní dokumentace stavebnicového systému fy. RC-didactic
- [2] Datasheety programovatelných obvodů na stránkách výrobce

Vedoucí bakalářské práce: Ing. Leoš Petržílka
Ústav informačních technologií a elektroniky
Konzultant bakalářské práce: doc. Ing. Zdeněk Plíva, Ph.D.
Ústav informačních technologií a elektroniky

Datum zadání bakalářské práce: 1. října 2010
Termín odevzdání bakalářské práce: 20. května 2011


prof. Ing. Václav Kopecký, CSc.
děkan




doc. Ing. Zdeněk Plíva, Ph.D.
pověřen vedením ústavu

V Liberci dne 1. října 2010

PROHLÁŠENÍ

Byl jsem seznámen s tím, že na mou bakalářskou práci se plně vztahuje zákon č. 121/2000 Sb. o právu autorském, zejména § 60 – školní dílo.

Beru na vědomí, že Technická univerzita v Liberci (TUL) nezasahuje do mých autorských práv užitím mé bakalářské práce pro vnitřní potřebu TUL.

Užiji-li bakalářskou práci nebo poskytnu-li licenci k jejímu využití, jsem si vědom povinnosti informovat o této skutečnosti TUL; v tomto případě má TUL právo ode mne požadovat úhradu nákladů, které vynaložila na vytvoření díla, až do jejich skutečné výše.

Bakalářskou práci jsem vypracoval samostatně s použitím uvedené literatury a na základě konzultací s vedoucím bakalářské práce a konzultantem.

Datum

Podpis

PODĚKOVÁNÍ

Touto cestou bych rád poděkoval pánům prof. Ing. Zdeňkovi Plívovi, Ph.D a Ing. Leošovi Petržílkovi za odborné rady, trpělivost a pomoc při řešení této práce. Dále bych chtěl poděkovat panu Ing. Ondřejovi Zelinkovi, Ph.D. za odborné rady z oblasti obvodů FPGA a za jeho zájem podílet se na práci. Poděkování náleží i panu Ing. Tomášovi Mikolandovi, Ph.D za názornou a profesionální ukázkou z oblasti osazování desek plošných spojů ve firmě Hokami a za provedení celým výrobním procesem. Závěrem bych rád poděkoval své rodině a přátelům, kteří mě podporovali.

ABSTRAKT

Cílem této práce je návrh univerzálního modulu, plně kompatibilního se stavebnicí Domino, pro různé druhy integrovaných obvodů. Primární část vytváří jednoduché prvky pro snadné ovládání, komunikaci a propojení s ostatními moduly. Tento segment rovněž obsahuje napájecí zdroje pro vybraný integrovaný obvod implementovaný na sekundární části. Zkušební sekundární část obsahuje moderní FPGA obvod rodiny Spartan[®]-3 výrobce Xilinx. V konečné fázi je modul prakticky realizován a je odzkoušena jeho funkce.

KLÍČOVÁ SLOVA

FPGA, DPS, JTAG, Spartan, Domino

ABSTRACT

The aim of this thesis is design of universal module for different programmable circuits, fully compatible with Domino kit. The primary board will contain elements for easy control, communication and interconnection with the other modules. This board also contains an power modules to supply the slave board, with the selected integrated circuit. This primary board will be interconnected with the secondary board, that will contains Spartan[®]-3, an advanced FPGA by Xilinx. In the final phase the module will be practically implemented and tested for its overall function.

KEY WORDS

FPGA, PCB, JTAG, Spartan, Domino

OBSAH

PROHLÁŠENÍ	- 3 -
PODĚKOVÁNÍ	- 5 -
ABSTRAKT	- 6 -
OBSAH	- 7 -
SEZNAM OBRÁZKŮ	- 9 -
SEZNAM TABULEK	- 10 -
SEZNAM POUŽITÝCH ZKRATEK	- 11 -
ÚVOD	- 12 -
1 PLD	- 13 -
1.1 SPLD	- 13 -
1.1.1 PROM	- 14 -
1.1.2 PLA	- 15 -
1.1.3 PAL	- 16 -
1.1.4 GAL	- 17 -
1.2 CPLD	- 18 -
1.3 FPGA	- 19 -
2 Programování obvodů PLD	- 22 -
2.1 Programování výrobcem	- 22 -
2.2 Programování uživatelem a používané technologie	- 22 -
2.3 Programátory	- 24 -
2.4 Programování ISP	- 24 -
3 Rodina obvodů Spartan®-3	- 27 -
3.1 Architektura Spartan®-3	- 27 -
3.2 Konfigurace	- 28 -
3.2.1 Slave Serial mód	- 31 -
3.2.2 Slave Parallel mód	- 31 -
3.2.3 Master Serial mód	- 31 -
3.2.4 Master Parallel (SelectMAP) mód	- 32 -
3.2.5 Boundary-Scan (JTAG) mód	- 32 -
4 Stavebnice DOMINO	- 33 -
5 Praktická část	- 36 -
5.1 Primární část	- 36 -

5.1.1 Stabilizace napětí.....	- 36 -
5.1.2 Zdrojová ochrana.....	- 37 -
5.1.3 Komunikační rozhraní	- 38 -
5.2 Obvodové schéma primární části.....	- 39 -
5.3 Deska plošných spojů primární části	- 40 -
5.3.1 Rozměr desky	- 40 -
5.3.2 Rozmístění součástek.....	- 41 -
5.4 Sekundární část	- 42 -
5.4.1 Konfigurovatelný obvod.....	- 42 -
5.4.2 Paměťová jednotka.....	- 42 -
5.4.3 Stabilizace napětí.....	- 43 -
5.4.4 Zdroj hodinového signálu.....	- 43 -
5.4.5 Převodník úrovní.....	- 44 -
5.5 Obvodové schéma sekundární části	- 45 -
5.5.1 Napájení FPGA.....	- 45 -
5.5.2 Konfigurace a volba módu	- 46 -
5.5.3 Propojení FPGA a paměťového prvku.....	- 47 -
5.5.4 Možnosti převodníků úrovní	- 48 -
5.6 Sekundární deska plošných spojů	- 48 -
5.6.1 Rozměr DPS a rozložení součástek	- 49 -
5.7 Realizace v prostředí EAGLE.....	- 49 -
5.7.1 Editor Knihovny	- 50 -
5.7.2 Editor Schématu	- 52 -
5.7.3 Editor DPS	- 53 -
ZÁVĚR.....	- 54 -
SEZNAM POUŽITÉ LITERATURY.....	- 55 -
SEZNAM PŘÍLOH	II

SEZNAM OBRÁZKŮ

<i>Obr. 1 Paměť PROM jako AND - OR matice [16]</i>	- 14 -
<i>Obr. 2 Architektura obvodů PLA [16]</i>	- 15 -
<i>Obr. 3 Obvody typu PAL [16]</i>	- 16 -
<i>Obr. 4 OLMC buňka obvodu GAL [16]</i>	- 17 -
<i>Obr. 5 Typická struktura CPLD [5]</i>	- 18 -
<i>Obr. 6 Struktura obvodů FPGA [4]</i>	- 20 -
<i>Obr. 7 Metoda pospojování Daisy-Chain</i>	- 26 -
<i>Obr. 8 Obecný proces konfigurace [15]</i>	- 30 -
<i>Obr. 9 Konfigurace v režimu Master Seriál [15]</i>	- 32 -
<i>Obr. 10 Měřicí jednotka ADDU firmy RC-didactic [8]</i>	- 35 -
<i>Obr. 11 Rozhodovací úrovně technologie CMOS, TTL, LVTTTL, LVCMOS [3]</i>	- 44 -
<i>Obr. 12 Konfigurační kabel Platform Cable USB II firmy Xilinx [12]</i>	- 46 -
<i>Obr. 13 Příklad propojení obvodů SN74LVC8T245 a konektoru JP3</i>	- 52 -

SEZNAM TABULEK

<i>Tab. 1 Přehled obvodů rodiny Spartan[®]-3 a jejich vlastností [15]</i>	<i>- 28 -</i>
<i>Tab. 2 Propojení FPGA a paměťového prvku</i>	<i>- 48 -</i>
<i>Tab. 3 Obvody vytvořené v prostředí Eagle</i>	<i>- 50 -</i>

SEZNAM POUŽITÝCH ZKRATEK

CLB	Configurable Logic Block
CPLD	Complex Programmable Logic Device
CRC	Checking during Configuration
DPS	Deska plošných spojů
DRC	Design Rules Check
EEPROM	Electrically Erasable Programmable Read-Only Memory
EPROM	Electrical Erassable
ERC	Electrical Rules Check
FPGA	Field Programmable Gate Array
FPLA	Field Programmable Logic Array
GAL	Generic Array Logic
ISP	In-System Programmable
I/O	Input/Output
LB	Logic Block
LUT	Look-Up Table
OLMC	Output Logic Macro Cell
PAL	Programmable Array Logic
PCB	Printed Circuit Board
PI	Programmable Interconnect
PLA	Programmable Logic Device
PLD	Programmable Logic Device
PLL	Phase – Locked Loop
PoR	Power-on Reset
PROM	Programmable Read-Only Memory
RAM	Random-Access Memory
ROM	Read-Only Memory
SMD	Surface Mounted Device
SRAM	Static Random-Access Memory
THT	Trough-Hole Technology
USB	Universal Serial Bus

ÚVOD

Smyslem výuky kteréhokoli školního předmětu není jen zásobovat studenta teoretickými poznatky, ale seznámit ho i s praktickou částí s možností jejího odzkoušení s využitím teoreticky nabitých znalostí. Tuto skutečnost je dobré si uvědomit a přizpůsobit jí výuku. Na praktickou zkušenost je kladen důraz zvláště v oblasti elektrických zařízení, protože je nezbytné, aby student pochopil nejzákladnější principy jejich zákonů. Proto je v současné době k dispozici množství výukových pomůcek, které donutí studenta k zamyšlení nad problémem většinou zábavnou a intuitivní formou.

Mezi takové pomůcky lze zařadit i stavebnicový systém Domino vyvíjený firmou RC-didactic. Její výukový systém je rozšířený nejen po středních a vysokých školách v České republice, ale je možné jej najít i v jiných částech Evropy. A to právě díky své konstrukci, která dovoluje odzkoušení a měření nejzákladnějších analogových prvků, ale i moderních číslicových obvodů, smysluplnou formou.

Hlavním smyslem bakalářské práce je realizace univerzálního programovatelného modulu, který bude rozšířením stávajícího stavebnicového systému Domino. Proto je důležité, aby byly zachovány základní předpoklady nejen prvotního vzhledu stavebnice, které studenta intuitivně navádí k dalšímu zpracování, ale musí být zajištěna i elektrická kompatibilita s ostatními částmi. Vývoj a realizace vlastních komponent je tak podmíněna znalostí stavebnicového systému jako celku, návrhového prostředí pro vlastní realizaci navrženého zapojení a konečně problematikou programovatelných logických číslicových obvodů, které budou implementovány do návrhu a pro které je tato práce prioritou.

1 PLD

PLD je číslicový integrovaný obvod, jehož funkce je ovlivněna vzájemným propojením obecné struktury logických hradel, spínačů a registrů. Chování takového obvodu zpočátku určoval jen výrobce, později uživatel na základě vlastního logického návrhu. Tento návrh je třeba do cílového obvodu interpretovat a nastavit tak propojení vnitřní struktury.

Programovatelných logických obvodů je v dnešní době celá řada a jsou postupně vyvíjeny v mnoha variantách. Mezi nejznámější výrobce patří například firmy Xilinx, Altera, Lattice Semiconductor, Actel, Atmel, Cypress Semiconductor atd. Díky svému snadnému návrhu a snižující se ceně, nacházejí uplatnění v jednodušších aplikacích spotřební elektroniky, ale i v složitých a náročných projektech ve zpracování řeči, obrazu a vysokorychlostních komunikačních systémech díky své rychlosti zpracování dat v reálném čase. Programovatelné logické obvody lze dále rozdělit do dalších podmnožin podle jejich vnitřního uspořádání.

1.1 SPLD

Vnitřní uspořádání těchto obvodů je na první pohled velmi jednoduché. Jedná se o dvě za sebou zapojené pole logických hradel AND a OR. Pole AND je připojené přes oddělovací budiče přímo na vstupní piny obvodu. Jejich úkolem je přivádět do pole AND hodnotu vstupního signálu, ale zároveň i jeho negaci. Pomocí pevných propojek jsou pole navzájem propojena podle potřeby a na výstupu pole OR už vzniká požadovaná kombinační funkce. Později se však vnitřní struktura rozrůstala a poskytovala mnoho dalších rozšíření [2].

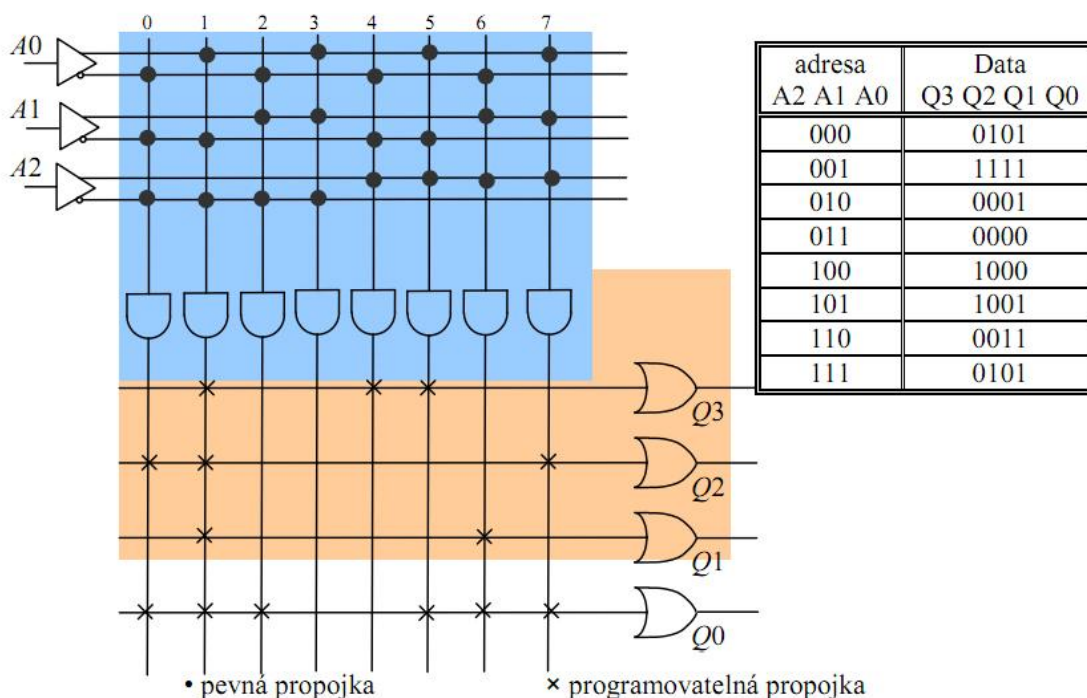
Aby bylo možné vytvořit programovatelný obvod, musí být alespoň jedno z hradlových polí programovatelné. Z tohoto předpokladu vychází i jejich následující dělení:

- PROM - pevně dané pole AND a programovatelné pole OR
- PLA, FPLA - programovatelné pole AND i pole OR
- PAL, GAL - programovatelné pole AND a pevně dané pole OR

1.1.1 PROM

Za vůbec první programovatelné obvody lze považovat paměti PROM. Jsou založené na kaskádně řazených polích AND a OR, přičemž pole AND se pevně nastavuje již při výrobě obvodu a pole OR je programovatelné. Tyto paměti lze jednou naprogramovat, ale dál nelze jejich obsah měnit. To je způsobeno destruktivním přepalováním kovových spojek při procesu programování [2, 16].

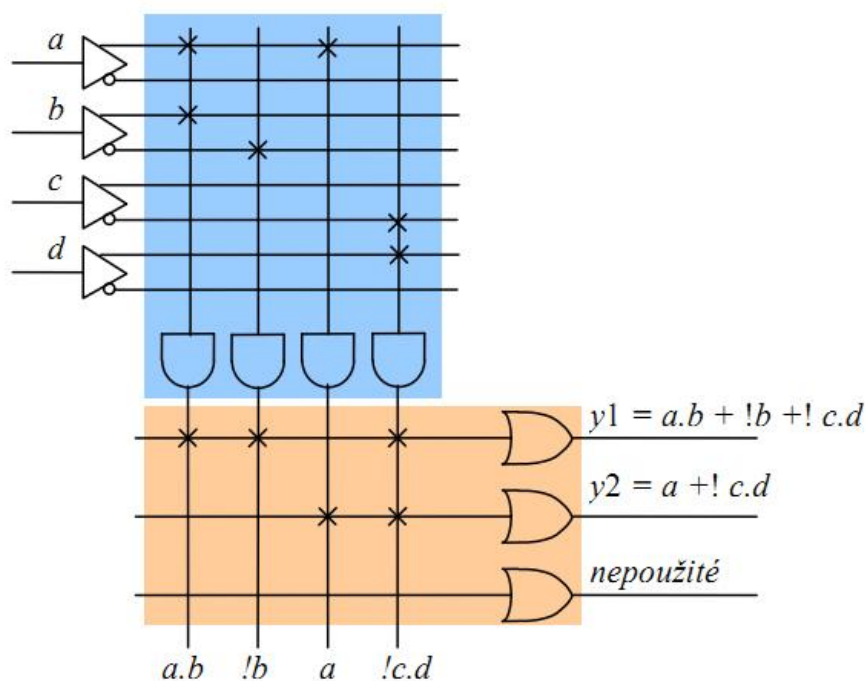
Do paměti vstupují proměnné, které jsou připojeny na pevnou matici AND hradel. Na tomto poli je výrobcem implementován dekodér z binárního kódu, do kódu „ I z n “, kde n je počet vstupů vedoucích do každého součinového hradla. Počet součinových hradel tak vychází ze vztahu 2^n . Výstupy z dekodéru se nazývají mintermy a jsou přivedeny na programovatelné pole hradel OR. Kombinací polovodičových diod a tavných kovových propojek se v poli součtových hradel vytváří již požadovaná funkce dostupná na výstupních pinech. Pokud se přeruší tavná propojka, je minterm vyloučen a nemůže být obsažen ve výsledné funkci. Toto řešení je neúsporné, protože vždy zůstává nevyužito velké procento mintermů [2, 16].



Obr. 1 Paměť PROM jako AND - OR matice [16]

1.1.2 PLA

Obvody PLA jsou tvořeny polem AND následovaným polem OR, kde jsou obě pole programovatelná. Obvody se programovaly maskou již při výrobě. Jejich rychlost byla přibližně o řád vyšší, než u obvodů PROM a zároveň se jedná o úspornější vytváření logické funkce s ohledem na vnitřní logiku, protože se v obou polích dala nastavit propojení, která byla skutečně zapotřebí. Na obr. 2, je možné vidět typickou strukturu obvodů PLA. Jejich technologické předpoklady programovatelných polí AND i OR se staly základem některých dnešních moderních architektur obvodů CPLD [2, 6].



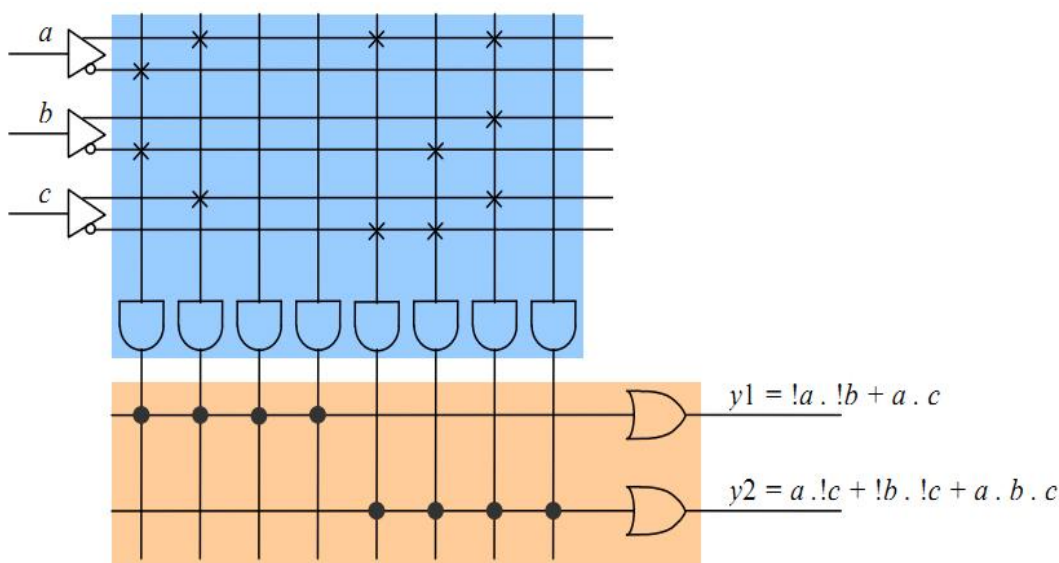
Obr. 2 Architektura obvodů PLA [16]

Určitým rozšířením obvodů PLA byly obvody FPLA. Byly založeny na stejném principu, ale existovala zde možnost programování u zákazníka. Bohužel, značná nevýhoda byla v poměrně velkém zpoždění signálu ze vstupu na výstup. Způsob jejich programování také nebyl ideální, z důvodu velkého množství programovatelných propojek, díky dvěma programovatelným polím a tím, že návrhář musel nastavovat přímo hodnoty jednotlivých programovatelných buněk ve speciálních a nedostupných programátorech bez jakéhokoliv návrhového prostředí. Tyto fakty spolu s poměrně vysokou cenou zapříčinily pouze nepatrné rozšíření těchto obvodů. V současné době se i obvody typu FPLA označují jako PLA [2, 6, 16].

1.1.3 PAL

Tyto obvody patří k velmi významným prvkům SPLD a znamenaly velký pokrok ve vývoji PLD. Obvody PAL, volně navazují na PLA s tím rozdílem, že obsahují programovatelné pole AND a nově pevné pole OR. Vlivem zmenšování technologie výroby integrovaných obvodů došlo oproti obvodům PLA ke zmenšení rozměrů a zvýšení rychlosti celého obvodu [2].

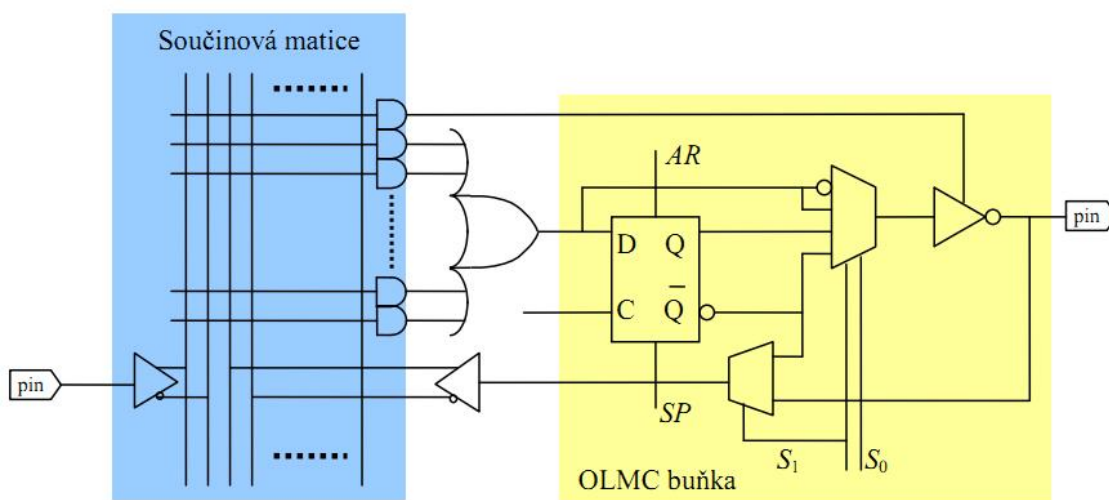
Tyto obvody našly uplatnění v jednoduchých a levných konstrukcích kombinační logiky a v případě, že jsou vybaveny doplňujícími klopnými obvody na výstupu, lze vytvářet i jednoduchou synchronní sekvenční logiku. Nespornou výhodou byla možnost programování v již rozšířených programátorech pamětí PROM. Nevýhoda naopak spočívala ještě stále v jednorázovém programování a díky této vlastnosti patří spíše k historické záležitosti a jsou převážně nahrazovány novějšími obvody [2, 4].



Obr. 3 Obvody typu PAL [16]

1.1.4 GAL

Obvody GAL se řadí mezi nejrozšířenější a nejvýznamnější obvody skupiny SPLD. Rovněž jsou řešeny na bázi pevného pole AND a programovatelného pole OR a tak volně navazují na předchozí obvody typu PAL, avšak liší se o dva významné body. První spočívá v možnosti přeprogramování obvodu a druhá vychází z umístění programovatelného vstupně-výstupního makročlánku na každém výstupu součtového hradla. Tento výstupní makročlánek označovaný *OLMC* umožňuje návrháři u každého I/O pinu definovat, zda má být použit jako vstup, výstup nebo třístavový výstup [4, 16]. „Rovněž lze výstupnímu članku naprogramovat, zda jsou výstupy vedeny na výstupní piny přímo nebo přes registry, jaká má být jejich aktivní úroveň, zda mají mít zavedenou zpětnou vazbu zpět do pole AND apod.“ (citace[4], str. 127)



Obr. 4 OLMC buňka obvodu GAL [16]

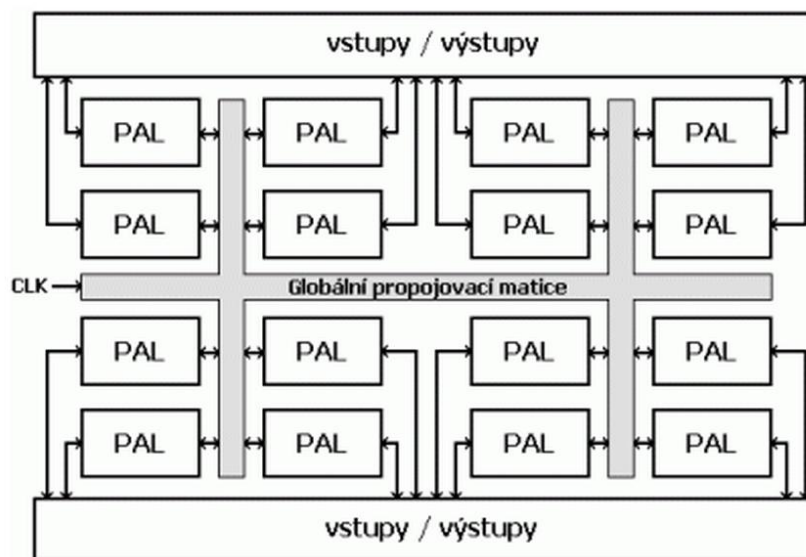
Nevýhodou může být, že pokud by chtěl programátor nastavit ve výstupních makročláncích některé zmíněné parametry pinu, je tato volba společná globálně pro všechny piny celého obvodu. I přes to je většina konstrukcí řešených na bázi PAL nahrazována obvody GAL. Protože jsou tyto prvky vyvíjeny a vyráběny již dlouhou dobu, vyskytla se u nich určitá rozšíření podporující další funkce, jako je bezpečnostní kódování proti neoprávněnému čtení obsahu konfigurace, možnost využívání elektronického podpisu, přednastavení registru pro zjednodušení testování po naprogramování atp. Další významné rozšíření umožňuje programování obvodu přímo na desce plošného spoje, pomocí vyhrazených programovacích pinů. Tato metoda programování nese označení ISP a její podrobnější popis nalezneme v pododdílu 2.4.

Velmi často se setkáme s označením ispGAL, které podporují tuto metodu a v současné době patří k nepoužívanějším obvodům skupiny SPLD [4, 16].

1.2 CPLD

Obvody CPLD jsou dalším pokračováním éry obvodů SPLD. Jejich vnitřní konstrukce je oproti SPLD obsáhlejší a složitější, nicméně obsahují množství společných prvků. Vše začalo tím, že obvody SPLD přestávaly stačit na složitější aplikace velikostí programovatelné logiky a jednoduchostí výstupních funkcí. A tak vývojáři vlivem rostoucí integrace začali seskupovat více bloků složených z makrobuněk se strukturou PAL nebo PLA na společný čip. CPLD obsahují mnoho rozšiřujících prvků, avšak největším rozdílem mezi SPLD a CPLD je přidání velké globální propojovací matice.

Celkově jsou tedy v CPLD k dispozici dvě programovatelné propojovací matice. První, označovaná jako *síť nižší úrovně* v každém obvodu PLD a druhá, takzvaná *síť vyšší úrovně*, která slouží k propojení jednotlivých PLD mezi sebou. Tím roste složitost propojovacích sítí, protože množství programovatelných propojek jde do řádu miliónů [4, 5, 16].



Obr. 5 Typická struktura CPLD [5]

Protože s touto složitostí roste i zpoždění signálu, je na obvodech CPLD vytvářena speciální globální síť pro rozvod hodinových signálů, vedoucích přímo na vstupy paměťových elementů, které nežádoucí zpoždění minimalizují. Většina obvodů CPLD využívá k uchování konfiguračních dat paměť EEPROM integrovanou přímo na čipu.

CPLD vyžadují ke své správné funkci minimálně dvě napájecí napětí. Jedno z nich je používáno pro napájení I/O buněk a druhé je určené pro jádro obvodu. Výrobci obvodů CPLD seskupují I/O buňky do větších celků, takzvaných *bank* a konstrukce dovoluje napájet každou banku jiným napěťovým standardem. Tím lze posouvat napěťové překlápěcí úrovně mezi logickou nulou a logickou jedničkou podle potřeby připojených obvodů ke konkrétní bance. Počet těchto bank je závislý na velikosti obvodů. Díky této vlastnosti jsou obvody CPLD využívány také jako převodníky napěťových úrovní, nejčastěji mezi některými z 5 V, 3,3 V a 2,5 V. Není ale neobvyklé setkat se i s napětím nižším [2, 6, 16].

1.3 FPGA

Obvody typu FPGA jsou nejmodernější a nejkomplexnější programovatelné logické obvody, které mají nejobecnější strukturu a obsahují nejvíce logiky. Jsou to obvody s velkým množstvím konfigurovatelných logických bloků (CLB) rozmístěných v pravidelném poli, navzájem propojených programovatelnou propojovací maticí PI [4, 16].

Základním stavebním prvkem CLB jsou logické buňky (LC), které obsahují multiplexery, klopné obvody typu D sloužící jako paměťové elementy, a malé generátory jednoduchých logických kombinačních funkcí nejčastěji o čtyřech vstupních proměnných. Častější označení pro tyto generátory je LUT. To jsou v podstatě konfigurovatelné paměti ROM. Buňky pracující na základě LUT tak vůbec nesouvisí s teorií hradel AND a OR matice, jako tomu bylo doposud u předchozích obvodů.

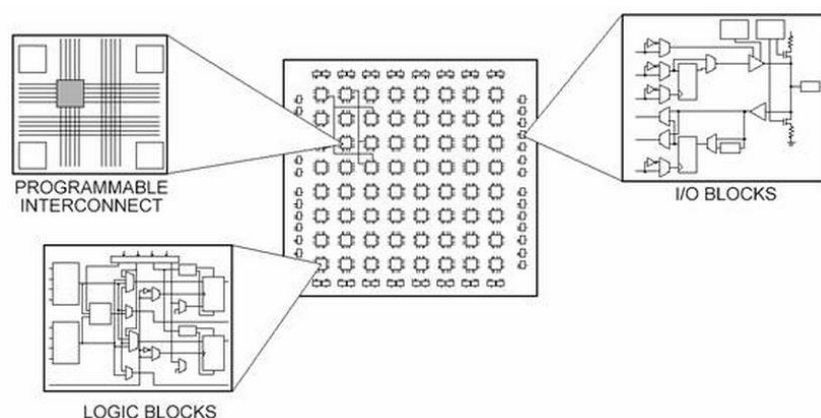
Složitost funkce roste s počtem propojených logických buněk nebo jejich LUT [3, 6, 16]

„FPGA obvykle umožňují propojit některé signály logických bloků přímo se sousedním bez nutnosti využívat globální propojovací matici. Takovéto spoje mají mnohem menší zpoždění a umožňují tak realizovat například rychlé obvody šíření přenosu, což je nezbytné pro sčítačky nebo násobičky.“ (citace [5])

Komunikaci mezi vnitřní konfigurovatelnou logikou a vývody obvodu zajišťují vstupně-výstupní bloky (I/O Blocks) realizované na každém I/O pinu po celém obvodu čipu. Ty jsou nejčastěji tvořeny registrem, budičem, multiplexorem a ochrannými obvody [5].

Obvody FPGA také mají velmi často vložené bloky pamětí a násobiček. Dnes jsou samozřejmostí fázové závěsy, které umožňují vytvářet uvnitř FPGA ze vstupního hodinového signálu výstupní signál s nastavitelnou hodnotou výstupní frekvence a definovaným fázovým posuvem [17].

Z hlediska programování se jako nevýhoda může jevit fakt, že obvody FPGA využívají pro uchování informace paměťové buňky SRAM, které patří do volatilních pamětí. Proto je nutné po každém odpojení obvodu od zdroje znovu nahrát konfigurační soubor z PC nebo častěji z energeticky nezávislé paměti typu EEPROM nebo FLASH. Naopak výhodou SRAM je rychlost přístupu do paměti a nízká spotřeba [6].



Obr. 6 Struktura obvodů FPGA [4]

Obvody FPGA využívají ke své funkci minimálně třech napájecích napětí. Jedno slouží k samotnému napájení jádra s logickými bloky FPGA, druhé slouží k napájení I/O bank, podobně, jako je tomu u obvodů CPLD. Třetí napájecí napětí je pomocné a je využíváno pro napájení například fázových závěsů (PLL) konfigurační logiky nebo resetovacích obvodů POR. Rozdělení napájecího napětí na více částí má příznivý vliv na velikost ztrátového výkonu. To je rozhodující především u napájení jádra obvodu, kde převážnou část výkonových ztrát tvoří propojovací síť. Proto vývoj směřuje co možná k nejnižším hodnotám velikosti tohoto napětí. Jeho hodnoty se přitom odvíjí od použité technologie výroby obvodu [3, 6, 17].

Důležitá pracovní napájecí napětí jádra obvodů FPGA:

- 3,3 V – 300 nm technologie
- 2,5 V – 220 nm technologie
- 1,8 V – 150 nm technologie
- 1,5 V – 130 nm technologie
- 1,2 V – 90 nm technologie
- 1,0 V – 65 nm technologie
- 0,85 V – 28 nm technologie

Velikost napájecího napětí I/O buněk závisí především na použitém I/O standardu, pomocí kterého obvod komunikuje s I/O obvody. To znamená, že FPGA i připojené obvody musí mít stejné úrovně překlápěcích napětí pro logickou nulu a logickou jedničku. Moderní obvody poskytují široký rozptyl těchto standardů, které umožňují práci s většinou obvodů. Podobně jako je tomu u obvodů CPLD, jsou I/O buňky seskupovány do větších celků zvaných *bank* a lze pro každou banku použít jiný napěťový standard. Počet bank je opět závislý především na velikosti FPGA[6, 16].

2 Programování obvodů PLD

Programování je proces, při kterém se z programovacího zařízení do cílového obvodu přenášejí data s požadovanou informací a zachycují se v jeho paměťových buňkách volatilně, nebo nevolatilně. U obvodů PLD je možné tento proces také označovat jako *konfigurace* nebo *personifikace*, protože se nejedná o psaní strojového kódu, ale o tvorbu vnitřního propojení logické struktury [2, 17].

2.1 Programování výrobcem

V dobách vzniku prvních programovatelných obvodů, jako byly paměti ROM, se požadovaný informační obsah přenesl do obvodu pomocí speciální metalické masky ve výrobním podniku. Programování těchto obvodů se provádělo v konečné fázi výroby na základě požadavků uživatele, který přesně definoval stav jednotlivých propojek. Musela být tedy zachována přímá spolupráce mezi zákazníkem a uživatelem. Důsledkem toho byla vysoká cena a dlouhá lhůta dodání. Toto řešení se tak začínalo vyplácet až při výrobě velkého počtu stejných sérií. Způsob tohoto programování se v dnešní době nepoužívá, protože je nahrazen novějšími technologiemi. Proces programování mohl být použit u každého obvodu pouze jednou, protože přepalování zeslabených kovových propojek vlivem nárazového proudu bylo destruktivní a nevratné [2, 16].

2.2 Programování uživatelem a používané technologie

Programování uživatelem se začínalo poprvé uplatňovat u obvodů FPLA a PROM. Princip uživatelského ukládání konfiguračních dat závisí na technologii integrovaného obvodu a lze je dále rozdělovat na jednu programovatelné a na vícekrát programovatelné obvody.

U jednou programovatelných obvodů spočívalo programování v přepalování propojovacích prvků mezi jednotlivými součinnými a součtovými hradly na čipu obvodu. Jednalo se o zeslabené drátové propojky nazývané *Fuse*. Tato propojka se průchodem zvýšeného proudového impulsu přetavila a tím pádem přerušila signálovou

cestu k logickému hradlu, které tak bylo vyřazeno z provozu a nemohlo být obsaženo ve výsledné funkci. Výrobce tedy kompletně propojil sít logických polí tímto způsobem a uživatel si nastavil, které z těchto vodičů chce nechat spojené, a které chce rozpojit. Rovněž se za tímto účelem používají polovodičové diody, které jsou zkratovány vhodným napětím v závěrném směru [2, 16].

Vícenásobně programovatelné obvody lze po naprogramování vymazat a opět naprogramovat. Tím lze propojku uvést do původního stavu.

Možné typy paměťových buněk:

- EPROM
- EEPROM
- FLASH
- SRAM
- Anti-Fuse

Jedna z prvních technologií přeprogramovatelných obvodů je zřejmě technologie EPROM. Touto technologií byly vyráběny například obvody PAL s makrobuňkou. Paměti EPROM jsou obvody mazatelné ultrafialovým světlem, které musí být aplikováno do skleněného okénka, v kterém je umístěna polovodičová struktura přímo na čipu. Paměťová buňka je tvořena MOS tranzistorem s plovoucím hradlem. Výhoda spočívá v energetické nezávislosti [6, 16].

Další skupinou, která je často využívána stále v dnešních obvodech, jako jsou CPLD je technologie EEPROM. Jedná se v podstatě o paměti EPROM, ale jejich mazání probíhá pomocí elektrického impulsu. Paměť samozřejmě patří také k energeticky nezávislým. Paměťové buňky jsou řešeny stejně jako u pamětí EEPROM.

Podobným moderním obvodem uplatňovaným v CPLD jsou paměti typu FLASH, které se často označují jako mžikové. Patří do další kategorie vývoje EEPROM. Zjednodušení paměťových buněk a změna technologie přispívá k vyšší rychlosti zápisu dat.

Buňky obvodů FPGA jsou nejčastěji řešeny na bázi statické RAM paměti. Buňky tohoto typu jsou velmi rychlé a úsporné, ale jejich obsah je nutné pokaždé nahrát po každém odpojení obvodu od zdroje energie. Proto se často používají externí konfigurační paměti FLASH nebo EEPROM, ke které je obvod FPGA připojen [6].

Poslední technologie, která je využívána pro účely programování je metoda *antifuse*. Vůči obvodům, které byly programovatelné metodou přerušení propojek je to opačný postup. V podstatě se jedná o dva rozpojené vodiče, které se působením mikrovýbojů vodivě spojí v místě svého křížení. Místo propojené takovým způsobem je menší než paměťová buňka s konfiguračními daty, disponuje nižší spotřebou, odolností proti radiaci a nevykazuje při programování proudový ráz. Nicméně v tomto případě se jedná opět o stálé propojení [4, 17].

2.3 Programátory

Programátor je speciální zařízení, které speciálním postupem daným výrobcem prvku, nastavuje propojení programovatelných propojek, na základě uživatelského návrhu. Obvody programované tímto způsobem musejí být vloženy do těchto zařízení a po skončení procesu teprve vloženy do cílové aplikace. Tato zařízení se standardně připojují do portu počítače s návrhovým prostředím. Využívání programátorů rostlo společně s vývojem obvodů PLD a jejich využívání bylo nezbytné [2].

V první řadě musel uživatel nějakým způsobem převést soubor z návrhového prostředí, který určoval přesnou sekvenci dat s přesně určenými adresami, do cílového obvodu. V druhé řadě musel při tomto převodu dodržet určité limity především u programovacích impulsů, které probíhaly mezi systémem s návrhovým prostředím a cílovým obvodem. Programovací impulsy byly vlivem rostoucí integrace totiž stále více citlivé na dodržení časově přesných a stabilních parametrů. V tomto okamžiku nebyl běžný uživatel schopen využívat jiného způsobu programování. Tímto způsobem se programují například paměti PROM, EPROM, obvody PAL a starší GAL [2].

2.4 Programování ISP

Metoda programování pomocí programátorů je převážně u větších obvodů s jemnou strukturou postupně vytlačována a nahrazována metodou nazývanou se ISP.

Při implementaci této metody je třeba z programovatelného obvodu vyvést pouze čtyři až pět vodičů, vybraných speciálně pro tento účel. Celý proces programování, mazání, verifikace a ladění probíhá pouze po těchto vyhrazených

vodičích přes speciální programovací kabel s obvodem zapájeným na desce plošných spojů, bez nutnosti jeho vyjmutí z cílové aplikace. Programování probíhá sériově. Výhoda této metody spočívá v možnosti úplné změny funkce nebo její aktualizace téměř okamžitě i za běhu systému. Při programování tak není třeba vyjímat obvod ze systému, kde u zvláště jemných struktur docházelo k ohýbání pinů s roztečí běžně desetin milimetrů a zvyšovalo se tak jejich opotřebování. V některých případech vlivem neopatrného nebo neodborného zacházení i k destruktivnímu nevratnému poškození. Zničení obvodu mohlo také nastat při vyjímání obvodu staticky nabitým tělesem nebo člověkem [2, 6]. Dnes je tato forma programování samozřejmostí téměř u všech vyráběných obvodů CPLD a FPGA.

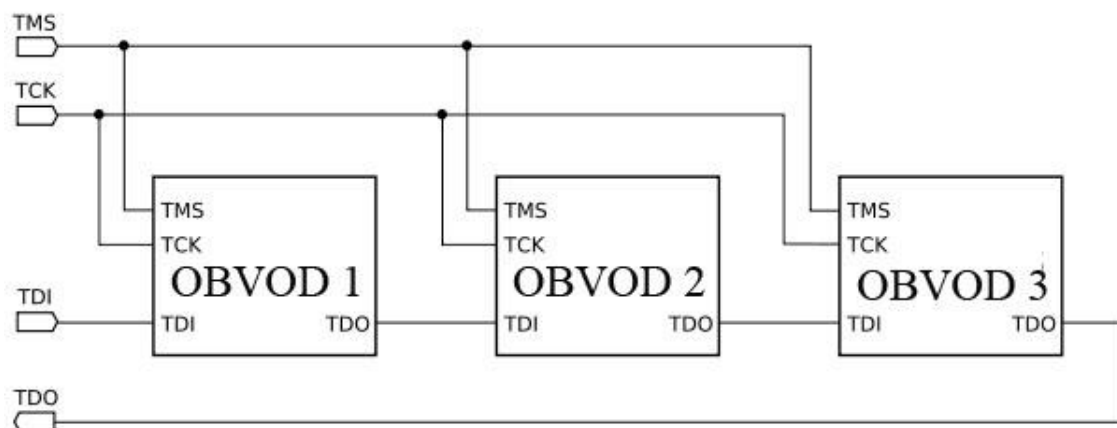
Programování obvodu v systému (ISP) probíhá pomocí rozhraní JTAG (Joint Test Action Group), definovaný standardem IEEE 1149.1 (Standard test access Port and Boundary-Scan Architecture), případně novějším IEEE 1532-2002 (Standard for In-system configuration of Programmable device) [6].

Standardní rozhraní JTAG sestává ze čtyř nebo pěti vodičů obsahující signály TDI, TDO, TCK, TMS a TRST. Signál TRST je nepovinný a většina výrobců jej nevyužívá. Programování tak probíhá pouze po pinech TDI, TDO, TCK a TMS.

Přehled signálů rozhraní JTAG:

- TDI – Test Data Input – Vstup dat do obvodu synchronizovaných signálem TCK
- TDO – Test Data Output – Výstup dat uzavírající smyčku synchronizovaných signálem TCK
- TCK – Test Clock – Vstup hodinového synchronizačního signálu, nezávislý na vnitřní frekvenci obvodů
- TMS – Test Mode Select – Aktivace programovacího režimu
- TRST – Test Reset – nepovinný signál pro asynchronní nulování

Rozhraním JTAG je možné programovat několik obvodů spojených do jednoho řetězce. Takto vytvořený sled se nazývá *Daisy-Chain*. Skupina obvodů je propojena signály TDO a TDI, kdy signál TDO vždy uzavírá smyčku z posledního programovatelného nebo testovaného obvodu zpět do rozhraní. Signály TMS a TCK je nutné přivést ke každému obvodu přímo z rozhraní JTAG. Zřetězení obvodů a jejich programování tímto způsobem lze provést jen v případě, že všechny obvody v řetězci podporují metodu programování ISP [2].



Obr. 7 Metoda pospojování Daisy-Chain

Rozhraní JTAG se většinou sdružuje s názvem Boundary-Scan. Tento průmyslový standard zavedený v roce 1990 vznikl jako hraniční testovací rozhraní cílových aplikací. Pomocí něj je tak možné testovat finální podobu návrhu DPS, ověřit plnou funkci všech obvodů a jejich vzájemné a správné propojení. Metoda komunikuje s nadřazeným systémem přes rozhraní TAP, které je totožné s komunikačními piny rozhraní JTAG. Díky tomu tak lze shrnout proces programování a testování do jedné fáze [6].

3 Rodina obvodů Spartan®-3

„Spartan®-3 je rodina programovatelných hradlových polí (FPGA) firmy Xilinx, speciálně navržených tak, aby vyhovovaly náročným aplikacím a přitom zůstala zachována jejich nízká cena a našly tak uplatnění v relativně levných obvodech spotřební elektroniky. Obvody řady Spartan®-3 tvoří osmi členou rodinu a nabízí ve svých obvodech od 50000 do pěti milionů systémových hradel. Spartan®-3 je následníkem předchozí řady obvodů Spartan-IIE a staví na jejím úspěchu a značném rozšíření. Oproti předchůdci poskytuje rozšíření v oblasti počtu I/O bank, rozšíření kapacity vnitřní paměti RAM a celkově vyšší úroveň výkonnosti včetně zdokonalení správy hodinového signálu. Tyto vlastnosti spolu s moderní výrobní technologií poskytují více funkcí a širší pásmo použitelnosti, než tomu bylo dosud. Obvody poskytují velké množství I/O standardů, které umožňují připojení většiny obvodů používaných v průmyslovém odvětví. Vzhledem k jejich nízké ceně jsou ideální pro široké spektrum spotřební elektroniky, jako jsou digitální komunikační systémy se zpracováním audio nebo video signálu.“ (citace [14], str. 3)

3.1 Architektura Spartan-3

Řada obvodů Spartan®-3 se skládá z pěti hlavních funkčních bloků:

- Konfigurovatelné logické bloky (CLBs) – obsahují Look-Up tabulky na principu RAM k vytváření logických operací a paměťové buňky, které lze využívat jako klopné obvody.
- Vstupně-výstupní bloky (IOBs) – řídí tok dat mezi vnitřní logikou a vstupně-výstupními piny. Každý I/O blok podporuje obousměrný přenos dat včetně třetího stavu. Vstupně-výstupní bloky jsou řazeny do bank, přičemž každou banku lze připojit na jeden z dvaceti šesti různých napěťových standardů. Dále I/O bloky obsahují registry DDR a obvody impedančního přizpůsobení.
- Blokovaná RAM (BlockRAM) – využívána k ukládání dat
- Bloky násobiček (Multipliers) – umožňující vynásobení dvou 18bitových čísel

- Správce hodinových signálů (DCM) – poskytuje autokalibraci, rozvod hodinového signálu včetně jeho zpoždění, násobení, dělení a úpravu fázového posuvu.

Tab. 1 Přehled obvodů rodiny Spartan®-3 a jejich vlastností [15]

Device	System Gates	Equivalent Logic Cells ⁽¹⁾	CLB Array (One CLB = Four Slices)			Distributed RAM Bits (K=1024)	Block RAM Bits (K=1024)	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs						
XC3S50 ⁽²⁾	50K	1,728	16	12	192	12K	72K	4	2	124	56
XC3S200 ⁽²⁾	200K	4,320	24	20	480	30K	216K	12	4	173	76
XC3S400 ⁽²⁾	400K	8,064	32	28	896	56K	288K	16	4	264	116
XC3S1000 ⁽²⁾	1M	17,280	48	40	1,920	120K	432K	24	4	391	175
XC3S1500	1.5M	29,952	64	52	3,328	208K	576K	32	4	487	221
XC3S2000	2M	46,080	80	64	5,120	320K	720K	40	4	565	270
XC3S4000	4M	62,208	96	72	6,912	432K	1,728K	96	4	633	300
XC3S5000	5M	74,880	104	80	8,320	520K	1,872K	104	4	633	300

3.2 Konfigurace

Konfigurační data jsou načítána do vnitřní statické CMOS buňky (CCL), která zároveň řídí veškeré funkční bloky a spojovací matice. Konfiguraci je nutné provádět po každém připojení obvodu k napájecímu zdroji. Přitom mohou být data stahována z PC, mikrokontroléru nebo častěji z některé připojené energeticky nezávislé externí paměti EEPROM nebo FLASH. Podle situace můžeme vybrat jeden z pěti nabízených módů, pomocí kterého bude obvod nakonfigurován. Jednotlivé módy se vybírají na třech vyhrazených pinech M0, M1 a M2, používaných pouze k tomu účelu, přivedením příslušné logické úrovně na každý z nich. Pro naše účely jsou nejdůležitější módy *Master Serial* a *JTAG*.

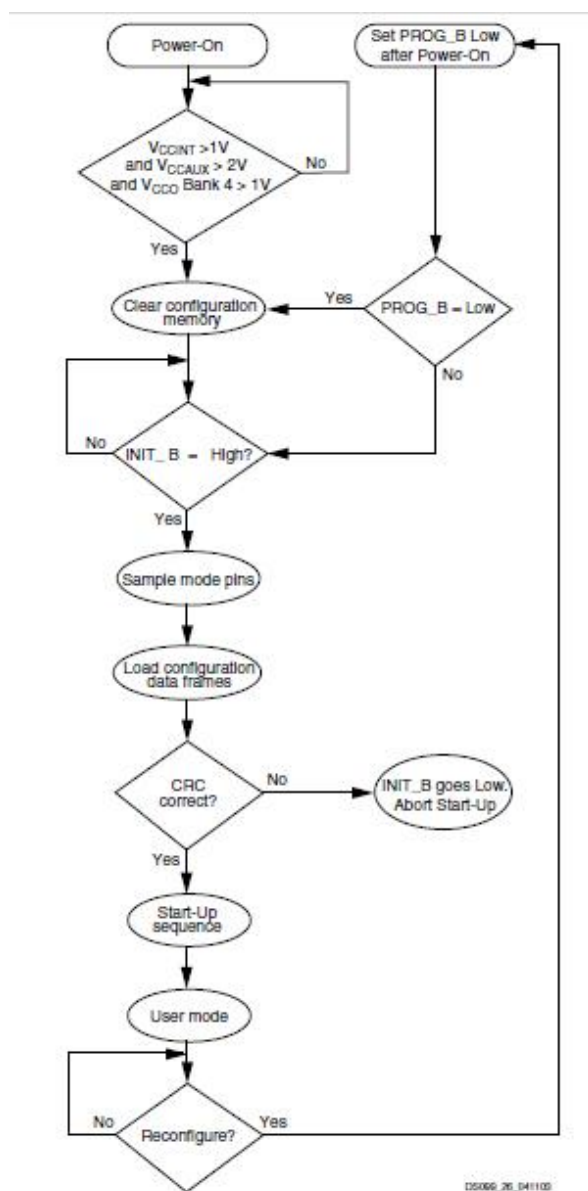
Ke konfiguraci je však zapotřebí pinů více. Každý obvod rodiny Spartan®-3 obsahuje následující konfigurační piny:

- Vyhrazené - PROG_B, DONE, HSWAP_EN, M[2:0], CCLK
- Dvouúčelové - INIT_B, CS_B, DOUT/BUSY, D[7:0], D0/DIN, RDWR_B
- Boundary-Scan – TDI, TMS, TCK, TDO

Jejich použití se odvíjí od zvolené metody a jejich názvosloví se v některých případech liší od použitého obvodu rodiny. Některé z nich jsou vyhrazené, to znamená,

že mohou být používány pouze pro proces konfigurace. Některé lze využívat dvouúčelově tak, že po procesu konfigurace mohou být používány jako I/O piny. Speciální skupinu tvoří piny Boundary-scan, které jsou dostupné po celou dobu běhu obvodu a které jsou určeny pouze k tomuto účelu.

Samotný proces konfigurace probíhá v následujících sekvencích. V první řadě je nutné, aby FPGA zaznamenalo dostupnost všech třech napájecích napětí. Dokud nejsou všechna napájecí napětí plně připravena k použití, je obvod FPGA držen v resetovacím stavu pomocí speciálních obvodů PoR tak, že drží na pinu PROG_B logickou nulu. Po ustálení všech napájecích napětí na požadované hodnotě obvod uvolní pin PROG_B a dochází k mazání dat z konfigurační paměti. Po určitém časovém prodlení po smazání paměti, se obvod inicializuje a připravuje na přijímání nových konfiguračních dat. Tento stav je signalizován logickou jedničkou na pinu INIT_B. Následně obvod potřebuje zjistit, jakým způsobem do něj budou data nahrávána. To znamená, jestli bude přenos probíhat sériově nebo paralelně a jestli bude čekat na signál CCLK z externího zdroje nebo jej bude sám generovat. K tomuto účelu slouží piny pro výběr módu M[2:0], na kterých je nastavená příslušná logická úroveň. V tomto okamžiku mohou být do obvodu načítána konfigurační data v závislosti na zvoleném konfiguračním módu. Data se odesílají do obvodu pinem D0 pro sériový přenos nebo piny D0-D7 pro paralelní přenos. Přitom se ukládají do paměťových buněk SRAM. Ještě než FPGA přejde do Start-Up sekvence a uživatelského módu, je zahájena kontrola správného a úplného přenosu v podobě kontrolních součtů v FPGA a konfiguračním BitStreamu. Pokud se součty liší, objeví se na pinu INIT_B logická nula a celý konfigurační proces je třeba opakovat. Tento proces se nazývá CRC. V případě, že je obvod správně nakonfigurován a během konfigurace nedošlo k žádné kritické chybě, je tento stav vyhodnocen na pinu DONE logickou jedničkou nebo otevřeným kolektorem.



Obr. 8 Obecný proces konfigurace [15]

3.2.1 Slave Serial mód

Konfigurační mód Slave Serial umožňuje synchronní přenos mezi obvodem FPGA a počítačem přes speciální konfigurační kabel nebo mikrokontroler, které interpretují návrh do cílového FPGA. Jak vyplývá z názvu, jedná se o sériové komunikační rozhraní, a proto FPGA přijímá konfigurační data na pinu D0. Každý bit je tedy předán s jedním hodinovým cyklem. Obvod FPGA je v tomto režimu řízen hodinovým signálem, který je nutné přivádět externě z konfiguračního zařízení na pin CCLK. Proces konfigurace je pak řízen právě tímto signálem. Pokud aplikace vyžaduje více obvodů FPGA s rozdílnou nebo stejnou konfigurací, je možné tyto obvody pospojovat a všechny postupně konfigurovat metodou *Daisy-Chain*. Všechna zřetěžená FPGA musí mít nastaven stejný konfigurační mód *Slave Serial*. Důsledkem sériového přenosu trvá celý proces nepatrně déle, než u následující metody.

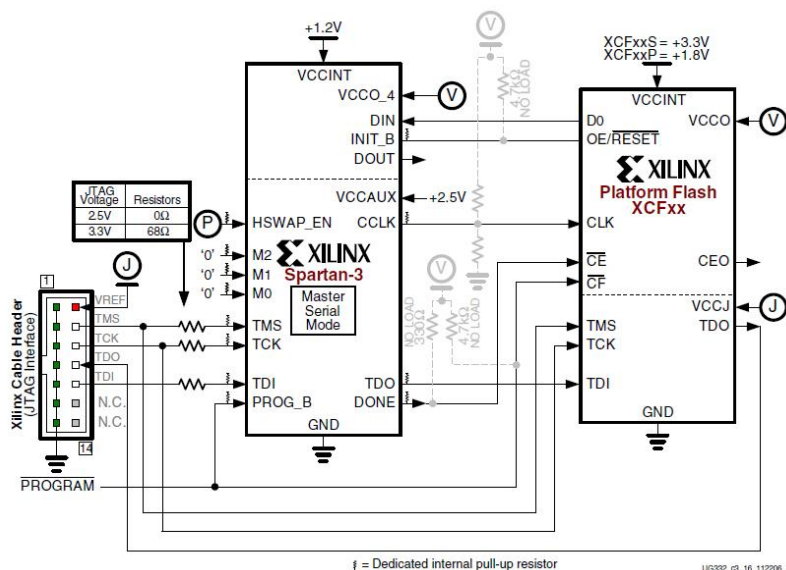
3.2.2 Slave Parallel mód

Režim Slave Parallel je obdobná metoda předchozí s tím rozdílem, že konfigurační data jsou do obvodu přenášena paralelně. Konfigurace probíhá po osmi dvouúčelových datových pinech D0-D7, které lze po konfiguraci využívat jako I/O piny. Smysl této metody spočívá ve zvýšení rychlosti oproti předchozí metodě při použití stejného hodinového signálu na pinu CCLK, za cenu využívání většího množství vodičů, složitějšího návrhu a potřeby využívat přizpůsobený konfigurační kabel.

3.2.3 Master Serial mód

Režim Master Serial je sériové komunikační rozhraní, podobné metodě Slave serial s tím rozdílem, že FPGA samo začne generovat hodinový signál na pinu CCLK, kterým je řízen celý konfigurační proces. FPGA si tak řídí proces konfigurace, podle své potřeby. Na začátku procesu je přenos řízen defaultně nastaveným kmitočtem 6 MHz. V případě potřeby jej lze navýšit až na hodnotu 50 MHz. Tento režim je využíván hlavně při stahování konfigurace z některé připojené externí Platform FLASH paměti [15].

Návrhář tak ušetří čas, který by ztratil vhodným výběrem krystalového oscilátoru s takovým taktem, který by vyhovoval jak samotnému FPGA, tak paměti Platform FLASH. Master Serial mód se nastavuje kombinací <0:0:0> na pinech M[2:0].



Obr. 9 Konfigurace v režimu Master Serial [15]

3.2.4 Master Parallel (SelectMAP) mód

V tomto režimu FPGA generuje během konfigurace hodinový signál a samotný přenos dat probíhá po osmi vodičích. Rozšířená FPGA této rodiny, jako jsou Spartan[®]3A/3E tento mód nepodporují a je u nich nahrazen módem BPI, v kterém je možné konfigurovat FPGA z NOR Flash PROM paměti [15].

3.2.5 Boundary-Scan (JTAG) mód

V tomto režimu jsou pro tuto konfiguraci u FPGA vyhrazeny speciální piny. Konfigurace probíhá přes standardizované rozhraní IEEE 1149.1 nebo IEEE 1532 pomocí čtyř vodičového rozhraní. Rozhraní JTAG přebírá prioritu, protože je vždy dostupné nezávisle na nastaveném módu na konfiguračních pinech M0, M1 a M2. V případě použití tohoto módu jsou zakázány všechny módy ostatní. Rozhraním JTAG je možné konfigurovat všechny obvody spojené do *Daisy-Chain*. To znamená, že je možné v návrhovém prostředí vybrat, jestli budeme konfigurovat samotné FPGA nebo Platform Flash [15]. Tento mód se nastavuje kombinací <1:0:1> na pinech M[2:0].

4 Stavebnice DOMINO

Stavebnice DOMINO je výukový systém středních a vysokých škol, založený na praktickém využívání znalostí a dovedností z oboru elektrických zařízení. Stavebnice je tvořena jednoduchými, ale i náročnými moduly, a tak je možné vybrat si z širokého spektra nabízených obvodů. Majoritní část vychází z oblasti elektrotechniky, elektroniky, digitální, řídicí a regulační techniky. Výhoda stavebnice spočívá v praktickém ověření reálného chování obvodů v praxi, s reálnými parametry, což v simulačních softwarových programech není většinou vůbec možné [8].

Na vývoj a rozšiřování je zaměřena firma RC-didactic, která se specializuje na výše uvedené obory. Její výukový systém nazývaný RC2000 - μ LAB je rozšířen po školských institucích nejen v České republice, ale i v Německu, Rakousku, Rumunsku, Belgii a Islandu. Firma RC byla založena v roce 1990 a zabývá se vývojem aplikací šitých přesně podle potřeb koncového zákazníka. V současné době vyrábí velké množství standardních modulů, které jsou navzájem plně kompatibilní. I přes to, že firma RC-didactic v současnosti pojmenovává svůj systém jako RC2000 - μ LAB, není toto značení příliš používané a stále se častěji používá zažitý termín „Domino“ [8].

Standardně vyráběné moduly firmou RC-didactic:

- Generátor funkcí
- Programovatelný zdroj napětí
- Voltmetr
- Operační zesilovač
- Tranzistor bipolární
- Budič
- Modul prvků
- Odporová dekáda 1
- Odporová dekáda 2
- Kapacitní dekáda
- Kapacitní sestava
- Cívka
- Univerzální číslicový modul
- Logická sonda

- Volič logických stavů
- Časová základna
- Univerzální modul 40
- Soustava motor – generátor
- PID regulátor
- Zpožďovací členy
- Rozdílový člen
- Měřicí jednotka ADDU
- Modul třífázového systému

Seznam byl převzat přímo z internetových stránek výrobce [8], kde je dostupný i podrobnější popis všech modulů.

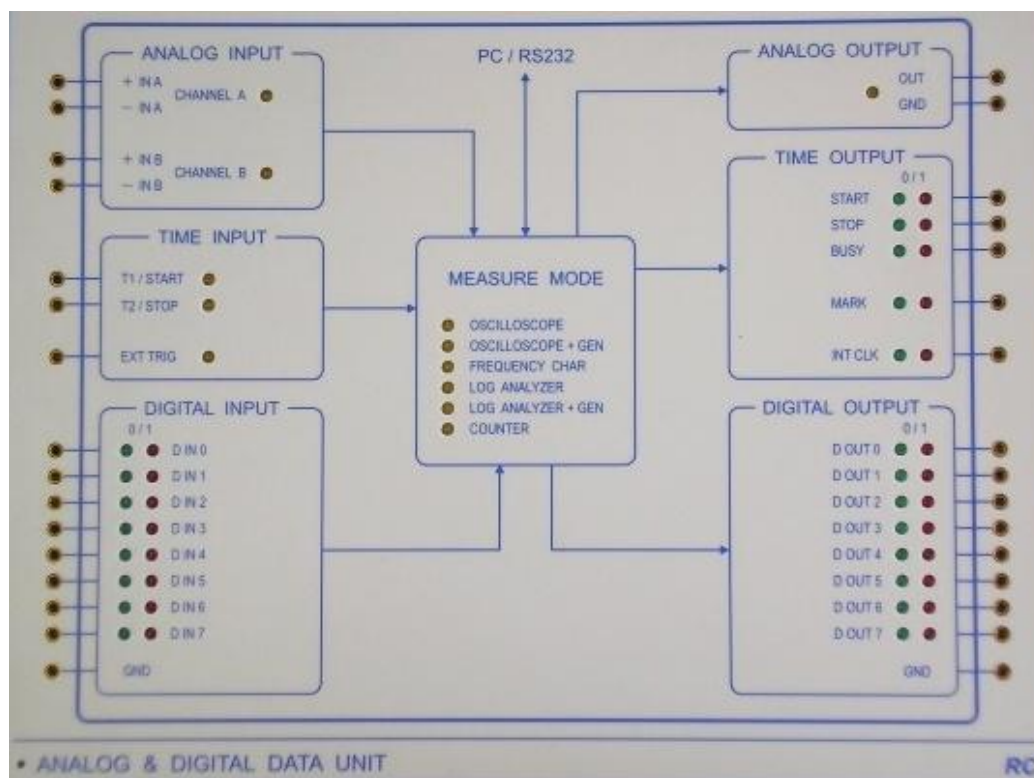
Jejich vlnkovou lodí je v současné době kompletní měřicí jednotka ADDU. Tato jednotka se připojuje k počítači s ovládacím softwarem navrženým přímo pro systém RC2000 . Jednotka obsahuje sedm reálných modulů [8].

Měřicí módy *jednotky ADDU*:

- Dvoukanálový osciloskop
- Jednakanálový osciloskop a analogový generátor
- Měřič voltampérových charakteristik
- Měřič amplitudových a fázových frekvenčních charakteristik
- Logický analyzátor
- Logický analyzátor a logický generátor
- Dvoukanálový čítač

Studenti tak mohou sledovat chování skutečných, ale velmi kvalitních obvodů, z kterých je stavebnice sestavena, přímo na obrazovce PC pomocí propracovaného grafického prostředí.

Na Fakultě mechatroniky a mezipředmětových studií Technické univerzity v Liberci jsou obvody této firmy vybaveny dvě laboratoře, které slouží studentům v bakalářském i magisterském studijním programu.



Obr. 10 Měřicí jednotka ADDU firmy RC-didactic [8]

Pro správnou funkci a intuitivní používání uživatelů se předpokládá jednotný systém s několika kritérii a požadavky.

Nejdůležitější konstrukční body stavebnice DOMINO:

- Všechny moduly jsou napájeny ze zdroje 5 V.
- Všechny moduly musí obsahovat zdrojovou ochranu
- Vstup pro +5 V je vždy vlevo nahoře GND je vždy vpravo nahoře
- Vstupy jsou umístěny vždy na levé straně
- Výstupy jsou umístěny vždy na pravé straně
- Připojení modulu ke zdroji napětí je indikováno červenou/zelenou LED v levém dolním rohu.

5 Praktická část

Tato kapitola pojednává o tvorbě a vývoji programovatelného modulu, pro stavebnici Domino. Tento modul bude obsahovat obvody pro komunikaci s uživatelem a bude plně kompatibilní k ostatním stávajícím částím stavebnicového systému. Ačkoliv se v praxi obvykle setkáme s vývojovými moduly obsahující konkrétní typ programovatelného obvodu se všemi jeho periferiemi na jedné desce plošného spoje, byla v této práci zvolena trochu jiná koncepce, kterou si v následujících řádcích přiblížíme.

Celý modul se skládá ze dvou částí. První nazýváme *primární*, *univerzální* nebo *statickou*. Druhou část budeme označovat jako *sekundární* nebo *výměnnou*. Primární část vytváří periferie, které jsou vždy potřebné při návrhu nových aplikací. Proto se stává statickou a do jisté míry univerzální jednotkou. Sekundární část je závislá na části primární, ale především na volbě uživatele. Ten musí vybrat obvod, který implementuje do svého návrhu primární desky. Potom definuje signály, potřebné k jeho funkci a využije jejich existence na části primární. Takto vytvořená koncepce usnadňuje práci návrháři, který se zabývá pouze výběrem cílového obvodu, protože potřebné obvody pro správný chod zařízení jsou zachovány na statické části. Je tak šetřen čas návrháře i jeho nákladů.

5.1 Primární část

Primární část tvoří prioritní položku celého projektu. Na ní jsou vytvořeny nejdůležitější obvody, které návrhář vždy využije při tvorbě nové aplikace. Samozřejmostí a základem vývoje jsou napájecí zdroje. Výstupní úrovně odpovídají hodnotám, nejčastěji využívaných v programovatelných logických obvodech. Navrženy jsou zde i komunikační rozhraní zajišťující interakci mezi uživatelem, návrhovým prostředím a obvody sekundární části. Při vývoji byl brán zřetel nejen na správné propojení obvodů, ale i na výhodnou koncepci desky plošného spoje.

5.1.1 Stabilizace napětí

U stavebnic RC-Domino je používán jednotný systém napájení pro všechny moduly. Tím je zajištěna jeho kompletnost a potřeba využívat pouze jednoho

napájecího zdroje s výstupním napětím 5 V. Samozřejmě musí být napájecí zdroj dostatečně proudově dimenzován. Pokud by chtěl návrhář vytvořit na desce potenciál jiný, musí použít napěťový konvertor, který převede tuto hodnotu na hodnotu požadovanou.

Moderní programovatelné logické obvody využívají v současné době nejčastěji napájecí napětí v hodnotách 3,3 V, 2,5 V a 1,8 V. V praxi se můžeme setkat se dvěma způsoby napájení. První vychází z použití *spínaných regulátorů* a druhá z *lineárních zdrojů*. V naší úloze je kladen důraz především na nízkou spotřebu elektrické energie, protože ta přímo ovlivňuje počet připojitelných modulů do stavebnice současně. Z tohoto důvodu jsme se zaměřili na spínané regulátory, jejichž ztrátový výkon může dosahovat až o několik desítek procent nižších hodnot v porovnání s lineárními regulátory. Proto se spínané regulátory jeví v těchto směrech jako nejvhodnější řešení.

Výše zmíněné hodnoty jsou zajištěny obvody řady TPS6200X, které dosahují účinnosti až 95% v širokém rozsahu odebíraného výstupního proudu. Tento parametr platí za předpokladu, že jsou dodrženy parametry externích prvků, řazených před a za obvodem. Nejdůležitějšími v tomto směru jsou vstupní a výstupní blokovací kondenzátory, především jejich kapacita a ztrátový sériový odpor (ESR), který určuje kvalitu kondenzátoru. Tyto parametry mají zásadní vliv na šum, účinnost a stabilitu regulátoru. Z tohoto důvodu je vhodné řídit se hodnotami doporučenými výrobcem. Po zvážení těchto faktů byla ke každému regulátoru osazena dvojice kvalitních blokovacích kondenzátorů s jmenovitými hodnotami 47 μF /20 V a velmi nízkým parametrem ESR. Proudová zatížitelnost každého z regulátorů je 600 mA, což se při současných technologiích výroby integrovaných programovatelných obvodů jeví, jako dostatečná hodnota.

5.1.2 Zdrojová ochrana

Zdrojová ochrana je nezbytnou součástí všech stavebnicových komponent a je zařazena hned za napájecí svorky modulu. Tímto způsobem vyváří napájecí napětí pro všechny další obvody. Její schopnost spočívá v odpojení výstupu, v případě přetížení nebo změny polarity napětí na vstupních svorkách. To je pro studentské účely obzvlášť důležité. Zdrojová ochrana je zařazena do návrhu jako standardní hotový modul, dodaný firmou RC-didactic, a proto není její podrobné schéma zapojení k dispozici. Výstup zdrojové ochrany se pohybuje v rozmezí 4,5 – 5,5 V.

5.1.3 Komunikační rozhraní

Komunikačním rozhraním budeme rozumět všechny obvody, které zajišťují přenos informace mezi modulem a uživatelem, nebo modulem a návrhovým prostředím počítače a umožňují tak jeho řízení. Protože profesionální vývojové desky poskytují množství rozhraní různých typů, bylo využito alespoň některých z nich. Samozřejmě s ohledem na možnosti stavebnice.

Komunikační rozhraní pro primární část:

- Signálové dutinky
- RJ45, USB, 8kolíková lišta
- Barevné LED
- Posuvné přepínače
- Propojovací konektory

Signálové dutinky lze považovat za základní komunikační rozhraní s dalšími stavebnicovými systémy Domino. Na primární část bylo umístěno celkem 43 signálových dutinek. Tři z nich jsou striktně využívány pro napájení modulu. Ostatní lze využít pro připojení vstupně-výstupních obvodů. Protože se jedná o speciální zlacené rozhraní, zajišťující velmi kvalitní přenos informace, patří k poměrně drahé záležitosti. Tomuto faktu nepřispívá ani to, že jsou v současné době produkovány pouze jedním výrobcem. Tím se opět vracíme k výhodě rozložení modulu na dvě části a jeho ekonomickým parametrům.

RJ45 a USB lze v současné době považovat za standardní rozhraní elektronických zařízení. Ještě před návrhem těchto konektorů bylo nutné ověřit, že budou mít praktické využití ve stavebnicovém systému. Na základě školních poznatků bylo zjištěno, že konektor RJ45 je využíván ve spojení s programovatelnými obvody firmy Lattice. Některé z těchto obvodů jsou totiž konfigurovány kabelem ispDOWNLOAD Cable, který je z jedné strany připojen do portu počítače a z druhé strany k programovatelnému obvodu právě přes konektor RJ45. Zároveň je v některých stavebnicových modulech využíván jako 8pinový univerzální konektor a slouží k jednoduchému propojení s ostatními segmenty.

Osmi pinová řadová lišta se řadí mezi poslední prvek této skupiny. Možnosti jejího využití je poměrně mnoho a je jen na návrháři, kterou z možností si zvolí. V našem případě bude tento konektor využíván pro připojení konfiguračního kabelu firmy Xilinx.

Nízkopříkonové LED2, LED3 a LED4 v barevném sledu zelená, oranžová a červená slouží jako vizuální zpětná vazba pro uživatele. Těmito signalizačními LED může návrhář indikovat činnost napěťových konvertorů nebo indikovat úspěšné naprogramování integrovaného obvodu, poskytuje-li na to prostředky.

Čtyři posuvné přepínače v jednom pouzdru S1, zajišťují návrháři opět volnou ruku. Možností jak je využít je nesčetně mnoho, protože každý obvod má svá specifika a požadavky. Pro inspiraci mohu uvést, že je lze propojit s výstupy napěťových měničů a mít tak možnost spínat je v libovolném pořadí. V našem případě budou přivedeny na konfigurační piny integrovaného obvodu a budou určovat konfigurační mód. Tato problematika bude popsána podrobněji v článku 5.5.2.

Propojovací konektory tvoří rozhraní mezi primární a sekundární částí. Rozhraní tvoří standardní řadové zlacené konektory, někdy označované jako „pinheader“. Konektory jsou běžně dostupné na trhu a jejich náklady jsou minimální. Na sekundární části jsou vytvořeny protikusy těchto konektorů a tím je zajištěno kvalitní odnímatelné propojení.

5.2 Obvodové schéma primární části

Schéma zapojení primární části tvoří symbolické elektrické propojení, mezi schematickými značkami obvodů, které jsou zařazeny do návrhu. Vlastní obvodové schéma vychází z vlastních úvah a doporučení výrobce propojovaného obvodu. Protože má být primární část skutečně univerzálním segmentem, bylo nutné propojení všech součástek pečlivě zvážit a dodržovat stále podmínku univerzálnosti pro jakýkoliv obvod. Proto bylo schéma voleno tak, aby měl návrhář sekundární části volnou ruku a mohl všechny součástky a obvody používat podle své potřeby. Vlastní propojení primární a sekundární části je realizováno pomocí osmdesáti pinů rozdělených v pěti segmentech. Tyto konektory jsou označeny symboly:

- JP1- Zde jsou připojeny výstupy napájecích zdrojů včetně 5 V a GND v sestupném pořadí. Zároveň sem jsou připojeny všechny póly posuvných přepínačů a anody signalizačních LED1, LED2 a LED3 bez jakýchkoliv předřadných rezistorů. Katody jsou napevno připojeny k potenciálu GND.
- JP2, JP3, JP4- K těmto konektorům jsou připojeny skupiny signálových dutinek, označených symboly G1 – G6. Ke konektorům JP2, JP3 a JP4 jsou vždy pro přehlednost připojeny za sebou celé osmice, případně čtveřice, signálových dutinek.
- JP5
Na tento konektor je všemi piny připojená skupina konektorů RJ45, USB-B a 8pinová lišta. Konektory ve schématu nesou označení CON1, CON2 a CON3. Všechny piny těchto konektorů je tak možné využívat nezávisle, ačkoli se nepředpokládá, že by se návrhář sekundární části významně odchyloval od používaných standardů.

5.3 Deska plošných spojů primární části

Deska plošných spojů tvoří fyzickou část prakticky navržené aplikace, na které jsou všechny obvody skutečně umístěny a vodivě propojeny. Vzhledem ke konstrukci celého modulu bylo nutné volit většinu součástek typu SMT. V této části se budeme zabývat nejdůležitějšími konstrukčními prvky, které bylo nutné zohledňovat.

5.3.1 Rozměr desky

Prvním bodem v této kapitole je samotný rozměr výsledné desky plošných spojů, který vychází z rozměrů použité konstrukční krabičky. V současnosti je pro stavebnice Domino využíváno šesti konstrukčních krabiček. Nejčastěji se však setkáme pouze s dvěma. První rozměr $100 \times 100 \times 40$ mm se používá pro složitější a náročnější moduly a druhá možnost s rozměry $100 \times 50 \times 40$ mm se používá naopak pro moduly jednodušší, které nevyžadují větší prostor. Ve všech případech musí být deska plošného

spoje na každé straně minimálně kratší o 3 mm, než je vnější rozměr konstrukční krabičky. Tím se dostáváme k samotnému rozměru naší navrhované desky. Protože se snažíme zajistit pro návrháře co největší prostor, zvolili jsme větší konstrukční krabičku s maximálním rozměrem desky. To znamená 94×94 mm.

5.3.2 Rozmístění součástek

Rozmístění součástek tvoří základ celého návrhu desky plošného spoje. Součástky je vhodné rozmísťovat tak, aby piny obvodů, které jsou navzájem propojeny, umožňovaly svojí polohou vytvořit co nejjednodušší a nejkratší vedení spoje. Nedodržením tohoto doporučení se lehce dostaneme do situace, kdy nebude možné některé z pinů propojit vůbec nebo zbytečně komplikovaným způsobem. Zároveň je zde několik prvků, které je nutné uspořádat stejně, jako je tomu u ostatních modulů stavebnice Domino. Přitom byl brán zřetel, aby všechny obvody na této desce byly osazeny ze strany TOP. Tím je zajištěn větší prostor pro návrháře sekundární desky plošných spojů.

První uspořádané součástky tvoří komunikační signálové dutinky, jejichž pozice vychází z ostatních modulů Domino. Nedodržením těchto parametrů bychom se vystavovali riziku, že náš modul nepůjde propojit s některými I/O obvody. Navíc by byla narušena i vizuální podoba celku, na kterou si velké procento uživatelů zvyklo během dlouhodobého používání stavebnice. Z tohoto důvodu se považuje za standard, umísťovat signálové dutinky 10 mm od sebe ve vodorovném směru a 5 mm ve svislém směru. Přitom pozice první řady dutinek musí být 5 mm od levého nebo pravého okraje konstrukční krabičky. Speciálním případem jsou dutinky pro napájení. Ty jsou umístěny 5 mm od levého okraje pro potenciál VCC a 5 mm od pravého okraje pro potenciál GND. Společně jsou umístěny 7,5 mm od horního okraje modulu.

Dalším obvodem, který je využíván ve všech stavebnicových prvcích je indikační dioda LED1 červené nebo zelené barvy. Její pozice je přesně daná a musí se nacházet v bodě $LED1 = [5; 7,5]$ mm od levého dolního okraje modulu.

Umístění ostatních obvodů už nesouvisí s požadavky na stavebnicový systém, ale zůstalo pouze na nás, jak součástky rozmístíme. Důležité v tomto směru bylo už jen rozmístění zlacených propojovacích konektorů JP1 – JP5. Ty jsme se snažili uspořádat

tak, aby mezi nimi vznikl co největší prostor pro manipulaci s obvodem na sekundární části. Podrobné rozkreslení těchto konektorů je uvedeno v příloze.

5.4 Sekundární část

Sekundární část tvoří druhou podstatnou záležitost ve vývoji aplikace. Jejím úkolem je zajistit propojení integrovaného obvodu na ní umístěném s primární částí. V této úloze je nejen řešeno propojení se stávající primární jednotkou, osazení konfigurovatelného obvodu, ale je zde zdůvodněna i nutnost návrhu dalších součástek, které jsou nezbytné pro správnou funkci aplikace.

5.4.1 Konfigurovatelný obvod

Zkušebním obvodem vyměnitelné části je FPGA rodiny SPARTAN[®]-3 typu XC3S50 ve 100pinovém pouzdru VQ100. Jedná se o moderní a konfigurovatelný logický obvod výrobce Xilinx. Pro použití ve stavebnici Domino byl vybrán nejmenší obvod této rodiny z důvodu dostačujících parametrů. Při výběru obvodu byl tedy brán zřetel na velikosti vnitřní logiky i vnitřní paměti, počet I/O pinů a nízkou spotřebu. Obvody řady Spartan[®]-3 jsou zároveň hojně využívány v průmyslové sféře, proto je vhodné, aby se student s těmito obvody seznámil a vyzkoušel si jejich návrh. Samozřejmostí je plná podpora návrhového prostředí Xilinx ISE, který je rozšířený ve výukovém systému Technické univerzity v Liberci. Přitom je volně dostupný na internetových stránkách výrobce v omezené verzi.

5.4.2 Paměťová jednotka

Z důvodu uchování informace po odpojení přípravku od napájecího zdroje, jsou pro FPGA vyvíjeny speciální konfigurační paměti. Konkrétně pro obvody FPGA řady Spartan[®]-3 jsou firmou Xilinx doporučovány konfigurační paměti umožňující sériový nebo paralelní přenos dat s označením Platform Flash XCFXXS nebo Platform Flash XCFXXP. V tomto případě se jedná o rychlé paměti Flash PROM, kde písmena XX v označení nesou informaci o velikosti vnitřní konfigurovatelné logiky. Výrobce v katalogovém listu přesně uvádí, jakou paměť je vhodné použít pro dané FPGA tak,

aby byla paměť co nejlépe využita a vyhovovala navržené aplikaci. Ještě je nutné podotknout, že všechny tyto paměti podporují programování typu ISP. Protože bylo pro návrh využito nejmenšího obvodu rodiny Spartan[®]-3, byla do návrhu zařazena konfigurační paměť s nejmenším možným paměťovým prostorem. Z hlediska návrhu se také jevílo výhodnější využívat pouze paměť se sériovým přenosem dat. Z tohoto důvodu byla vybrána paměť s označením XCF01S, která je schopná uchovávat 1 Mb konfiguračních dat. Všechny sériové paměti této řady mohou konfigurovat FPGA módy Master Seriál nebo Slave Seriál. Samotnou paměť je nutné konfigurovat pouze přes rozhraní JTAG. Paměť je připojena tak, aby po dokončení konfigurace FPGA obvodu přešla automaticky do *Shutdown* módu a její spotřeba klesla na minimum. Výrobce uvádí, že sériové i paralelní paměti této řady jsou schopny vydržet až 20000 mazacích a programovacích cyklů, což je i pro studenty na cvičeních dostatečný počet.

5.4.3 Stabilizace napětí

Obvody Spartan[®]-3 jsou vyráběny 90 nm technologií a od toho se také odvíjí napájecí napětí VCCINT pro jádro obvodu. Z důvodu neexistence tohoto potenciálu na primární části, bylo nutné do návrhu zařadit ještě jeden napěťový konvertor. Z důvodu vyhovujících parametrů byl použit spínaný regulátor ze stejné řady, jako regulátory na primární části. Tímto způsobem je tak zajištěna stabilní hodnota 1,2 V.

5.4.4 Zdroj hodinového signálu

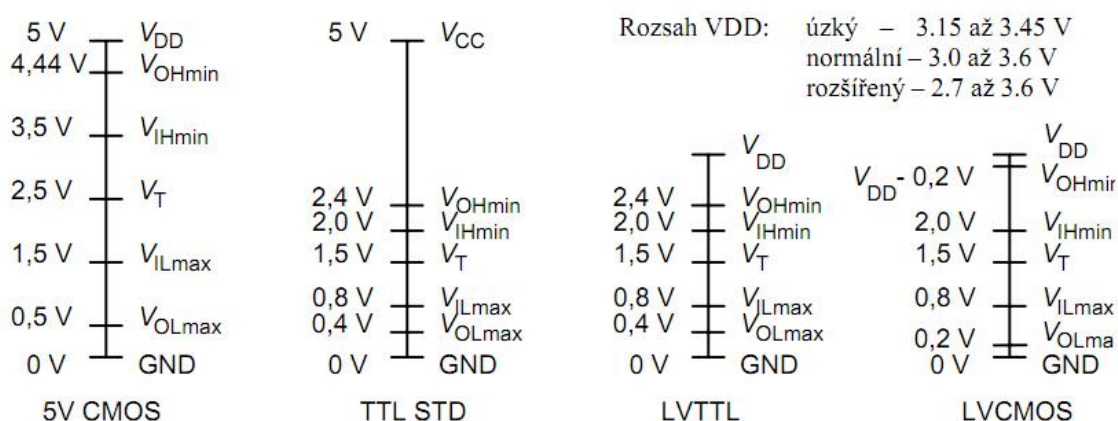
Každý obvod rodiny Spartan[®]-3 má osm vyhrazených pinů, určených pro rozvod hodinového signálu uvnitř celého FPGA. Tyto piny se označují jako GCLK0 – GCLK7. S hodnotou kmitočtu také souvisí používání fázových závěsů. Aby bylo možné tyto obvody využívat, měl by být pracovní hodinový signál kmitočet alespoň 24 MHz. Signály, které by chtěl uživatel upravovat a testovat by se měly nacházet v rozsahu 18 MHz až 280 MHz. V současnosti neexistuje žádný modul ke stavebnici Domino, který by dokázal takový signál generovat. Proto nebylo třeba zvažovat použití těchto obvodů a mohl být využit libovolný kmitočet ze širokého spektra. V době návrhu byl zvolen krystalový oscilátor CMOS řady SG-710 s frekvencí 20 MHz, napájený

3,3 V logikou. Jeho výstup je tak přímo přiveden na globální rozvod hodin přes pin GCLK2.

5.4.5 Převodník úrovní

Jak již bylo řečeno v kapitole 5.1.1, všechny moduly stavebnice musí být napájeny 5 V logikou. Tento fakt je třeba si uvědomit, protože u obvodů řady Sparan[®]-3 žádný I/O standard neumožňuje přímou spolupráci s obvody TTL nebo CMOS. Z toho pro nás vyplývá, že použité FPGA není schopné zpracovávat signály stavebnicových modulů Domino. Z tohoto důvodu je nutné osadit přizpůsobovací článek mezi piny FPGA a signálové dutinky primární části. Protože se jedná o poměrně velké množství datových linek, je vhodné použít specializovaný integrovaný obvod určený k tomuto účelu. Jako nejvhodnější se jevil obvod SN74LVC8T245. Jedná se o univerzální 8bitový převodník napětových úrovní, který umožňuje obousměrný převod mezi některými hodnotami 1,8 V, 2,5 V, 3,3 V a 5 V.

Převodník tohoto typu dokáže zpracovávat na jednom portu signály obvodů napájených 5 V logikou ať už typu TTL nebo CMOS a na druhém portu obvody typu LVTTL nebo LVCMOS. Ty mezi sebou dokáže vzájemně převádět. Uvnitř obvodu nám tak přizpůsobí minimální a maximální úrovně pro logickou jedničku i nulu mezi obvody Domino (TTL/CMOS) a FPGA (LVTTL/LVCMOS).



Obr. 11 Rozhodovací úrovně technologií CMOS, TTL, LVTTL, LVCMOS [3]

Protože I/O banky FPGA pracují se standardem LVCMOS33/LVTTL33 a Obvody Domino s TTL nebo CMOS, musí být jeden port převodníku napájen

3,3 V logikou a druhý port 5 V logikou. Výhoda této řady převodníků spočívá ve schopnosti pracovat s napájecím napětím v dostatečné toleranci. Pro aplikaci to znamená, že není nutné použít další stabilizační prvek pro 5 V a lze jej napájet přímo z výstupu zdrojové ochrany s výstupem 4,5 – 5,5 V.

5.5 Obvodové schéma sekundární části

Obvodové schéma sekundární části je opět navrženo z dílčích úvah a z doporučení výrobců použitých obvodů. Protože je sekundární část přímo připojena k primární, musela být řešena otázka jejich návaznosti. V případě nesprávného připojení byt' jediného signálu na propojovací konektory by mohlo dojít ke zkratu a ke zničení některého obvodu. Proto byly propojovací konektory pojmenovány stejně, jako propojovací konektory na části primární. Uživatel tak lépe porozumí skutečnému propojení a rozložení signálů a minimalizuje vznik nežádoucích stavů.

5.5.1 Napájení FPGA

Celý obvod je napájen třemi separátními napájecími zdroji VCCINT, VCCAUX a VCCO. Před přivedením výstupů regulátorů na napájecí piny FPGA, je průběh každého napětí vyhlazen sadou pěti blokovacích kondenzátorů řazených za sebou v sestupném pořadí, s jmenovitými hodnotami 10 μ F, 100 nF, 100 nF, 330 pF a 330 pF. Tyto kondenzátory slouží jako krátkodobé zdroje energie během případného poklesu napětí výstupních zdrojů. Tím se snižují především šumové parametry výstupních napětí, na které jsou FPGA poměrně citlivé.

VCCINT využívané pro jádro obvodu s logickými bloky vychází z 90 nm technologie výroby a je uvažováno 1,2 V. Uvažované pouzdro obsahuje 4 takto značené piny a všechny musí být mezi sebou navzájem propojeny a společně připojeny k napájecímu zdroji.

VCCAUX slouží hlavně k napájení různých pomocných obvodů. Jsou jimi rozhraní JTAG, všechny vyhrazené konfigurační piny a fázové závěsy. Dané pouzdro obsahuje 4 takto značené piny a všechny musí být mezi sebou rovněž propojeny a přivedeny na napájecí zdroj. Hodnota pomocného napětí bývá zpravidla 2,5 V, ale

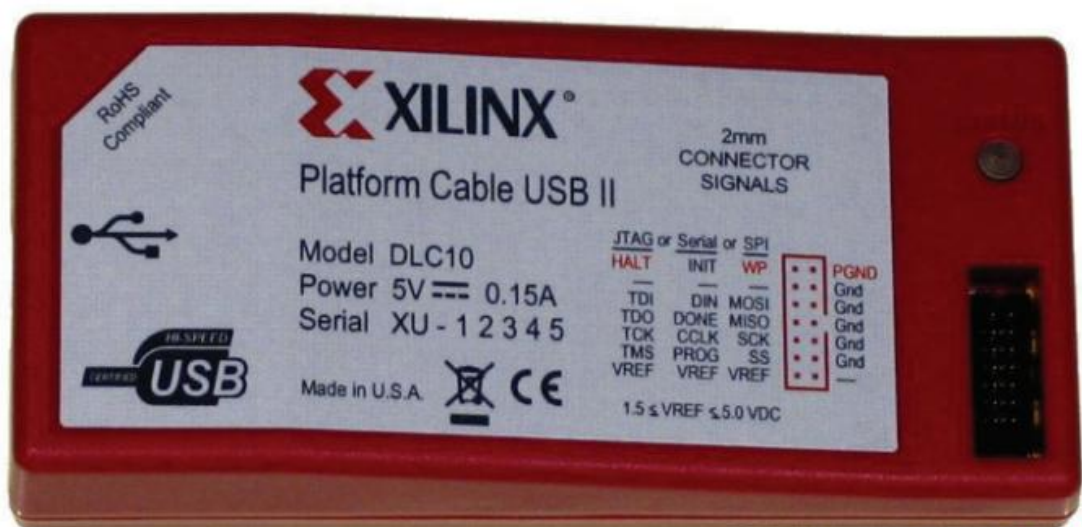
v případě přizpůsobení může být použito i 3,3 V. Pro naše účely je však výhodnější využívat první možnost, protože máme tento potenciál již vytvořený na primární části.

VCCO slouží pro napájení I/O bank. Hodnotu je možné volit v rozsahu od 1,2 V do 3,3 V. V našem případě jsme zvolili hodnotu 3,3 V pro všechny banky, protože tuto hodnotu máme opět vytvořenou na primární části.

GND složí k propojení celé struktury se zemnicím vodičem. Pouzdro obsahuje 10 takových pinů, které je nutné mezi sebou propojit.

5.5.2 Konfigurace a volba módu

Při návrhu jsme předpokládali, že k procesu konfigurace bude použit speciální kabel firmy Xilinx s označením Platform Cable USB II, případně starší předchůdce Platform Cable USB. Jeho úkolem je interpretace návrhu z počítače do obvodů FPGA nebo externí paměti. Konfigurační kabel se tak v našem případě z jedné strany připojí do USB portu počítače a z druhé strany na komunikační piny JTAG. Toto rozhraní bylo přivedeno z konfigurovatelných obvodů sekundární části, přes konektory JP5 až na standardní 8pinovou lištu s označením CON3 primární části. Odtud už je možné propojení s konfiguračním kabelem. Řazení těchto komunikačních pinů bylo navrženo tak, aby jejich připojení do konektoru CON3, bylo co nejjednodušší, bez zbytečného křížení datových vodičů. Přesná pozice jednotlivých vodičů je podrobně zakreslena v příloze.



DS593_01_021408

Obr. 12 Konfigurační kabel Platform Cable USB II firmy Xilinx [12]

Protože máme u obvodu FPGA osazenou konfigurační paměť Platform Flash, je vhodné mít možnost přepínat stavy na konfiguračních pinech M[2:0]. Důvod je zřejmý. Pokud budeme mít na těchto pinech nastaven konfigurační mód *JTAG*, je možné tímto způsobem konfigurovat jak Platform Flash, tak i FPGA z návrhového prostředí. V případě, že je mód přepnut na *Master Serial*, probíhá konfigurace pouze z paměti způsobem, popsáním v článku 3.2.3. V této chvíli bylo nutné zajistit co nejjednodušší přepínání těchto stavů na pinech M[2:0]. Konfigurační mód se nastavuje přivedením logické úrovně na každý z těchto pinů a výsledné slovo potom určí mód konfigurace. Důležité je zmínit, že každý konfigurační pin má na čipu integrovaný pull-up rezistor, připojený interně k napájecímu napětí VCCAUX. Tím je zajištěno, že pokud zůstane pin odpojen, nemůže nastat případ plovoucího stavu, ale vždy je dotažen automaticky k logické jedničce. Toho bylo využito i při výběru konfiguračního módu. Pro jednoduché a přehledné ovládání jsou jednotlivé piny M2, M1 a M0 propojeny se skupinou posuvných přepínačů primární části. Protilehlé piny byly přitom spojeny s potenciálem GND. Tím je zajištěno, že pokud se spínač nachází ve stavu ON, je vodič spojen s potenciálem GND a na příslušném pinu je jeho logická úroveň nula. Pokud je spínač přepnut do stavu OFF, nechová se příslušný pin, jako kdyby byl odpojen, ale na jeho vstupu se objeví logická jednička. *Master Serial* mód se nastaví kombinací M[2:0]=<0:0:0> a *JTAG* mód kombinací M[2:0]=<1:0:1>.

5.5.3 Propojení FPGA a paměťového prvku

Obvod FPGA je připojen k paměti několika vodiči, pomocí kterých je řízen přenos dat během konfigurace. Protože v našem případě je využíván konfigurační mód *Master Serial*, byl obvod FPGA a paměť propojeny navzájem podle výrobcem doporučeného schématu na obr. 9. S obecným procesem konfigurace FPGA jsme se již seznámili a nyní si jej objasníme s propojenou s externí pamětí, aby byl lépe vysvětlen způsob propojení.

Tab. 2 Propojení FPGA a paměťového prvku

FPGA	PROM	Popis
DIN	D0	Signál pro sériový přenos dat. Jeden byt za jeden hodinový cyklus CCLK.
CCLK	CLK	Hodinový signál generovaný obvodem FPGA pro paměť během konfigurace
INIT_B	OE/RST	Resetování paměti během inicializace FPGA
DONE	CE	Uvedení paměti do Standby módu po konfiguraci
PROG_B	CF	Reset. Možnost nové konfigurace bez vypnutí napájení.

Externí pull-up rezistor připojený mezi piny CE paměti a pin DONE obvodu FPGA s hodnotou 330 Ω se používá k povolení Standby módu externí paměti a tím je její proudový odběr omezen na minimum po skončení procesu konfigurace. Zároveň je tento rezistor implementován v návrhu, jako předřadný rezistor pro signalizační LED. Signalizační LED zelené barvy informuje uživatele o zápisu dat v FPGA. Dioda se rozsvítí poté, co je FPGA nakonfigurováno a svítí po celou dobu jeho běhu. Signálku LED nebylo třeba vytvářet na sekundární části, protože ji máme vytvořenou na části primární.

5.5.4 Možnosti převodníků úrovní

Převodníky úrovní slouží jako přizpůsobovací články mezi výstupními I/O piny obvodu FPGA a ostatními moduly stavebnice. Jejich zapojení není tak jednoduché, jako to na první pohled vypadá, ale vždy je nutné rozmyslet, jakým způsobem budou využívány. Z tohoto důvodu je nutné nastavit směr převodu na řídicím pinu DIR pomocí vysoké nebo nízké logické úrovně. Samozřejmě lze tyto stavy přepínat a měnit směr. Nicméně pro stavebnici Domino je zvykem připojovat na levou stranu modulu obvody vstupní a na pravou stranu obvody výstupní. Na tuto zažitou konvenci byl brán ohled a proto je nutné ve spojení s primární částí využívat řady signálových dutinek G1 a G2 pouze pro vstupní obvody a řady G3 a G4 pouze pro výstupní obvody.

5.6 Sekundární deska plošných spojů

Tato část tvoří druhý segment fyzicky realizované práce. Protože se v této části nacházejí plošné spoje, pracující na kmitočtu až 20 MHz, byla na desku aplikována

rozlitá měď sloužící jako vysokofrekvenční stínění. Zároveň díky tomu dochází k minimalizaci parazitních indukčností.

5.6.1 Rozměr DPS a rozložení součástek

Rozměr sekundární DPS se odvíjí od stejných pravidel, jako deska primární. Pouze je nutné počítat s distančními sloupky, které jsou umístěny zespod primární DPS. V našem případě ale nebylo nutné volit maximální rozměr, protože aplikace byla seskupena na poměrně malém prostoru. Pro naše účely postačovala deska o rozměrech 72×74 mm. Všechny obvody na této části mají libovolné umístění a je jen na návrháři, jakým způsobem je uspořádá. Důležité je pouze dodržet pozice konektorů JP1 – JP5, které tvoří protikus k primární části.

Obvody na desce plošných spojů byly rozloženy tak, aby zaujímaly co nejmenší prostor, deska byla co nejlépe využita a zároveň se minimalizovaly velikosti proudových smyček. Současně byly součástky rozmístěny způsobem, který dovoluje jejich nejjednodušší propojení. Nejdůležitější roli v tomto směru hrály blokovací kondenzátory pro napájení FPGA. Ty jsme se snažili umístit v co největší blízkosti jeho napájecích pinů a tím minimalizovat velikost parazitních indukčností a opětovné zašumění signálu.

5.7 Realizace v prostředí EAGLE

Návrh moderních elektronických zařízení je v dnešní době nemyslitelný bez použití návrhových prostředí. Protože návrh v prostředí Eagle tvořil podstatnou část práce, budou zde popsány nejdůležitější úkony, které bylo nutné během návrhu vykonat. Prostředí Eagle se skládá z dalších třech editorů.

- Knihovna (Library)
- Schéma (Schematic)
- Deska plošných spojů (Board)

5.7.1 Editor Knihovny

V prostředí Eagle je defaultně obsaženo velké množství již existujících knihoven. Tyto knihovny jsou přehledně řazeny do jednotlivých skupin. Každá skupina přitom obsahuje kompletní návrhy součástek různých výrobců. Díky těmto knihovnám pak lze jednoduše sestavit schéma zapojení a současně desku s plošnými spoji. V některých případech však není možné požadovanou součástku dohledat nebo není v knihovnách obsažena vůbec. V takovém případě je nutné vytvořit v tomto editoru součástku vlastní. Toho bylo využito i v případě návrhu primární a sekundární části programovatelného modulu. Knihovnu bylo nutné založit pro obvody umístěné v Tab. 3

Tab. 3 Obvody vytvořené v prostředí Eagle

Obvod	Označení výrobce/dodavatele	Pouzdro
Regulátory napětí	TPS6200x	MSOP10
Zdrojová ochrana	FUSE 32	neoznačeno
Konfigurační paměť	XCF01S	TSSOP20
Převodník úrovní	SN74LVC8T245	TSSOP24
FPGA	XC3S50	VQ100
Krystalový oscilátor	SG-710 ECK	neoznačeno

Editor knihovny prostředí Eagle se skládá z dalších třech podoblastí:

- Symbol (Symbol)
- Package (Pouzdro)
- Device (Zařízení)

Po založení nové knihovny byla otevřena první podskupina *Symbol*. V této části bylo ponecháno defaultně nastavené měřítko, které by mohlo v případě změny způsobovat komplikace v pozdějším stádiu vývoje aplikace. Nyní byl kolem defaultně nastaveného pevného bodu vytvořen obrys součástky, nezávisle na skutečné velikosti navrhované součástky. Pro tuto chvíli je vytvářena pouze schematická značka. K této schematické značce byl vždy připojen určitý počet pinů, které bude daná součástka využívat. U každého z nich je přitom nutné definovat jeho účel a funkci. Tato vlastnost bude hrát později významnou roli a tak je nutné tento parametr důkladně zvážit. Ten charakterizuje příslušný pin, zda se chová jako vstupní, výstupní, obousměrný, obecný, napájecí, nezapojený nebo třístavový. Každý pin je vhodné také srozumitelně pojmenovat. V konečné fázi byl vytvořen textový popis s hodnotami >VALUE a

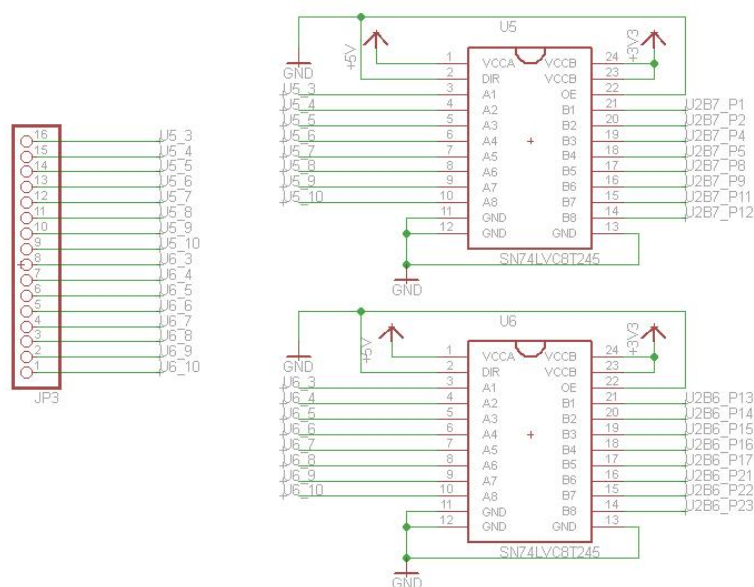
>NAME, které byly umístěny do příslušných hladin a připojeny ke schematické značce. Ty nám umožní libovolně nastavovat jméno a hodnotu podle potřeby v editoru schématu.

Nyní se lze přepnout do okna *Package* kliknutím na příslušnou ikonu. V této části se již nastavuje měřítko podle potřeby vytvářeného obvodu, respektive podle jeho nejmenšího fyzického rozměru. Stejným postupem jako v editoru *Symbol* byl i zde vytvořen obrys součástky, avšak zde se již jedná o skutečný rozměr a musí odpovídat rozměrům skutečného pouzdra navrhované součástky. V této fázi je také nutné rozmístit pájecí plošky, které musí samozřejmě také odpovídat skutečnosti, protože právě k nim bude připájen obvod při osazování desky plošných spojů. Jejich velikosti se liší podle použitého pouzdra a metody pájení. Prakticky lze použít dva typy pájecích plošek. První skupinu tvoří plošky pro SMT součástky, druhou skupinou jsou plošky pro THT. Pojmenování pinů, vložení proměnného jména a hodnoty je vhodné provést i zde známým způsobem.

Po přepnutí do editoru *Device* se zobrazí okno, do kterého se umístí navržená schematická značka z okna *Symbol* a navržené pouzdro z části *Package*. Nyní se vyplatilo pojmenování pinů v obou předchozích částech a tlačítkem *Connect* můžeme začít přehledně přiřazovat konkrétnímu jménu pinu v *Symbolu* odpovídající název pinu v *Package*. Takto je dokončen návrh knihovny pro konkrétní typ obvodu. Tímto způsobem byly vytvořeny všechny součástky v *Tab. 3* kromě obvodu FPGA. Tato součástka není dostupná v defaultních knihovnách a její návrh je problematický a časově náročný. Na internetových stránkách [1] jsou dostupné různé knihovny obvodů, které si vytváří sami uživatelé Eaglu a sdílí je mezi sebou. Protože je zde dostupná i knihovna obvodů řady Spartan[®]-3, byla po důkladném překontrolování rozměrů pouzdra, pájecích plošek, jejich rozmístění i sledu pinů využita pro návrh sekundární části. Ostatní součástky uvedené v tabulce *Tab. 3* byly navrženy podle výše zmíněného popisu a dle katalogových listů, v kterých je k dispozici přesný náčrt a značení obvodu.

5.7.2 Editor Schématu

Editor schématu (*Schematic*) je dalším krokem k návrhu koncového zařízení. Jedná se o symbolické propojení všech schematických značek použitých v návrhu pomocí signálové cesty. Protože bylo při vytváření *Symbolu* v editoru *Library* ponecháno defaultně nastavené měřítko, nemusíme jej měnit ani v editoru *Schematic* a všechny součástky nám půjdou bez problému propojit. Kromě propojení obvodů se zde zadávají i konkrétní jména, hodnoty a další parametry, které byly zavedeny. Samotné propojení nevycházelo kvůli celkové přehlednosti z klasického tažení spoje z jedné součástky na druhou, ale byla vyvedena z každého pinu pouze část vodiče, který byl srozumitelně pojmenován. Prostředí Eagle pak automaticky propojí signály stejného jména mezi sebou. Aby byl systém srozumitelný, je vhodné jméno každého vodiče zobrazit.



Obr. 13 Příklad propojení obvodů SN74LVC8T245 a konektoru JP3

Zároveň byl použit nástroj ERC, sloužící pro kontrolu elektrických návrhových pravidel. Díky tomu je možné předejít nechtěným chybám, jako je nezapojení vývodu, propojení výstupů logických členů nebo propojení vývodů s odlišným druhem signálu. Po vytvoření kompletního schématu zapojení a překontrolování všech spojů autorem i nástrojem ERC mohl být proveden plynulý přechod k samotnému návrhu desky plošných spojů.

5.7.3 Editor DPS

Editor DPS (vlastním jménem *Board*), tvoří cílovou část vyvíjené aplikace. Zde bude již navržena kompletní podoba desky plošného spoje realizující skutečné propojení a skutečné velikosti obrysů pouzder a jejich pájecích plošek. Tato část je přímo vázána na editor *Schematic* a pokud je provedena změna v jeho části, nutně se musí projevit i v editoru *Board* a naopak. Této vlastnosti se říká *zpětná anotace*, a pokud jsou rozdíly mezi editory, je uživatel na tuto skutečnost upozorněn. V tomto editoru se upravují i doplňující prvky, jako jsou rozměry DPS, rozmístění součástek, otvory pro upevnění cílové DPS ke konstrukční krabici, nebo se zde navrhuje i rozlité mědi.

V této části nebyl využit vnořený program *autorouter*, který podle výrobce dokáže vyhledat cestu vedení spoje a propojit součástky mezi sebou. Metoda však nedbá na elektrická pravidla návrhu, které je nutné zohledňovat. Signály jsou tak vedeny zcela náhodně a nepředvídaně. Proto jsou plošné spoje na obou částích modulu taženy ručně.

Editor *Board* poskytuje funkci DRC, která dokáže provést kontrolu celého návrhu a detekovat návrhové chyby na základě uživatelsky přednastavených parametrů. Lze tak odhalit drobné nedostatky, ale i závažné návrhářské chyby, které by mohly vést k nefunkčnosti a selhání výsledné aplikace. Mezi nejčastější návrhářské chyby patří křížení vodičů ve stejné vrstvě, nedodržení izolační mezery mezi plošnými vodiči, mezi plošnými vodiči a pájecími ploškami, nedodržení technologického okraje, nevyhovující velikosti vnitřního a vnějšího průměru prokovených otvorů atp.

ZÁVĚR

Cílem bakalářské práce byl návrh univerzálního programovatelného modulu ke stávajícímu stavebnicovému systému Domino. Tento systém slouží studentům středních i vysokých technických škol, na kterém si mohou odzkoušet své teoretické znalosti z oblasti elektroniky a měření. Z praktického hlediska byl modul rozdělen na dvě části. Primární část vytváří rozhraní pro komunikaci a signalizaci a napájecí zdroje. Z tohoto pohledu se stává univerzální jednotkou. Sekundární pak obsahuje zkušební programovatelný logický obvod. Obě části spolu navzájem komunikují pomocí vhodně řazených konektorů. Během návrhu bylo nutné držet se elektrických, ale i vizuálních pravidel, která sjednocují celý stavebnicový systém Domino.

V práci bylo nutné prostudovat požadavky na napájení, připojování a programování moderních logických obvodů, společně s jejich konstrukcí a řešením paměťových míst. Významnou část také tvořilo studium technické dokumentace ke stavebnicovému systému. Od těchto výsledků se odvíjel především výběr obvodů použitých ke kompletaci zařízení. Nejzajímavějším a hlavním obvodem celého systému je moderní obvod FPGA řady Spartan[®]-3 výrobce Xilinx.

Práce je řešena s vysokými nároky na celkovou spotřebu energie, protože ta ovlivňuje počet připojených I/O obvodů k modulu. Návrh schémat zapojení i desek plošných spojů byl realizován v prostředí Eagle, které se jevílo jako nejvhodnější řešení z důvodu jeho dostupnosti a využívání ve školském systému.

Výsledkem práce je fyzicky realizovaný modul, který dokáže komunikovat s okolím, sám se sebou a splňuje všechny výše zmíněné požadavky. K jednotlivým částím je zpracována přehledná technická dokumentace, z které je možné vyčíst přesné zapojení všech částí. Celý segment byl v konečné fázi odzkoušen v prostředí Xilinx Ise a byla do něho implementována logická funkce. Samozřejmostí bylo připojení obvodů ze stavebnicového systému, aby byla odzkoušena kompatibilita realizovaného modulu.

Práce poskytla autorovi množství zajímavých poznatků. Mezi nejvýznamnější se řadí zkoumání problematiky moderních programovatelných logických obvodů, včetně jejich vnitřní konstrukce a požadavků na napájení a připojování. Dále se autor podstatně zdokonalil v návrhu elektronických zařízení a osvěžil si znalost návrhového prostředí Eagle. Během vývoje práce měl také možnost nahlédnout do zavedené praxe, kde se dopodrobna seznámil s problematikou osazování desek plošných spojů.

SEZNAM POUŽITÉ LITERATURY

- [1] CadSoft : xilinx_spartan3_virtex4_and_5.lbr [online]. [cit. 2011-03-13].
Dostupné z WWW:
<http://cadsoft.de/cgi-bin/download.pl?page=/home/cadsoft/html_public/download.htm.de&dir=eagle/userfiles/libraries>.
- [2] Kolouch, J. *Programovatelné logické obvody – přednášky* [online].
[cit. 2011-02-15].
URL: <<http://www.urel.feec.vutbr.cz/~kolouch/pld/ramy02.html>>.
- [3] Kolouch, J. *Subsystémy používané v obvodech CPLD a FPGA a techniky jejich implementace* [online]. [cit. 2011-02-28]
URL: <<http://www.urel.feec.vutbr.cz/~kolouch/pld/data/DrStudTxt.pdf>>.
- [4] NOVÁK, Ondřej, et al. *Elektronika*. vyd. 2. Liberec : Technická univerzita v Liberci, 2004. 178 s. ISBN 80-7083-792-6.
- [5] PECH, Jan. *Hw.cz* [online]. 2002 [cit. 2011-03-03]. *Nebojte se FPGA*. Dostupné z WWW: <<http://hw.cz/Teorie-a-praxe/Dokumentace/ART365-Nebojte-se-FPGA.html>>.
- [6] PINKER, Jiří; POUPA, Martin. *Číslicové systémy a jazyk VHDL*. 1. vyd. Praha : BEN - technická literatura, 2006. 349 s. ISBN 80-7300-198-5.
- [7] PLÍVA, Zdeněk. *EAGLE prakticky*. 1. vyd. Praha : BEN - technická literatura, 2007. 181 s. ISBN 978-80-7300-227-5.
- [8] *RCdidactic systems* [online]. 2007 [cit. 2011-04-20]. Dostupné z WWW:
<<http://www.rcdidactic.cz/cz/>>.
- [9] ŠANDERA, Josef. *Návrh plošných spojů pro povrchovou montáž - SMT a SMD*. 1. vyd. Praha : BEN - technická literatura, 2006. 272 s. ISBN 80-7300-181-0.
- [10] Texas Instruments. *High-efficiency step-down low power DC-DC converter* [online]. [cit. 8. 1. 2011].
URL: <<http://focus.ti.com/lit/ds/symlink/tps62005.pdf>>.
- [11] Texas Instruments. *SN74LVC8T245 8-bit dual-supply bus transceiver* [online]. [cit. 15. 4. 2011]
- [12] Xilinx. *Platform Cable USB II* [online]. [cit. 3. 5. 2011]
URL: <http://www.xilinx.com/support/documentation/data_sheets/ds593.pdf>.

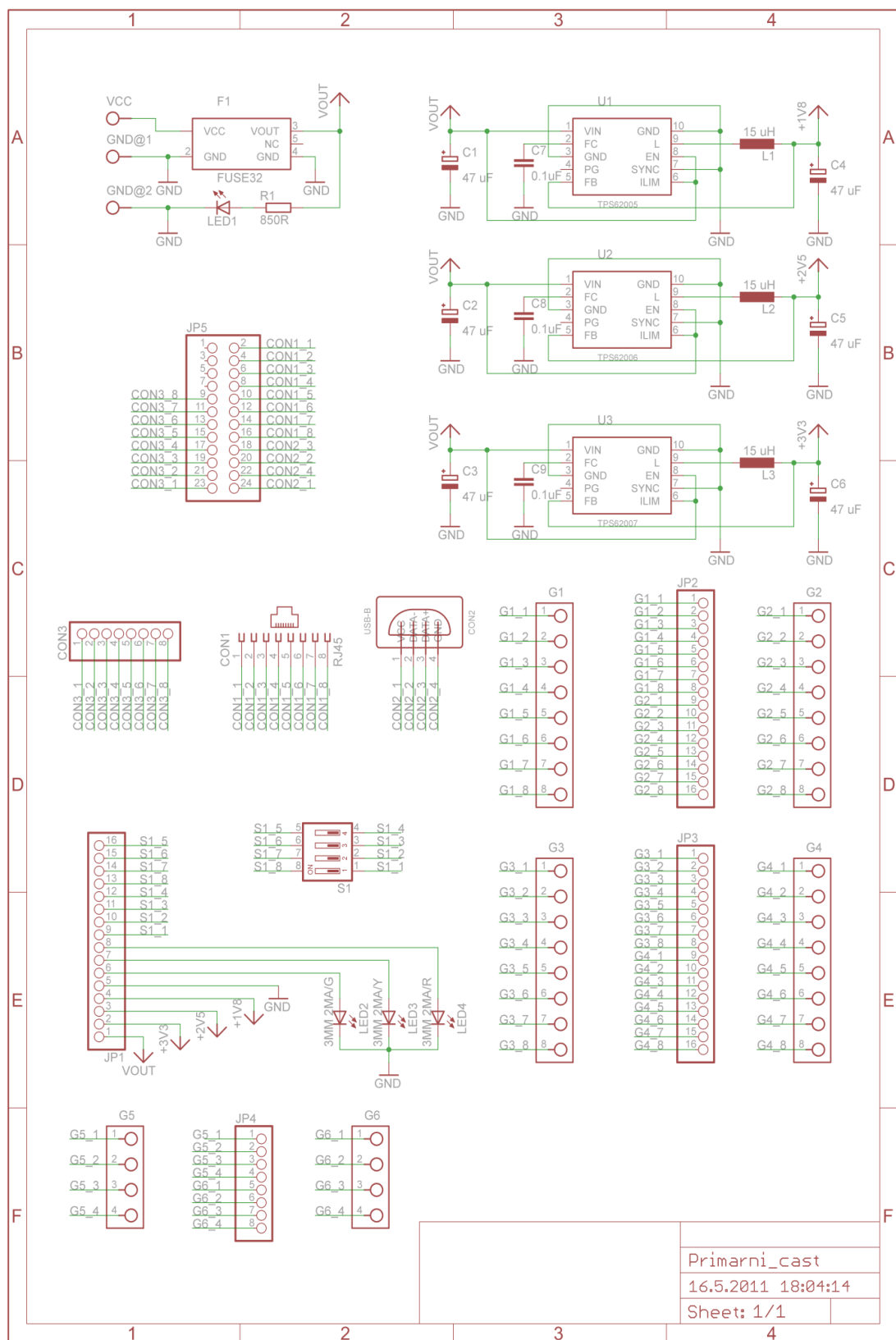
- [13] Xilinx. *Platform Flash In-system programmable configuration PROMs* [online]. [cit. 3. 4. 2011]
URL: < http://www.xilinx.com/support/documentation/data_sheets/ds123.pdf>.
- [14] Xilinx. *Spartan-3 FPGA family data sheet* [online]. [cit. 22. 3. 2011]
URL: < http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf>.
- [15] Xilinx. *Spartan-3 generation configuration user guide* [online]. [cit. 18. 3. 2011]
URL: < http://www.xilinx.com/support/documentation/user_guides/ug332.pdf>.
- [16] ZDRÁLEK, Jaroslav. *Programovatelné logické prvky : Studijní opora* [online]. 1. vyd. Ostrava : VŠB - Technická univerzita v Ostravě, 2007 [cit. 2010-12-13]. Dostupné z WWW:
<http://www.elearn.vsb.cz/archivcd/FEI/PLP/zdralek_PLP.pdf>. ISBN 978-80-248-1502-2.
- [17] ZELINKA, Ondřej; KOLÁŘ, Milan. *Pandatron.cz* [online]. 2011[cit. 2011-04-16]. Napájení obvodů FPGA - část 1. Dostupné z WWW:
<http://pandatron.cz/?2606&napajeni_obvodu_fpga_-_cast_1>.

PŘÍLOHY

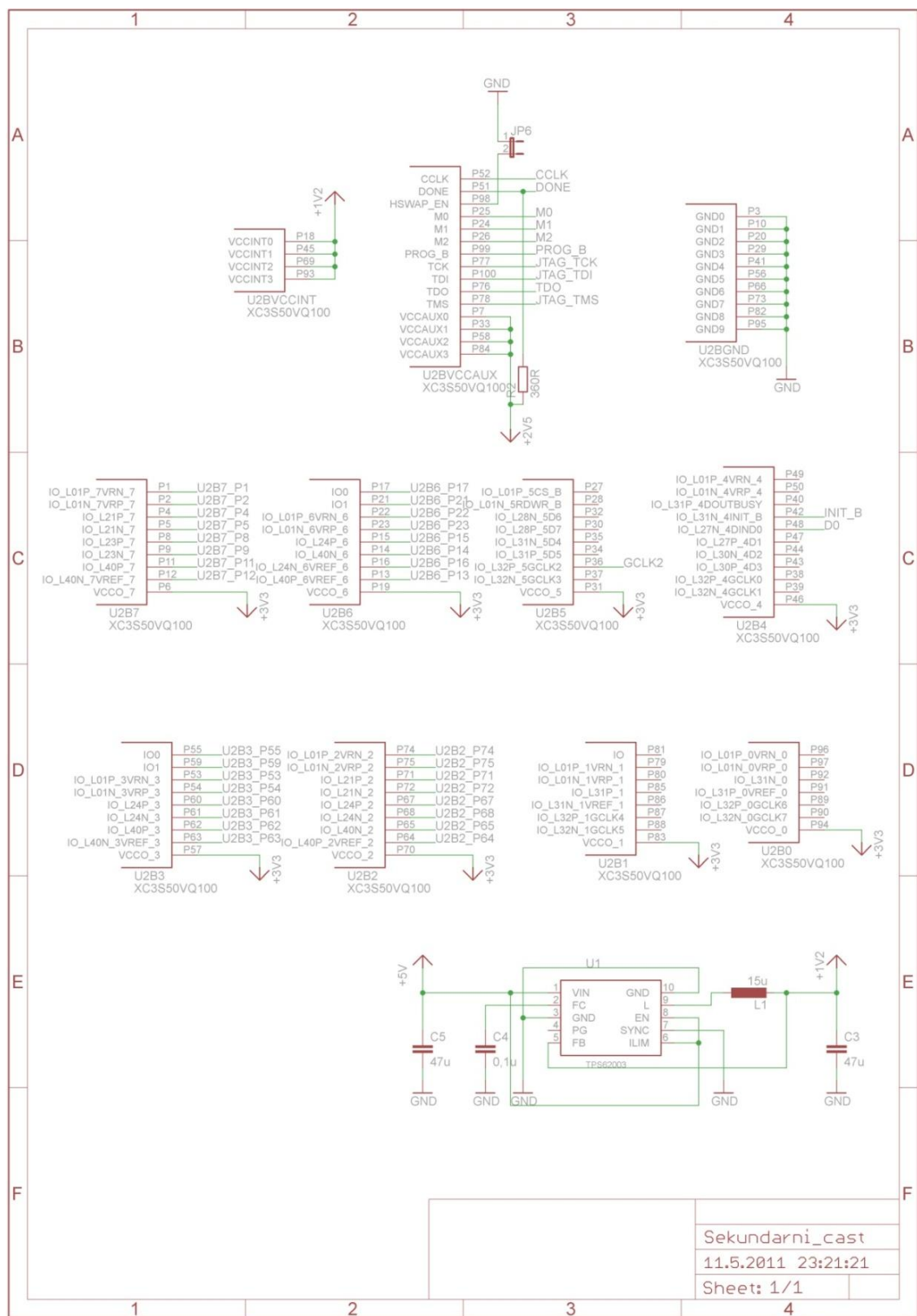
SEZNAM PŘÍLOH

Příloha č. 1: Schémata zapojení.....	III
Příloha č. 2: Desky plošných spojů.....	VIII
Příloha č. 3: Důležité parametry pro návrháře sekundární části	XI
Příloha č. 4: Ukázky hotových desek plošných spojů.....	XVII

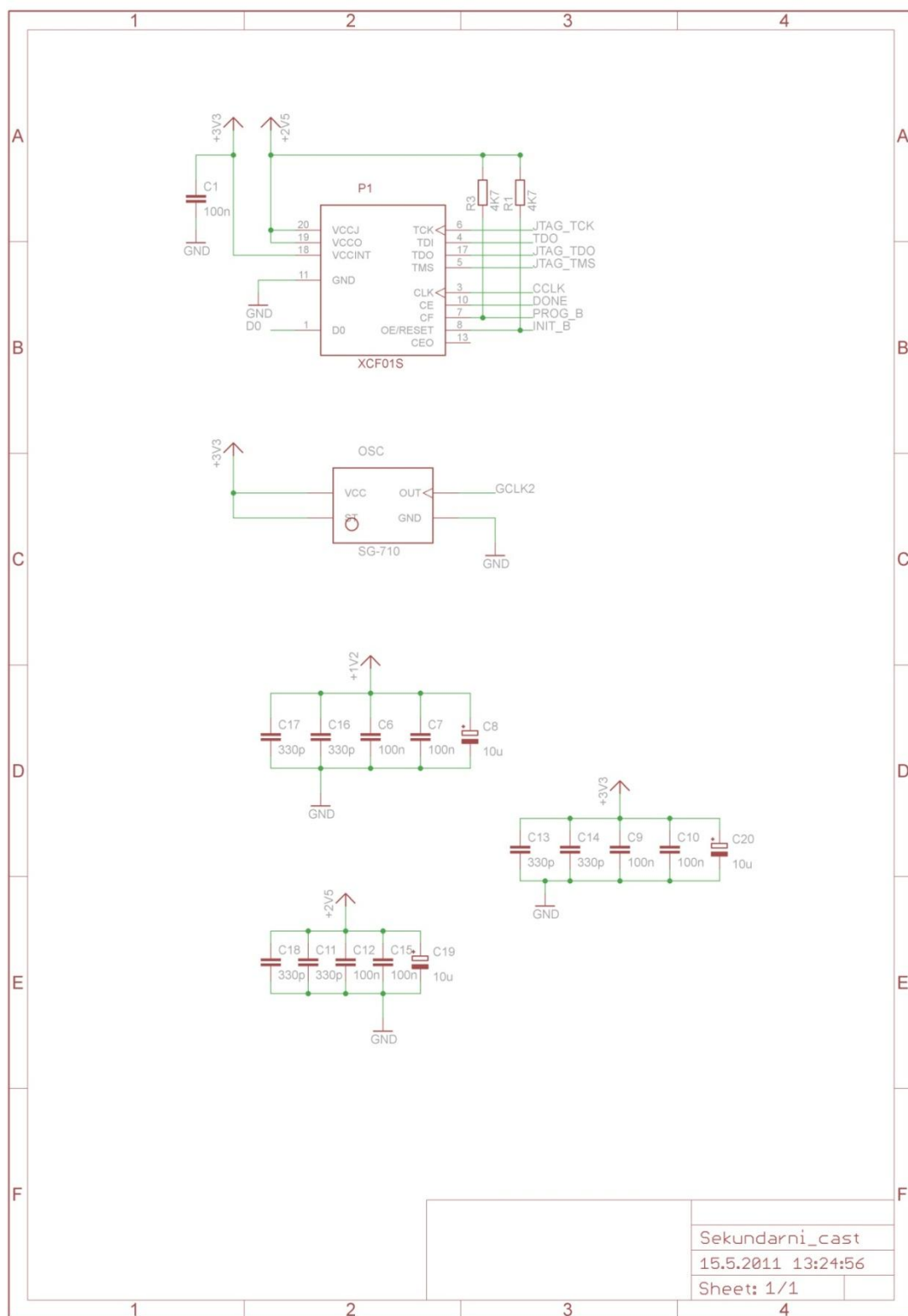
Příloha č. 1: Schémata zapojení



Obr. P č. 1 Schéma zapojení primární části 1/1

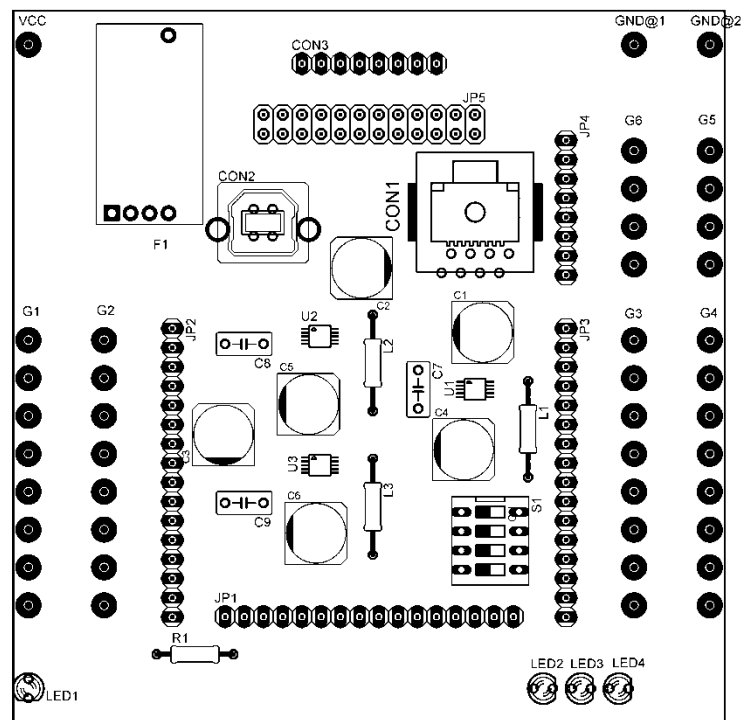


Obr. P č. 2 Schéma zapojení sekundární části 1/3

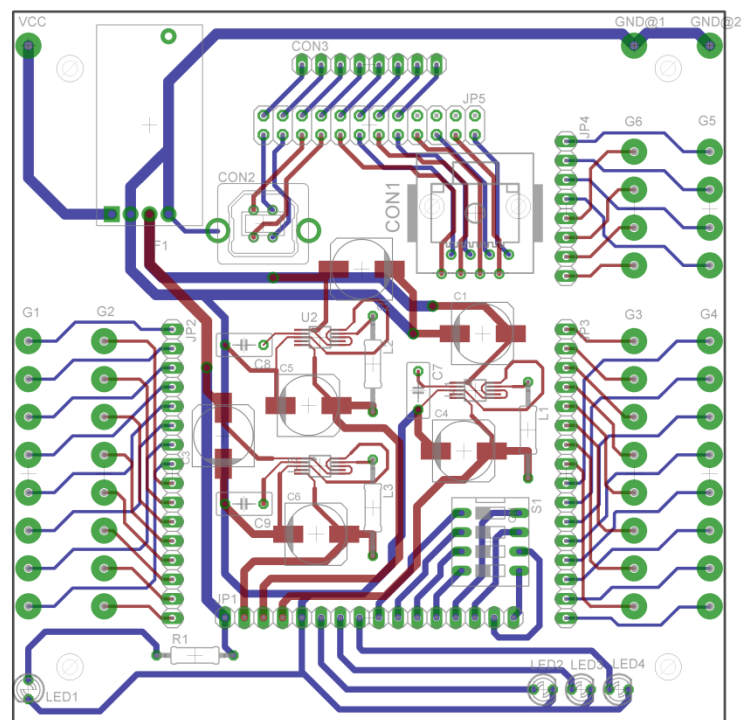


Obr. P č. 4 Schéma zapojení sekundární části 3/3

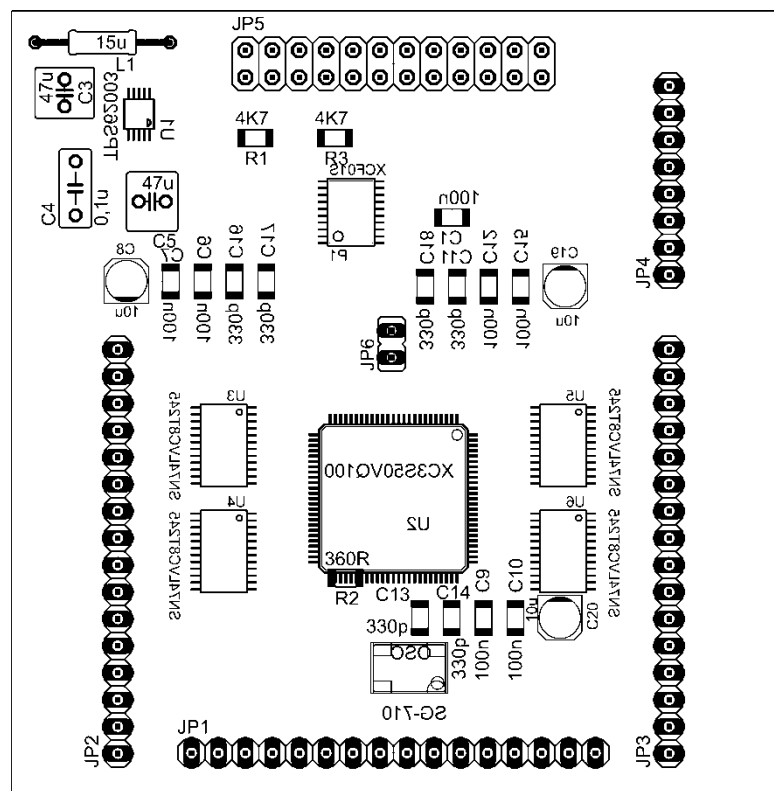
Příloha č. 2: Desky plošných spojů



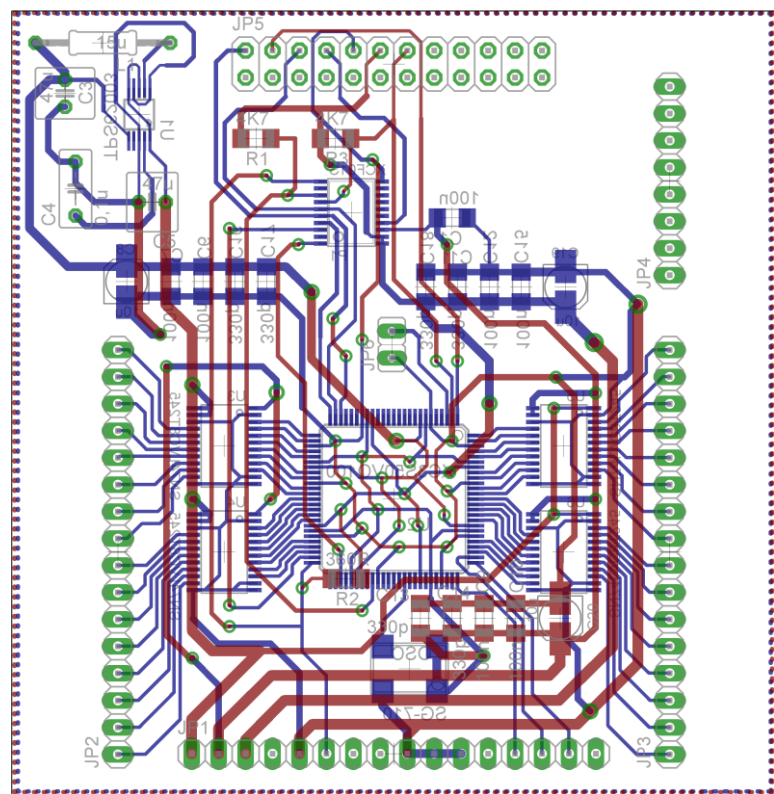
Obr. P č. 5 Rozmístění součástek primární části



Obr. P č. 6 Hotová DPS primární část

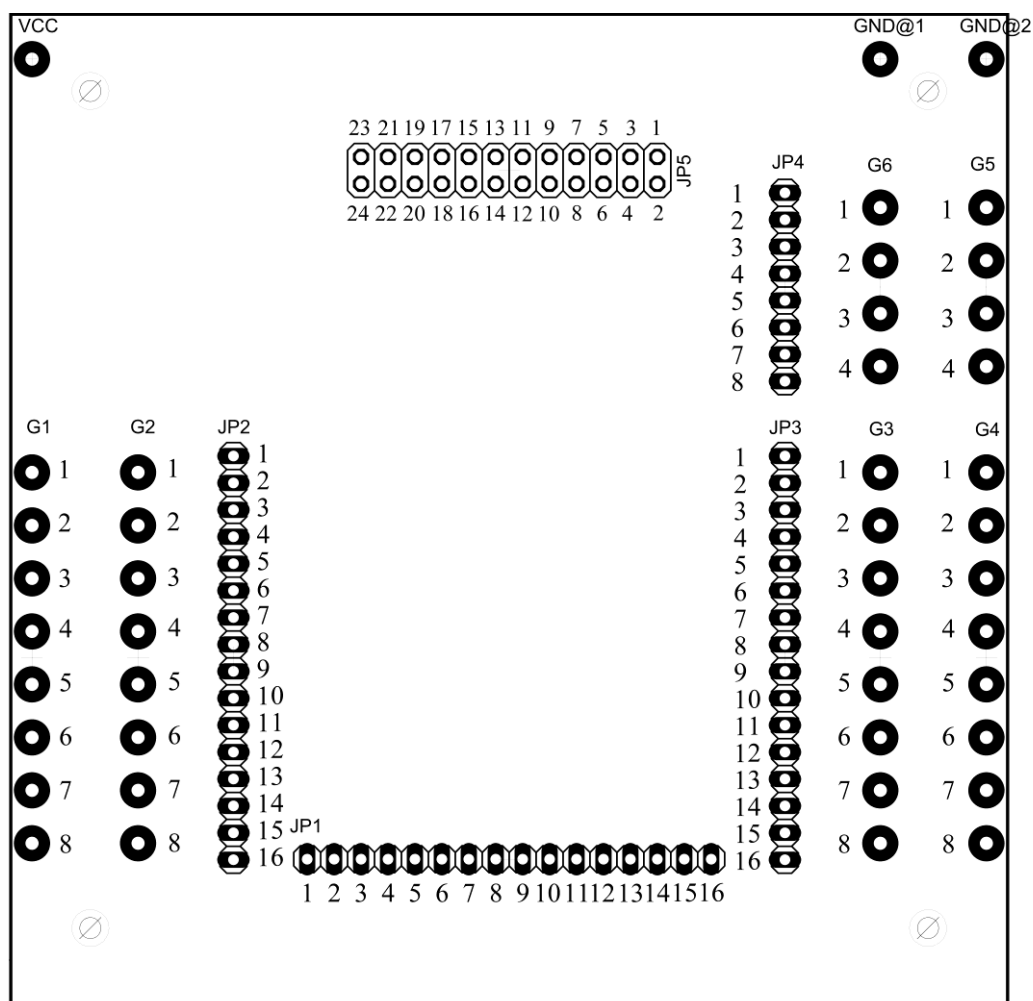


Obr. P č. 7 Rozmístění součástek sekundární část



Obr. P č. 8 Hotová DPS sekundární část

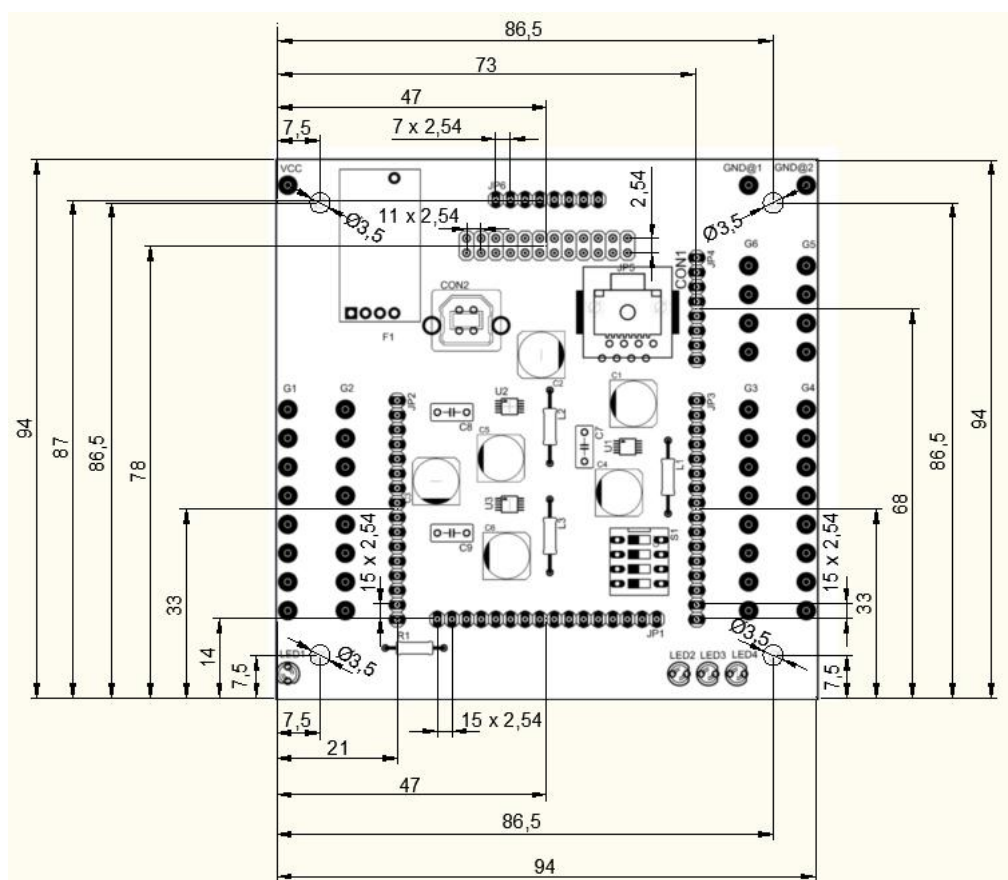
Příloha č. 3: Důležité parametry pro návrháře sekundární části



Obr. P č. 9 Číslování propojovacích konektorů

Tab. P č. 1 Elektrické parametry součástek primární části

Označení ve schématu		Označení výrobce	
LED	červená	LED 3MM 2MA/R	2,3 V/2 mA
LED	žlutá	LED 3MM 2MA/Y	1,9 V/ 2mA
LED	zelená	LED 3MM 2MA/G	1,8 V/2 mA
S1	4 póly	DIP 04 BLUE	24 V/ 25 mA
U1	DC/DC	TPS62005	1,8 V/ 600 mA
U2	DC/DC	TPS62006	2,5 V/ 600 mA
U3	DC/DC	TPS62007	3,3 V/ 600 mA



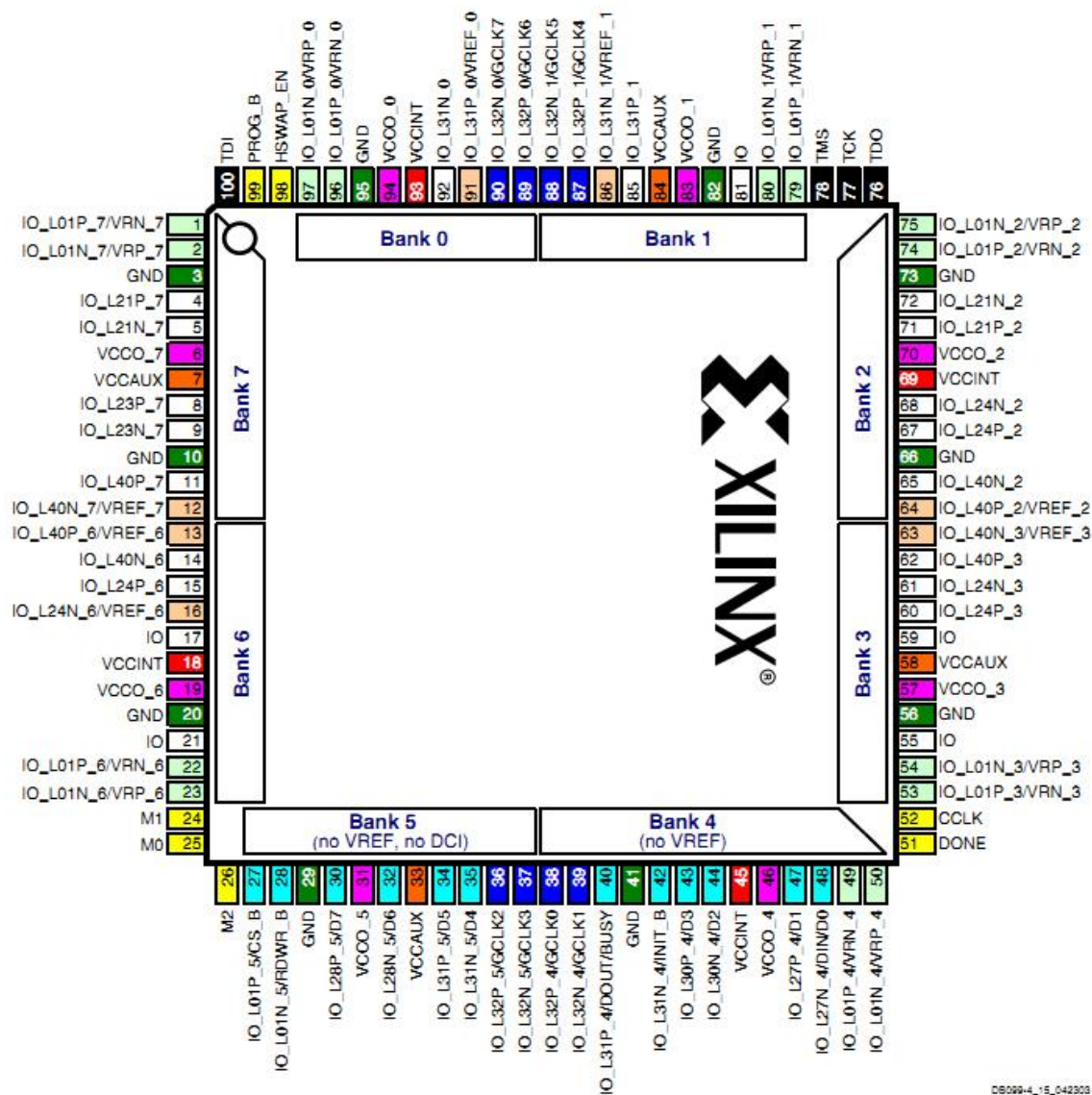
Obr. P č. 10 Mechanická omezení

Tab. P č. 2 Rozložení signálů primární části

Sig. dutinky	Propojovací konektory		Signál
G1_1	JP2_1	JP1_1	+5V
G1_2	JP2_2	JP1_2	+3V3
G1_3	JP2_3	JP1_3	+2V5
G1_4	JP2_4	JP1_4	+1V8
G1_5	JP2_5	JP1_5	GND
G1_6	JP2_6	JP1_6	LED2_A
G1_7	JP2_7	JP1_7	LED3_A
G1_8	JP2_8	JP1_8	LED4_A
G2_1	JP2_9	JP1_9	S1_1
G2_2	JP2_10	JP1_10	S1_2
G2_3	JP2_12	JP1_11	S1_3
G2_4	JP2_11	JP1_12	S1_4
G2_5	JP2_14	JP1_13	S1_8
G2_6	JP2_13	JP1_14	S1_7
G2_7	JP2_16	JP1_15	S1_6
G2_8	JP2_15	JP1_16	S1_5
G3_1	JP3_1	JP5_1	NEZAPOJENO
G3_2	JP3_2	JP5_2	CON1_1
G3_3	JP3_3	JP5_3	NEZAPOJENO
G3_4	JP3_4	JP5_4	CON1_2
G3_5	JP3_5	JP5_5	NEZAPOJENO
G3_6	JP3_6	JP5_6	CON1_3
G3_7	JP3_7	JP5_7	NEZAPOJENO
G3_8	JP3_8	JP5_8	CON1_4
G4_1	JP3_9	JP5_9	CON3_8
G4_2	JP3_10	JP5_10	CON1_5
G4_3	JP3_11	JP5_11	CON3_7
G4_4	JP3_12	JP5_12	CON1_6
G4_5	JP3_13	JP5_13	CON3_6
G4_6	JP3_14	JP5_14	CON1_7
G4_7	JP3_15	JP5_15	CON3_5
G4_8	JP3_16	JP5_16	CON1_8
G5_1	JP4_1	JP5_17	CON3_4
G5_2	JP4_2	JP5_18	CON2_3
G5_3	JP4_3	JP5_19	CON3_3
G5_4	JP4_4	JP5_20	CON2_2
G6_1	JP4_5	JP5_21	CON3_2
G6_2	JP4_6	JP5_22	CON2_4
G6_3	JP4_7	JP5_23	CON3_1
G6_4	JP4_8	JP5_24	CON2_1

Tab. P č. 3 Rozložení signálů sekundární části

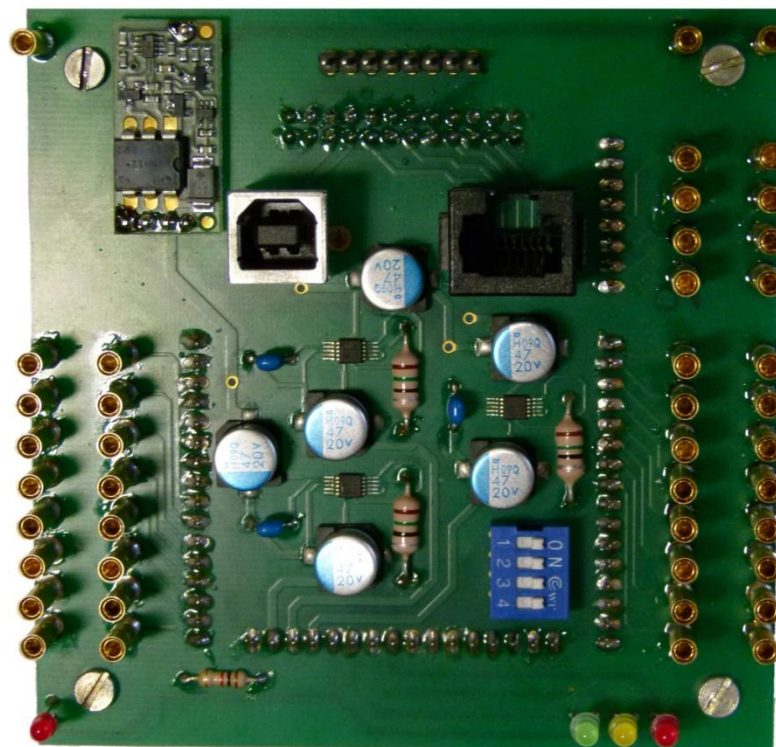
Sig. Dutinky	Propojovací konektory		Signál
IO_L01P_3VRN_3	JP2_1	JP1_1	+5V
IO_L01N_3VRP_3	JP2_2	JP1_2	+3V3
IO0	JP2_3	JP1_3	+2V5
IO1	JP2_4	JP1_4	NEZAPOJENO
IO_L24P_3	JP2_5	JP1_5	GND
IO_L24N_3	JP2_6	JP1_6	DONE
IO_L40P_3	JP2_7	JP1_7	NEZAPOJENO
IO_L40N_3VREF_3	JP2_8	JP1_8	NEZAPOJENO
IO_L40P_2VREF_2	JP2_9	JP1_9	GND
IO_L40N_2	JP2_10	JP1_10	GND
IO_L24N_2	JP2_12	JP1_11	GND
IO_L24P_2	JP2_11	JP1_12	NEZAPOJENO
IO_L21N_2	JP2_14	JP1_13	M2
IO_L21P_2	JP2_13	JP1_14	M1
IO_L01N_2VRP_2	JP2_16	JP1_15	M0
IO_L01P_2VRN_2	JP2_15	JP1_16	NEZAPOJENO
IO_L01N_6VRN_6	JP3_1	JP5_1	NEZAPOJENO
IO_L01P_6VRN_6	JP3_2	JP5_2	JTAG_TMS
IO1	JP3_3	JP5_3	NEZAPOJENO
IO0	JP3_4	JP5_4	JTAG_TDI
IO_L24N_6VREF_6	JP3_5	JP5_5	NEZAPOJENO
IO_L24P_6	JP3_6	JP5_6	JTAG_TCK
IO_L40N_6	JP3_7	JP5_7	NEZAPOJENO
IO_L40P_6VREF_6	JP3_8	JP5_8	JTAG_TDO
IO_L40N_7VREF_7	JP3_9	JP5_9	NEZAPOJENO
IO_L40P_7	JP3_10	JP5_10	GND
IO_L23N_7	JP3_11	JP5_11	NEZAPOJENO
IO_L23P_7	JP3_12	JP5_12	+2V5
IO_L21N_7	JP3_13	JP5_13	NEZAPOJENO
IO_L21P_7	JP3_14	JP5_14	PROG_B
IO_L01N_7VRN_7	JP3_15	JP5_15	NEZAPOJENO
IO_L01P_7VRN_7	JP3_16	JP5_16	NEZAPOJENO
NEZAPOJENO	JP4_1	JP5_17	NEZAPOJENO
NEZAPOJENO	JP4_2	JP5_18	NEZAPOJENO
NEZAPOJENO	JP4_3	JP5_19	NEZAPOJENO
NEZAPOJENO	JP4_4	JP5_20	NEZAPOJENO
NEZAPOJENO	JP4_5	JP5_21	NEZAPOJENO
NEZAPOJENO	JP4_6	JP5_22	NEZAPOJENO
NEZAPOJENO	JP4_7	JP5_23	NEZAPOJENO
NEZAPOJENO	JP4_8	JP5_24	NEZAPOJENO



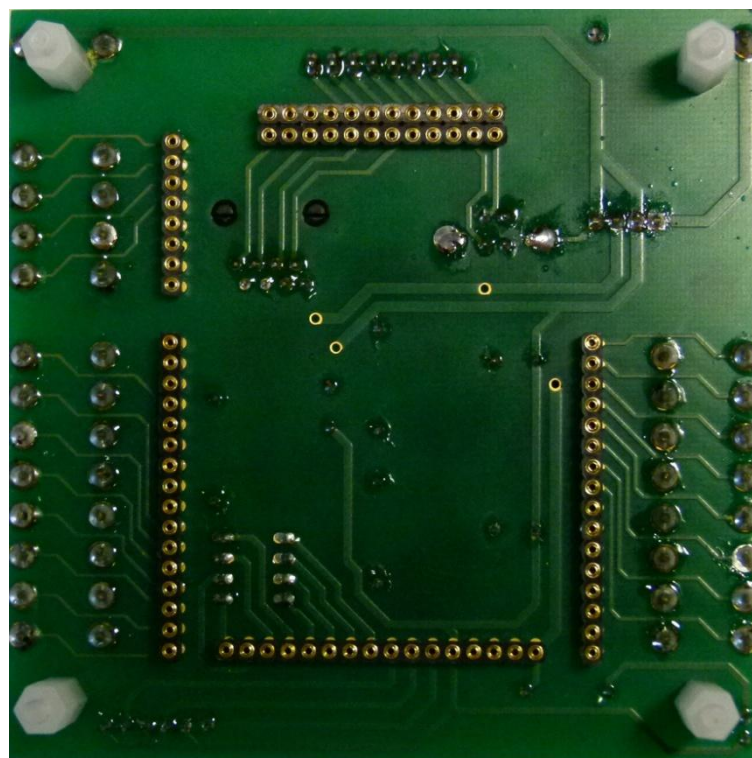
DS009-4_15_042303

Obr. P č. 11 Rozložení signálů FPGA XC3S50-VQ100 [14]

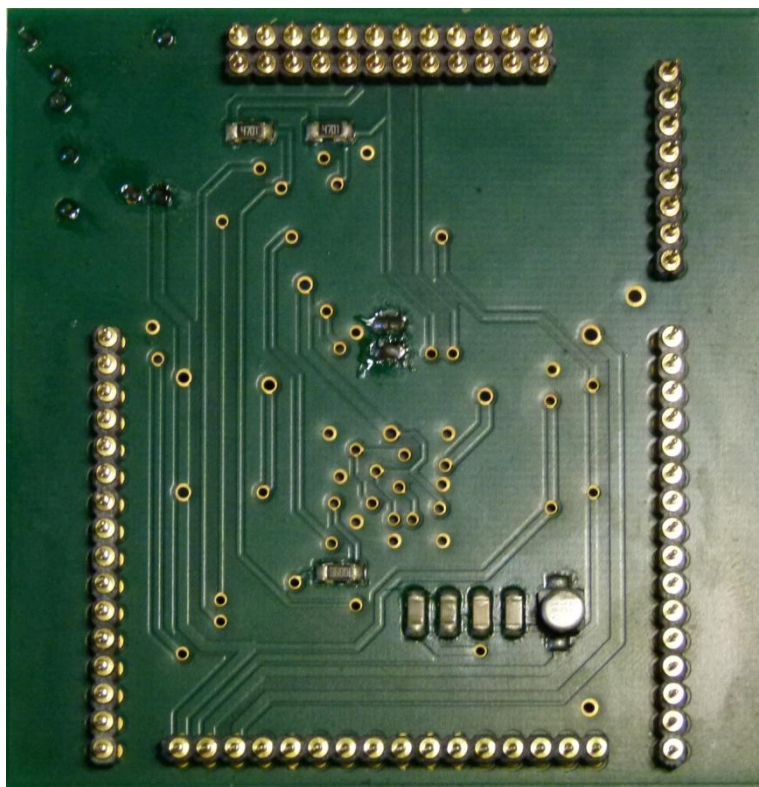
Příloha č. 4: Ukázky hotových desek plošných spojů



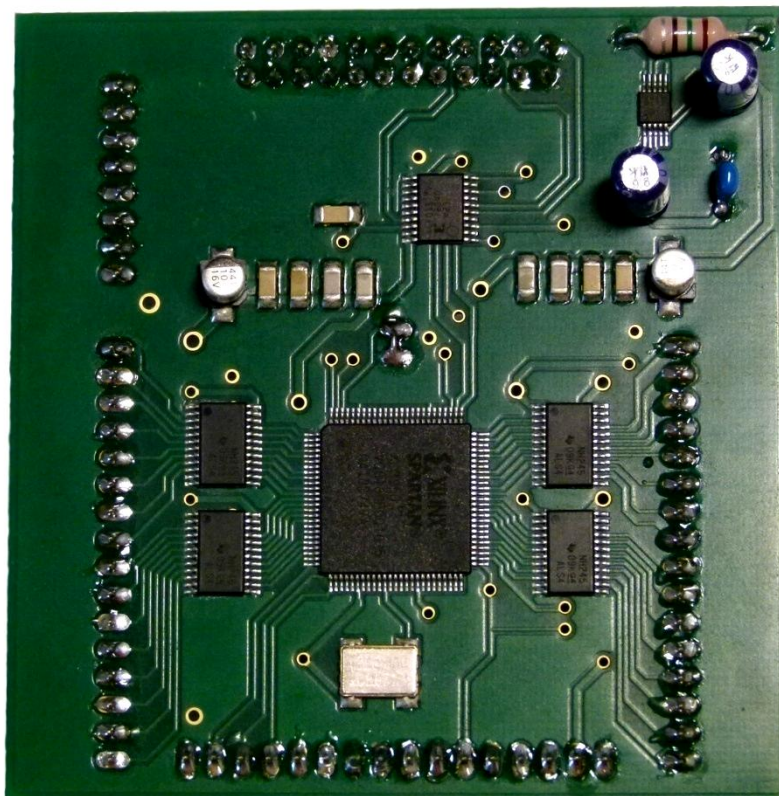
Obr. P č. 12 Primární DPS - TOP



Obr. P č. 13 Primární DPS - BOTTOM



Obr. P č. 14 Sekundární DPS - TOP



Obr. P č. 15 Sekundární DPS - BOTTOM