

Oponentní posudek diplomové práce

Autor diplomové práce: Bc. Tomáš Kalina

Název diplomové práce: Řadič paměťové karty

Diplomová práce se zabývá problematikou řadiče paměťové karty, jehož funkce je popsána v jazyce sloužícím pro popis hardware VHDL. Téma práce je velice aktuální vzhledem ke stále se rozšiřujícímu využití hradlových polí v oblasti technologického průmyslu a k neustálé potřebě navyšování paměti pro ukládání naměřených, či jinak získaných dat.

Cílem práce je vhodně zvolit paměťovou kartu pro ukládání a čtení naměřených dat, navrhnout řadič této karty ve formě funkčního bloku popsaného jazykem VHDL a následně tento řadič naprogramovat do příslušného programovatelného hradlového pole výukového přípravku FUB a odzkoušet jeho funkčnost. Po prostudování diplomové práce mohu konstatovat, že vytyčený cíl byl splněn.

Z hlediska obsahu je diplomová práce rozdělena do sedmi kapitol. Kapitola nazvaná „Paměťové karty“ stručněji popisuje dostupné typy paměťových karet a zabývá se jejich porovnáním a výběrem nejvhodnější karty pro diplomovou práci. V kapitole „Jazyk VHDL“ je nastíněn popis a seznámení se strukturou jazyka VHDL. Vzhledem k tomu, že převážná část praktického řešení se týká programování řadiče v daném jazyce, bylo by vhodné princip jazyka VHDL popsat podrobněji. Kapitola „Obvody FPGA“ vystihuje výhody programovatelných hradlových polí a seznamuje s vývojovou deskou FUB, na níž je realizována praktická část práce. Důležité informace pro komunikaci s SD kartou obsahuje kapitola zabývající se sběrnici SPI a následující kapitola „Komunikace s paměťovou kartou“. Zde jsou popsány všechny režimy komunikačního protokolu, včetně formátů příkazu. Předposlední kapitola „Řadič paměťové karty“ se již zabývá praktickým řešením diplomové práce, kde autor vysvětluje tvůrčí řešení jednotlivých režimů komunikačního protokolu a popisuje použití externích periférií karty FUB pro realizaci. Vhodně jsou při řešení použity stavové automaty, které do praktického řešení vnášejí přehlednost a možnost rychlé orientace. Poslední kapitola „Simulace a odzkoušení“ se zabývá ověřením funkčnosti řadiče paměťové karty.

Po formální stránce je diplomová práce psána přehledně a bez gramatických chyb. Použitý styl je výstižný, jasný, místy ovšem příliš moc stručný. V textu mi chybí odkazy na použitou literaturu, jak u teoretických pasáží, tak u použitých obrázků.

Z odborného hlediska lze konstatovat, že autor během práce musel načerpat množství informací týkající se paměťových karet a možností tvorby jejich řadiče, dále pak jazyka VHDL atd. Při tvorbě vlastního řadiče se projevila autorova tvůrčí schopnost, která dokazuje, že dané problematice velmi dobře rozumí. Kód v jazyce VHDL, který je součástí přílohy, je rozdělen do několika entit, z nichž každá je díky použitým komentářům přehledná. Samotná simulace a oživení řadiče na kartě FUB zajisté také nebyly jednoduché a bylo by vhodné toto úsilí popsat rozsáhleji, případně doplnit o obrázky funkčního celku, aby byl na první pohled patrný přínos práce a případné potíže, s nimiž se autor během tvorby diplomové práce potýkal.

Autorovi pokládám dvě otázky:

První otázka:

Vzhledem k stručnému popisu jazyka VHDL v práci by mě zajímalo, jaký hlavní přínos a výhody autor shledává při používání tohoto programovacího jazyka ve spojení s programovatelnými hradlovými poli?

Druhá otázka:

Při popisu řadiče v systému Quartus II využíváte v FPGA vestavěný blok RAM paměti pro přechodné ukládání dat. Bylo by možné při řešení řadiče SD karty použít hradlové pole bez této paměti? Jaké by byly výhody a nevýhody tohoto řešení?

Závěrem konstatuji, že předložená diplomová práce plně vyhověla zadání a splnila vytyčený cíl. Autor využil získané vědomosti k vytvoření funkčního vzorku, který by mohl mít jistě široké uplatnění v mnoha aplikacích. Práci doporučuji k obhajobě a klasifikuji známkou „výborně“.

V Jablonci nad Nisou, 20.1.2012

Ing. Marek Žanta

Preciosa a.s.

